
「2011 Symposium on VLSI Circuits (VLSI Symposium 2011)」国内報告会

VLSI Symposium は毎年開催される世界最大規模の回路分野の学会の一つです。
IEEE SSCS Japan/Kansai Chapter では例年、VLSI Symposium 開催後に、日本
からの発表の中からいくつかを、講演者のかたに日本語で再度ご講演して頂く
国内報告会の機会を設けています。

今年も「VLSI Symposium 2011」国内報告会を下記の通り行いますので、奮っ
てご参加ください。参加費無料、参加申込み不要です。

●日時：2011年7月28日(木) 9:30-17:00

●場所：東京工業大学 大岡山キャンパス
百年記念館3階 フェライト記念会議室

〒152-8550 東京都目黒区大岡山2-12-1 百年記念館
<http://www.cent.titech.ac.jp/Information/map.html>

●百年記念館へのアクセス：

東急目黒線・大井町線大岡山駅下車徒歩1分
東京工業大学大岡山キャンパス・正門わき

●プログラム(敬称略)

9:30-9:35 IEEE SSCS Japan Chapter Chair 挨拶 内山 邦男(日立)

9:35-9:55 VLSI Symposium 2011 の総括 永田 真(神戸大)

午前の部 座長 内山 邦男(日立)

1. 9:55-10:20

“4-times faster rising VPASS(10V), 15% lower power VPGM(20V), wide
output voltage range voltage generator system for 4-times faster 3D-

integrated Solid-State Drives” 畑中 輝義(東大)

2. 10:20-10:45

“In-substrate-bitline sense amplifier with array-noise-gating scheme for low-noise 4F2 DRAM array operable at 10-fF cell capacitance” 柳川 善光(日立)

3. 10:45-11:10

“A 40-nm 0.5-V 20.1-uW/MHz 8T SRAM with low-energy disturb mitigation scheme” 吉本 秀輔(神戸大)

4. 11:10-11:35

“Fully parallel 6T-2MTJ nonvolatile TCAM with single-transistor-based self match-line discharge control” 松永 翔雲(東北大)

5. 11:35-12:00

“A 27% active-power-reduced 40-nm CMOS multimedia SoC with adaptive voltage scaling using distributed universal delay lines” 池永 佳史(ルネサス)

お昼休み 12:00-13:20

午後の部 前半 座長 大島 俊(日立)

6. 13:20-13:45

“A -104dBc/Hz in-band phase noise 3GHz all digital PLL with phase interpolation based hierarchical time to digital convertor” 宮下 大輔(東芝)

7. 13:45-14:10

“A voltage-reference-free pulse density modulation (VRF-PDM) 1V input switched-capacitor 1/2 voltage converter with output voltage trimming by hot carrier injection and periodic activation scheme” Xin Zhang(東大)

8. 14:10-14:35

“The 10G-EPON OLT and ONU LSIs for the coexistence of 10G-EPON and GE-PON toward the next FTTH era” 浦野 正美(NTT)

9. 14:35-15:00

"A 0.12mm² 5Gbps receiver with a level shifting equalizer and a cumulative-histogram-based adaptation engine" 富田 安基(富士通研)

休憩 15:00-15:10

午後の部 後半 座長 川人 祥二(静岡大)

10. 15:10-15:35

"A digital CDS scheme on fully column-inline TDC architecture for an APS-C format CMOS image sensor" 高橋 知宏(ソニー)

11. 15:35-16:00

"An 11b 300MS/s 0.24pJ/conversion-step double-sampling pipelined ADC with on-chip full digital calibration for all nonidealities including memory effects" 三木 拓司(パナソニック)

12. 16:00-16:25

"A 0.5V 1.1MS/sec 6.3fJ/conversion-step SAR-ADC with tri-level comparator in 40 nm CMOS" 志方 明(慶応大)

13. 16:25-16:50

"A 10b 320 MS/s 40 mW open-loop interpolated pipeline ADC" 宮原 正也(東工大)

●主催: IEEE SSCS Japan Chapter

●共催: IEEE SSCS Kansai Chapter

●問い合わせ先: IEEE SSCS Japan Chapter Secretary 大島 俊(日立)

E-mail: takashi.oshima.yp@hitachi.com

●ホームページ <http://www.ieee-jp.org/japancouncil/chapter/SSC-37/ssc.htm>