



<ISSCC 2010 報告会>

日時: 2010年3月4日(木) 9:30~16:50
会場: 東京工業大学大岡山キャンパス 百年記念館 3階フェライト会議室
主催: Japan Chapter, IEEE Solid-State Circuits Society
協賛: ISSCC Far-East Regional Committee

***** ISSCC 2010 報告会 プログラム *****

<<午前の部>> 9:30-12:00

○挨拶 9:30-9:35

松澤 昭
IEEE SSCS Japan Chapter Chair

○レビュー講演1 9:35-10:00 (講演 20分+質疑 5分)

「ISSCC2010のOverview」

河原 尊之
ISSCC Far-East Regional Committee Chair

○論文発表

[午前の部] 発表 4件 10:00 - 12:00(それぞれ講演+質疑 REGULAR 30分)
座長 松澤 昭 (IEEE SSCS Japan Chapter Chair, 東工大)

<<ADC>>

1. "A 0.06mm² 8.9b ENOB 40MS/s Pipelined SAR ADC in 65nm CMOS" (21.3)
M. Furuta, Toshiba
2. "A 10b 50MS/s 820 μ W SAR ADC with On-Chip Digital Calibration" (21.4)
M. Yoshioka, Fujitsu Laboratories

<< Technology Direction >>

3. "User Customizable Logic Paper (UCLP) with Organic Sea-of Transmission-Gates (SOTG) Architecture and Ink-Jet Printed Interconnects" (7.3)
K. Ishida, University of Tokyo

<< Wireline >>

4. "A 12.3mW 12.5Gb/s Complete Transceiver in 65nm CMOS" (20.5)
K. Fukuda, Hitachi

○昼休み 12:00~13:00

[午後の部 I] 発表4件 13:00 – 14:40 (それぞれ講演+質疑 REGULAR 30分 SHORT 20分)
座長 岡田 健一 (IEEE SSCS Japan Chapter Secretary, 東工大)

<< RF >>

5. "A Fully Integrated 2 × 1 Dual-Band Direct-Conversion Transceiver with Dual-Mode Fractional Divider and Noise-Shaping TIA for Mobile WiMAX SoC in 65nm CMOS" (25.4)
J. Deguchi, Toshiba
6. "A Millimeter-Wave Intra-Connect Solution" (23.1)
K. Ito, Sony

<<Image Sensor >>

7. "A 2.7e- Temporal Noise 99.7% Shutter Efficiency 92dB Dynamic Range CMOS Image Sensor with Dual Global Shutter Pixels" (22.3) [SHORT]
K. Yasutomi, Shizuoka University
8. "A 1/2.3-inch 10.3Mpixel 50 frame/s Back-Illuminated CMOS Image Sensor" (22.9) [SHORT]
H. Wakabayashi, Sony

○休憩 14:40 – 15:00

[午後の部 II] 発表4件 15:00 – 16:50 (それぞれ講演+質疑 REGULAR 30分 SHORT 20分)
座長 内山 邦男 (IEEE SSCS Japan Chapter Vice Chair, 日立)

<< Memory >>

9. "A 64Mb MRAM with Clamped-Reference and Adequate-Reference Schemes" (14.2)
K. Tsuchida, Toshiba
10. "A 2Gb/s 1.8pJ/b/chip Inductive-Coupling Through-Chip Bus for 128-Die NANDFlash Memory Stacking" (24.5) [SHORT]
M. Saito, Keio University

<< Digital >>

11. "A 45nm 37.3GOPS/W Heterogeneous Multi-Core SoC" (5.3)
Y. Yuyama, Renesas Technology
12. "A 222mW H.264 Full-HD Decoding Application Processor with x512b Stacked DRAM in 40nm" (18.1)
Y. Kikuchi, Toshiba

○閉会 16:50

[お問い合わせ先]

IEEE SSCS Japan Chapter Secretary: 岡田健一 (okada@ssc.pe.titech.ac.jp)

Homepage: <http://www.ieee-jp.org/japancouncil/chapter/SSC-37/ssc.htm>

会場: <http://www.titech.ac.jp/about/campus/index.html> (大岡山キャンパス正門入って右側の建物)