＜ISSCC’2008 報告会＞

日時: 2008年2月29日(金) 9:30～17:05
会場: 東京工業大学 大岡山キャンパス 百年記念館 3 階フェライト会議室
主催: Japan Chapter, IEEE Solid-State Circuits Society
協賛: ISSCC Far-East Regional Committee

********** ISSCC’2008 報告会 プログラム **********

<<午前の部>> 9:30-12:00

○挨拶 9:30-9:35 古山 透
IEEE SSCS Japan Chapter Chair

○レビュー講演1 9:35-10:00 (講演 20 分＋質疑 5 分)
「ISSCC2008 の Overview」 河原 尊之
ISSCC Far-East Regional Committee Vice Chair

○論文発表
[午前の部] 発表 4 件 10:00 - 12:00(それぞれ講演＋質疑 30 分)
座長 岡田 健一 (東工大)

<< Analog >>
1. " A Widely-Tunable Reconfigurable CMOS Analog Baseband IC for Software-Defined Radio "
Masaki Kitsunezuka, NEC

<< Data Converters >>
2. " A Split-Load Interpolation-Amplifier-Array 300MS/s 8b Subranging ADC in 90nm CMOS "
Yasuhide Shimizu, Sony LSI Design Inc

<< Wireline Communication >>
3. "An 8Gb/s Transceiver with a 3×-Oversampling 2-Threshold Eye-Tracking CDR Circuit for a -36.8dB-loss Backplane "
Koji Fukuda, Hitachi Ltd.

4. "A 10.3125Gb/s Burst-Mode CDR Using a ΔΣ DAC "
Jun Terada, NTT

○昼休み 12:00～13:00

[午後の部 I]　発表4件　13:00 – 14:50 （それぞれ講演＋質疑 REGULAR 30 分 SHORT 20 分）
座長　松澤　昭 （IEEE SSCS Japan Chapter Vice Chair 東工大）

<<RF>>

5. ."TX and RX Front-Ends for the 60GHz Band in 90nm Standard Bulk CMOS"
Masahiro Tanomura, NEC

<<Technology Direction >>

6. "A 107pJ/b 100kb/s 0.18μm Capacitive-Coupling Transceiver for Printable Communication Sheet"
Lechang Liu, Univ. of Tokyo

<<Imager>>

7. "A 3.6pW/frame·pixel 1.35V PWM CMOS Imager with Dynamic Pixel Readout and no Static Bias Current"
. Keiichiro Kagawa, Osaka University/Nara Institute of Science and Technology

8. "A White-RGB CFA-Patterned CMOS Image Sensor with Wide Dynamic Range"
Yoshitaka Egawa, Toshiba Corp.

○休憩　15:00 – 15:15

<<午後の部 II>>　発表4件　15:05 – 17:05　（それぞれ講演＋質疑30 分）
座長　大脇　幸人 （東芝）

<<Memory>>

9. " A 120mm2 16Gb 4-MLC NAND Flash Memory with 43nm CMOS Technology "
Kazushige Kanda,.

10. "A 65nm Low-Power High-Density SRAM Operable at 1.0V Under 3σ Systematic Variation Using Separate Vth Monitoring and Body Bias for NMOS and PMOS"
Masanao Yamaoka, Hitachi Ltd.

<<Low Power Digital>>

11. "A 512GOPS Fully-Programmable Digital Image Processor with full HD 1080p Processing Capabilities "
Sumito Arakawa. Sony Corporation

12. "A 65nm Single-Chip Application and Dual-Mode Baseband Processor with Partial Clock Activation and IP-MMU"
Masao Naruse, Renesas Technology Corporation

○閉会　17:05

＊＊

[お問い合せ先]
IEEE SSCS Japan Chapter　Secretary：大脇　幸人 （oowaki@ieee.org）
Homepage: http://www.ieee-jp.org/japancouncil/chapter/SSC-37/ssc.htm
会場：http://www.libra.titech.ac.jp/cent/welcome5.html