
2012ISSCC(IEEE International Solid-State Circuits Conference)報告会

ISSCC は毎年開催される世界最高峰の集積回路分野の学会です。

IEEE SSCS Japan/Kansai Chapter では例年、ISSCC 開催後に、日本からの発表の中からいくつかを、講演者の方々に日本語で再度ご講演頂く国内報告会の機会を設けています。

今年も 2012ISSCC 報告会を下記の通り行いますので、奮ってご参加ください。参加費無料、参加申込み不要です。

日時: 2012 年 5 月 23 日(水) 9:30-16:45

場所: 東京工業大学 大岡山キャンパス

百年記念館 3 階 フェライト記念会議室

〒152-8550 東京都目黒区大岡山 2-12-1 百年記念館

<http://www.cent.titech.ac.jp/Information/map.html>

百年記念館へのアクセス:

東急目黒線・大井町線大岡山駅下車徒歩 1 分

東京工業大学大岡山キャンパス・正門わき

プログラム(敬称略、変更可能性あり)

Opening (9:30-10:00)

9:30- 9:40 IEEE SSCS Japan Chapter Chair 挨拶 内山 邦男(日立)

9:40-10:00 2012ISSCC の総括 池田 誠(東大)

Wireless/Wireline Transceivers (10:00-11:45)

座長 大島 俊(日立)

1. 10:00-10:30 田村 昌久(ソニー)

A 1V 357Mb/s-throughput TransferJet™ SoC with
Embedded Transceiver and Digital Baseband in 90nm CMOS

2. 10:30-11:00 三友 敏也(東芝)

A 2Gb/s-Throughput CMOS Transceiver Chipset with In-Package
Antenna for 60GHz Short-Range Wireless Communication

3. 11:00-11:30 田中 悠介(ソニー)

A Versatile Multi-Modality Serial Link

4. 11:30-11:45 小泉 弘(N T T)

A 10Gb/s Burst-Mode Laser Diode Driver
for Burst-by-Burst Power Saving

お昼休み 11:45-13:15

Image Sensors/Advanced Technologies (13:15-15:00)

座長 川入 祥二(静岡大)

5. 13:15-13:45 栃木 靖久(東北大)

A Global-Shutter CMOS Image Sensor with Readout Speed
of 1Tpixel/s Burst and 780Mpixel/s Continuous

6. 13:45-14:00 渡部 俊久(NHK)

A 33Mpixel 120fps CMOS Image Sensor Using 12b
Column-Parallel Pipelined Cyclic ADCs

7. 14:00-14:15 長谷川 雄哉(慶応大)

Voltage-Boosting Wireless Power Delivery System
with Fast Load Tracker by $\Delta\Sigma$ -Modulated
Sub-Harmonic Resonant Switching

8. 14:15-14:30 永井 秀一(パナソニック)

A DC-Isolated Gate Drive IC with Drive-by-Microwave Technology
for Power Switching Devices

9. 14:30-15:00 石田 光一(東大)

Insole Pedometer with Piezoelectric Energy Harvester and 2V
Organic Digital and Analog Circuits

休憩 15:00-15:15

Advanced Digital Circuits (15:15-16:45)

座長 内山 邦男(日立)

10. 15:15-15:45 平入 孝二(S T A R C)

13% Power Reduction in 16b Integer Unit in 40nm CMOS
by Adaptive Power Supply Voltage Control with Parity-Based
Error Prediction and Detection (PEPD) and Fully Integrated
Digital LDO

11. 15:45-16:15 田邊 靖貴(東芝)

A 464GOPS 620GOPS/W Heterogeneous Multi-Core SoC for
Image-Recognition Applications

12. 16:15-16:45 宮崎 博行(富士通)

K Computer: 8.162 PetaFLOPS Massively Parallel Scalar Supercomputer
Built with Over 548k Cores

以上