

集積回路ばらつきの解析・予測に向けた デバイスモデリングの状況

広大IEEE講演会

2007年7月12日

広島大学先端物質科学研究科:三浦道子

目次

I. ばらつき解析・予測

I-1. ばらつき分類

I-2. ばらつき抽出

I-3. ばらつき予測

II. デバイスマデリング

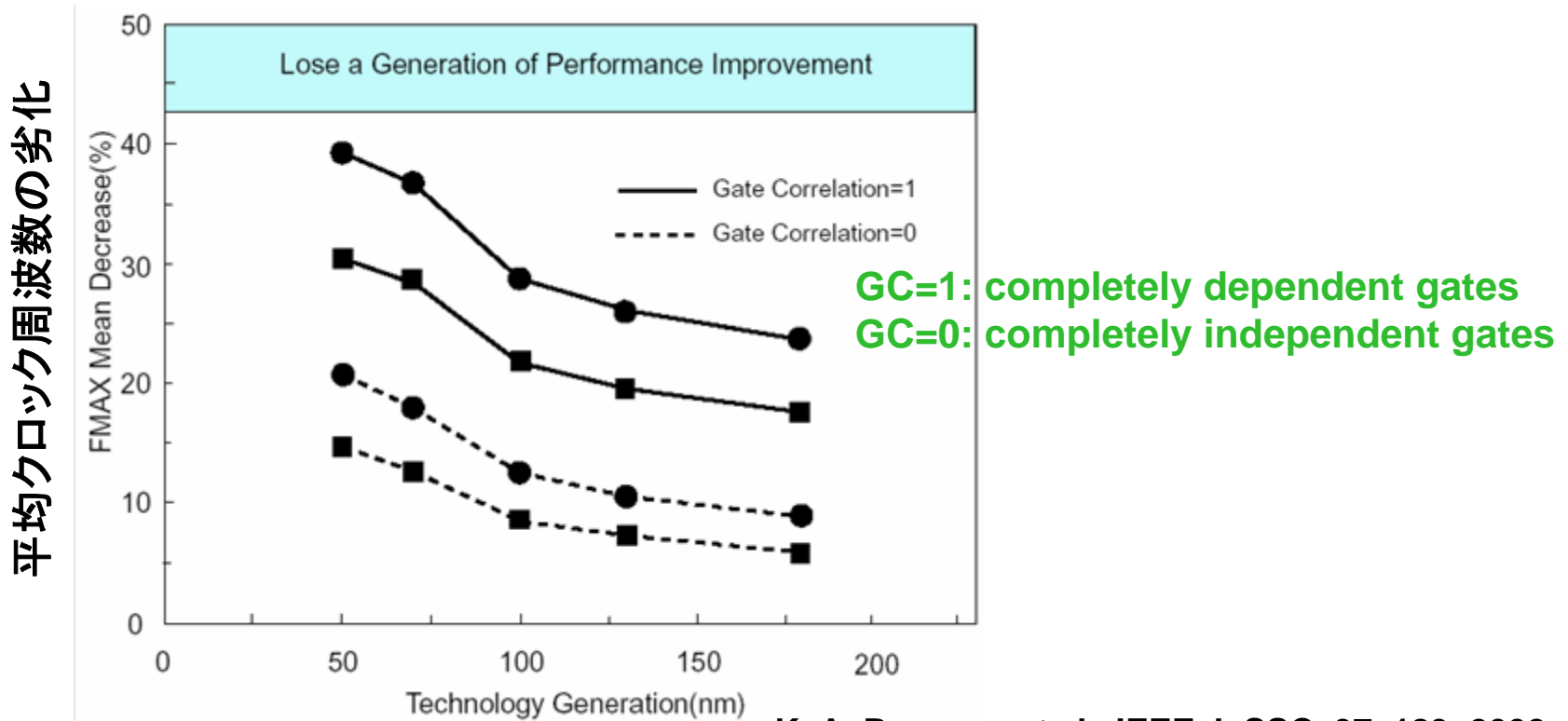
II-1. コンパクトモデル

II-2. コンパクトモデルの精度

II-3. コンパクトモデルの可能性

I-1. ばらつき分類

- Inter-Chip (Die)ばらつき: Systematic
- Intra-Chip (Die)ばらつき: Random ⇒ Mismatch

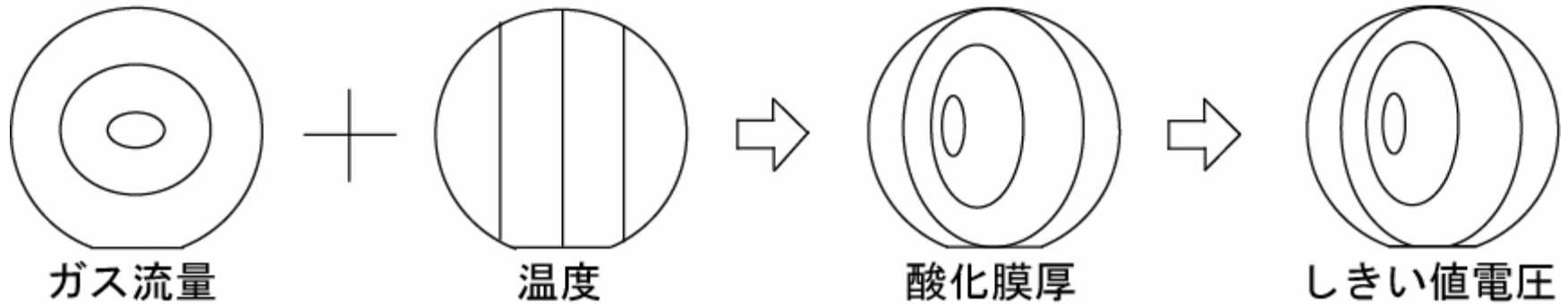


Inter-ChipとIntra-Chipばらつきの関係？

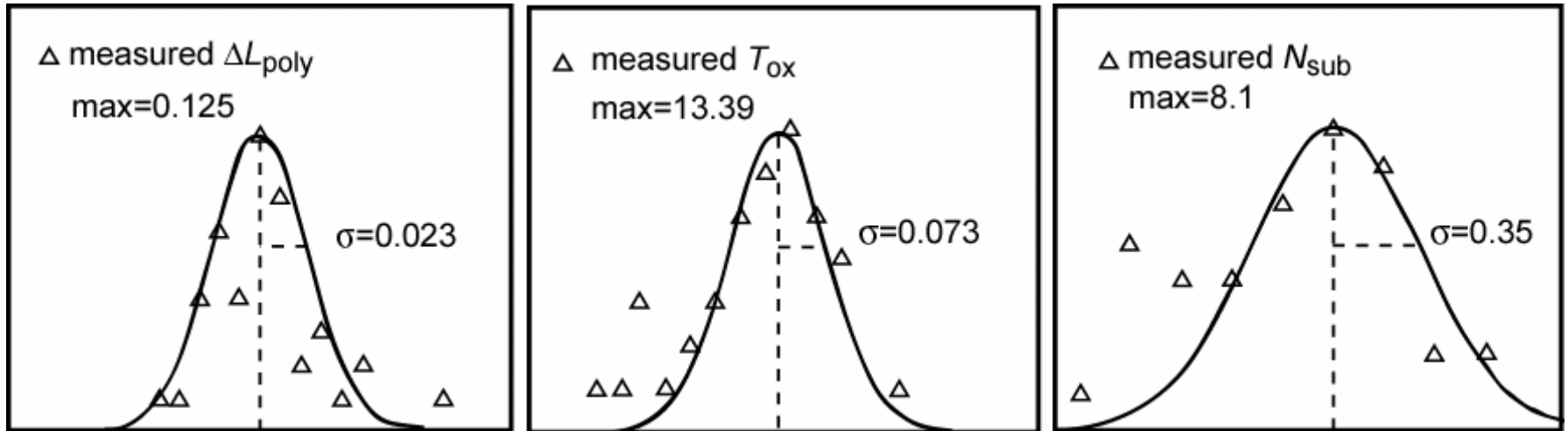
Inter-ChipとIntra-Chipばらつきの考慮の方法？

Inter-Chipばらつき

装置

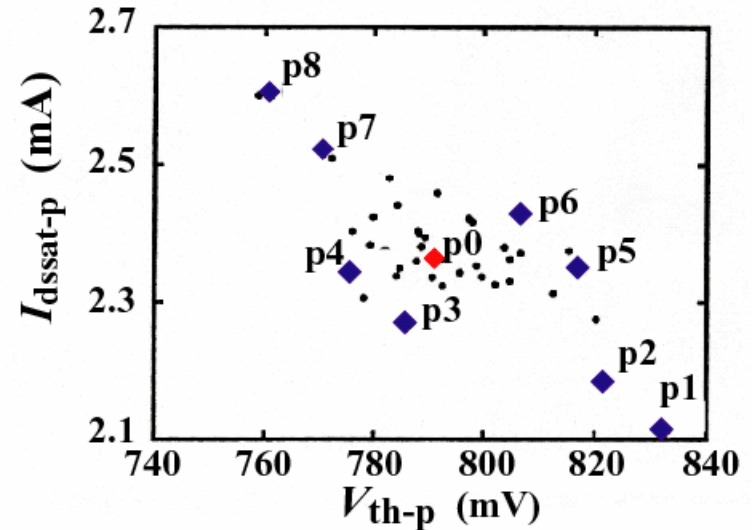
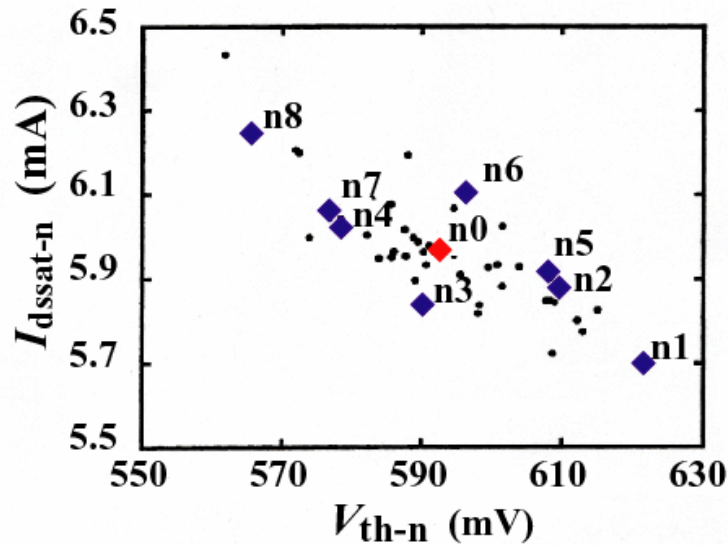


Wafer上のばらつき: In-Line測定からの抽出



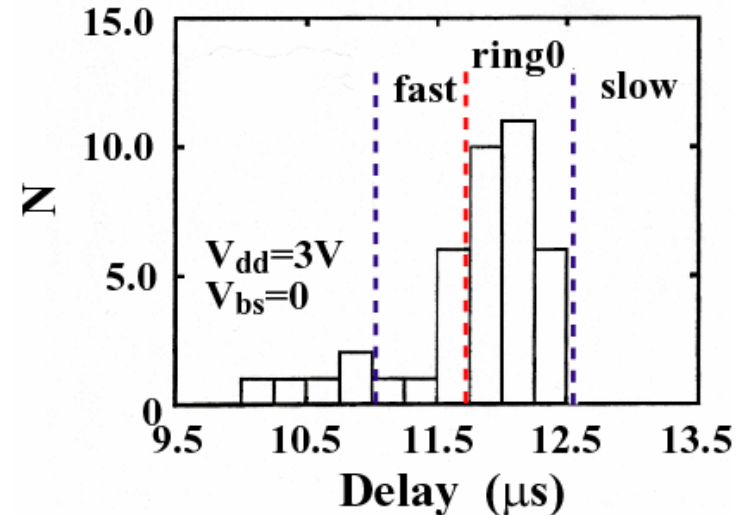
ばらつき間に相関はない

測定されるデバイスレベルのばらつき



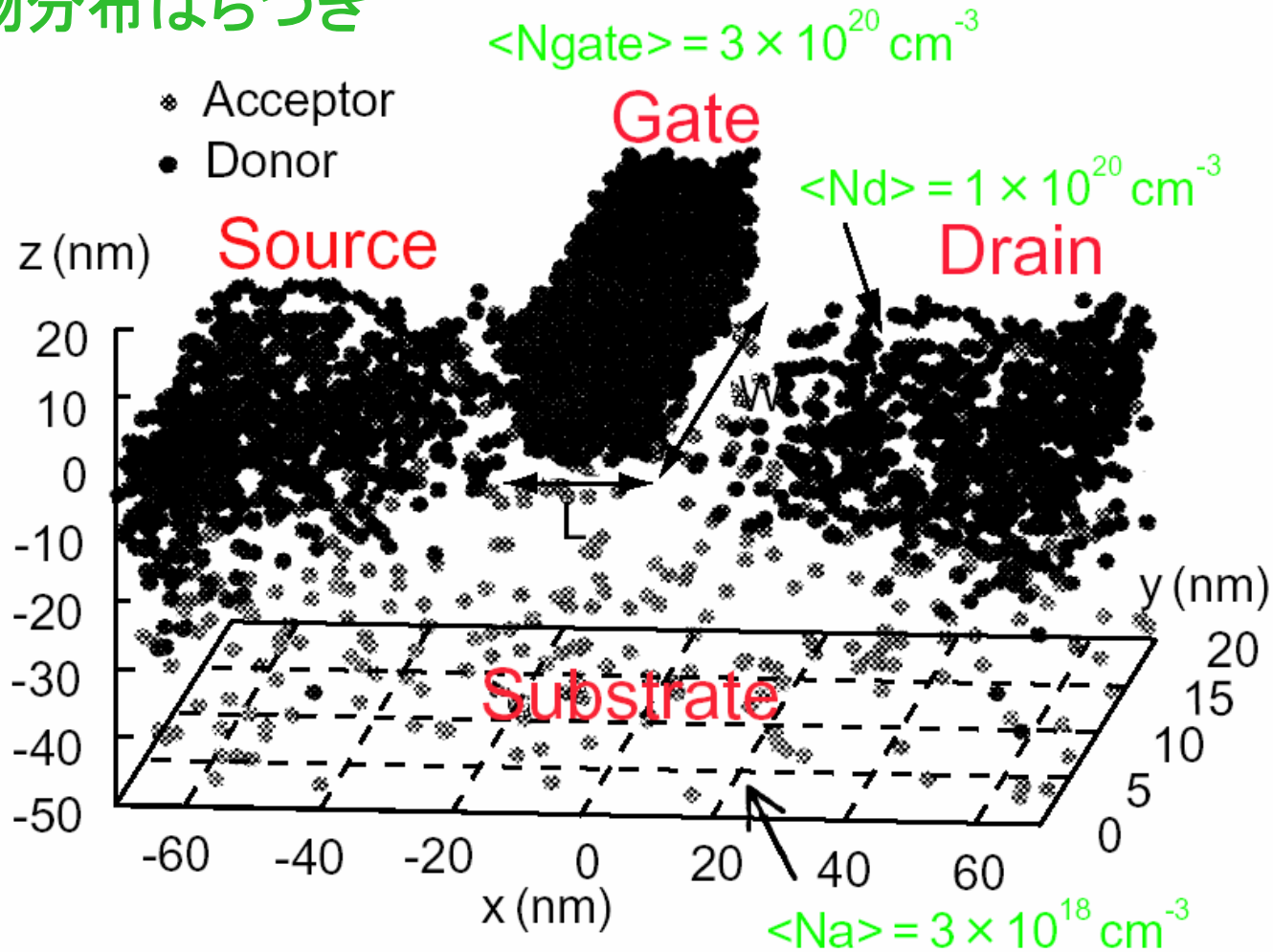
測定される回路レベルのばらつき

	ΔL	$\Delta N_{\text{sub},n}$	$\Delta N_{\text{sub},p}$	ΔT_{ox}
1	2σ	2σ	-2σ	2σ
2	2σ	2σ	-2σ	-2σ
3	2σ	-2σ	2σ	2σ
4	2σ	-2σ	2σ	-2σ
5	-2σ	2σ	-2σ	2σ
6	-2σ	2σ	-2σ	-2σ
7	-2σ	-2σ	2σ	2σ
8	-2σ	-2σ	2σ	-2σ

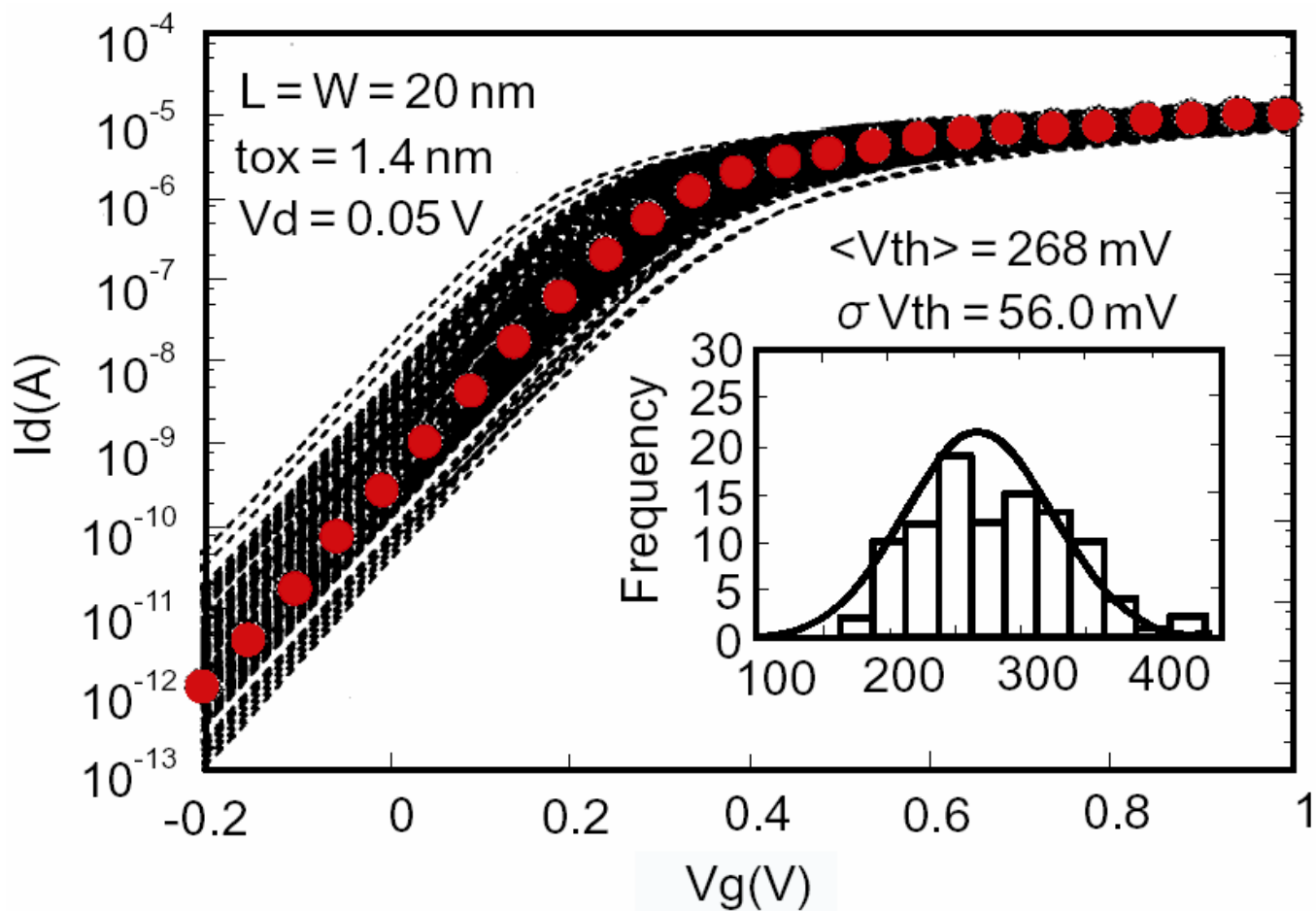


Intra-Chipばらつき

不純物分布ばらつき



不純物ばらつきによって生じた電流ばらつき

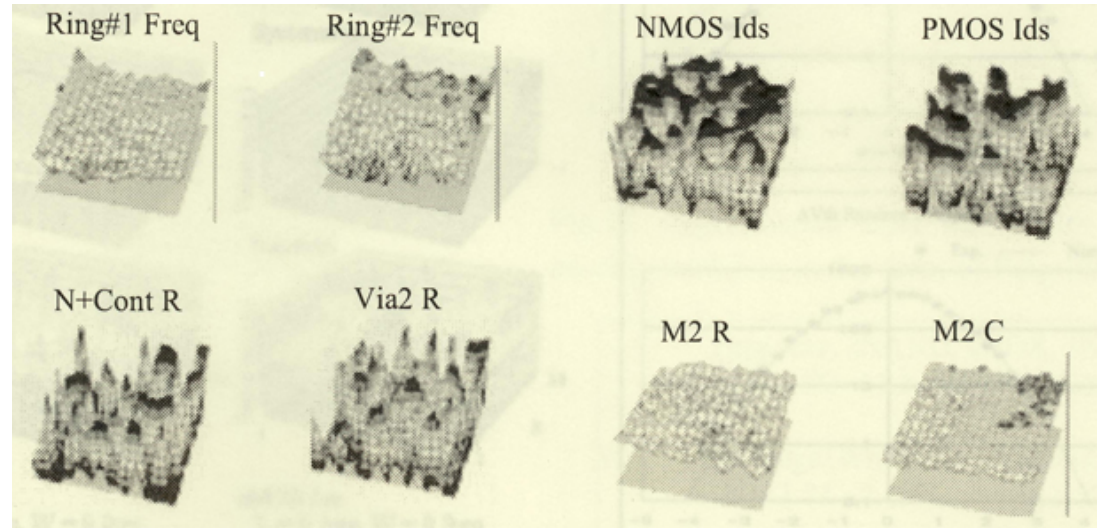


ばらつきの平均化ができない

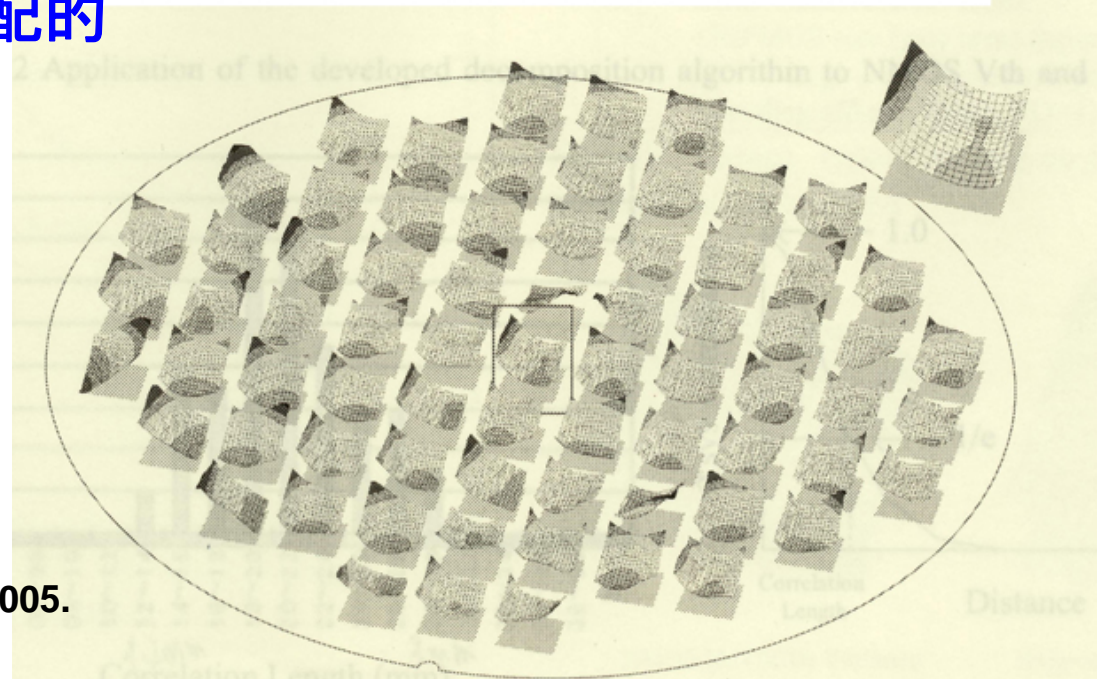
I-2. ばらつきの見積もり

- アレイ構造を用いた測定
- 基本回路を用いた抽出
- $I-V$ の微細応答特性から抽出
 - $1/f$ ノイズ
 - 高調波ひずみ

アレイ構造を用いた測定



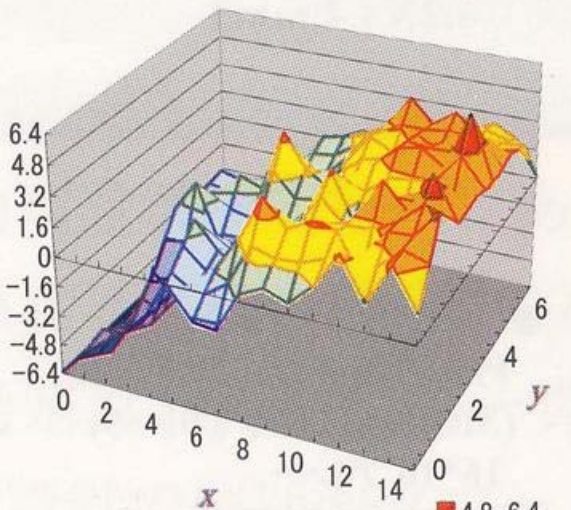
MOSFETばらつきが支配的



H. Masuda et al., CICC, p. 593, 2005.

SystematicばらつきとRandomばらつきの分離

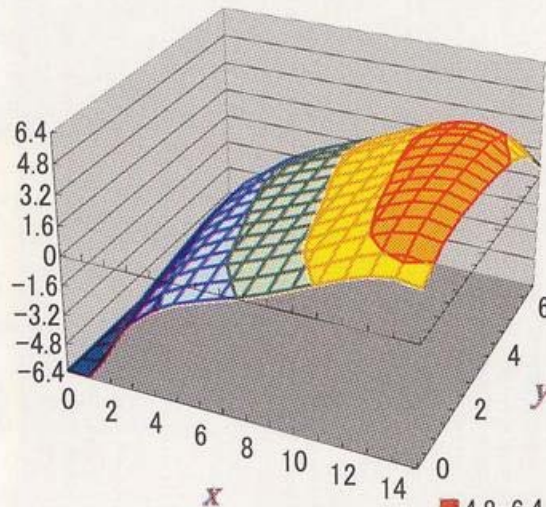
CMA 16×8 での周期ばらつき[%]



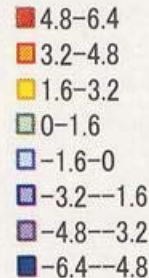
$\sigma(\%) = 3.60$
 $\min(\%) = -10.89$
 $\max(\%) = 6.58$



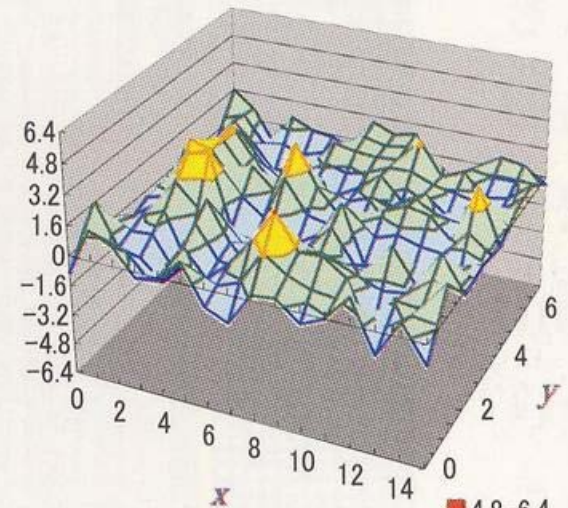
システム成分(4次多項式近似)[%]



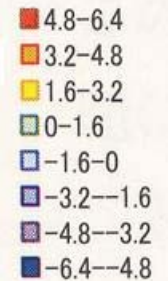
$\sigma(\%) = 3.42$
 $\min(\%) = -9.95$
 $\max(\%) = 4.09$



ランダム成分(近似残差)[%]



$\sigma(\%) = 1.12$
 $\min(\%) = -2.23$
 $\max(\%) = 3.26$



増田弘生、STARC設計技術開発の5年間

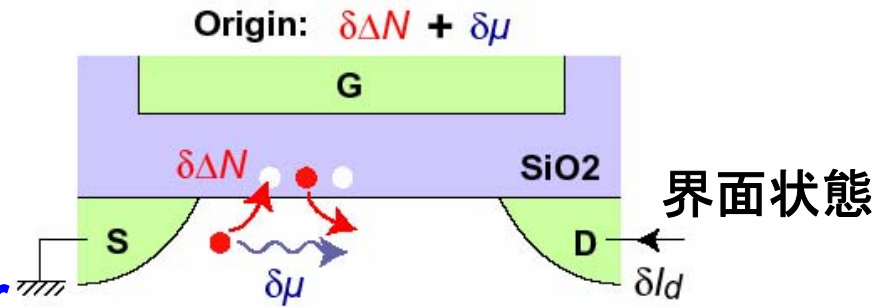


4次のpolynomial function近似

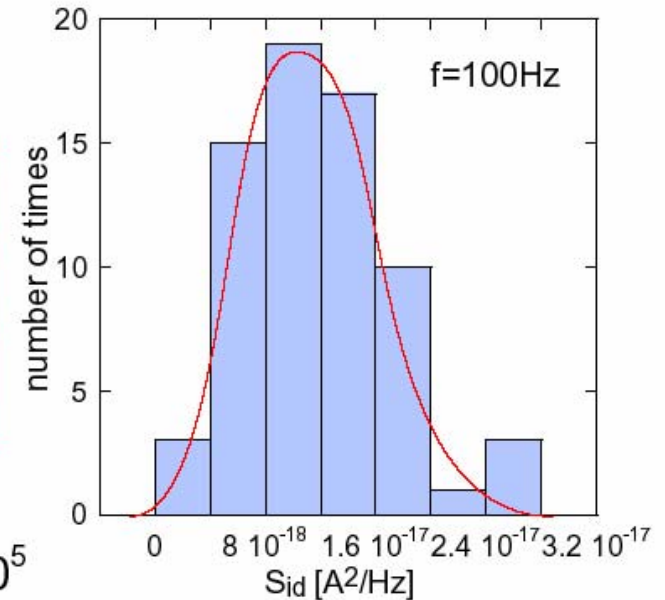
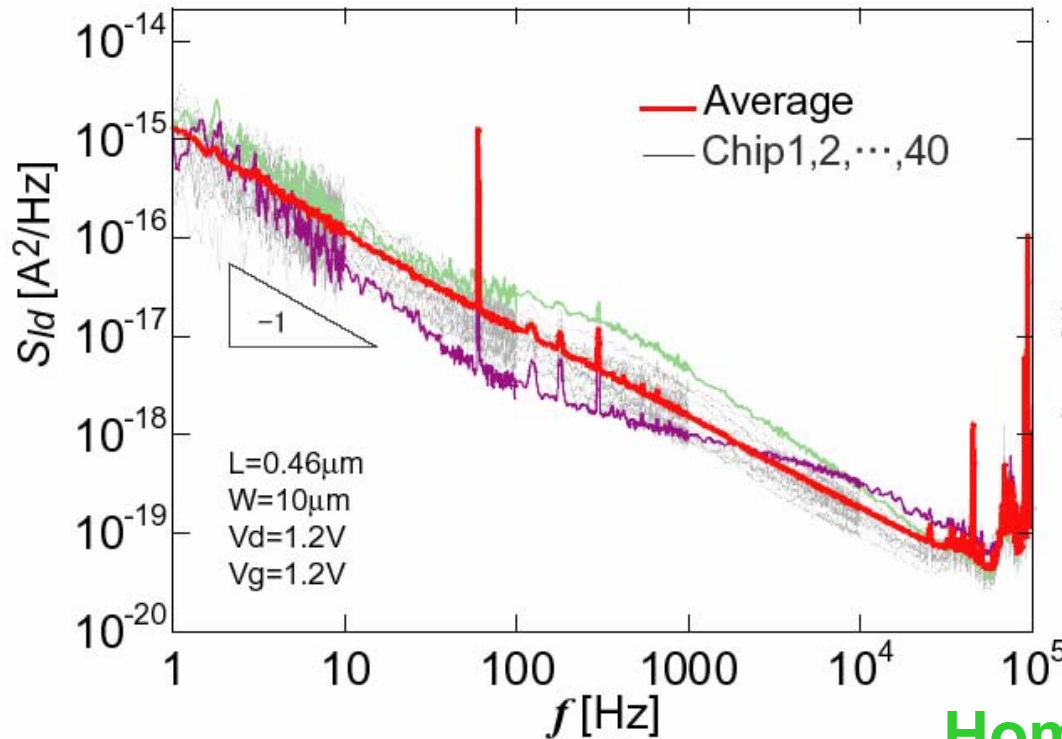
Inter-Chipばらつき > Intra-Chipばらつき?

1/fノイズ特性

1/fノイズの起源



Statistics on a Wafer

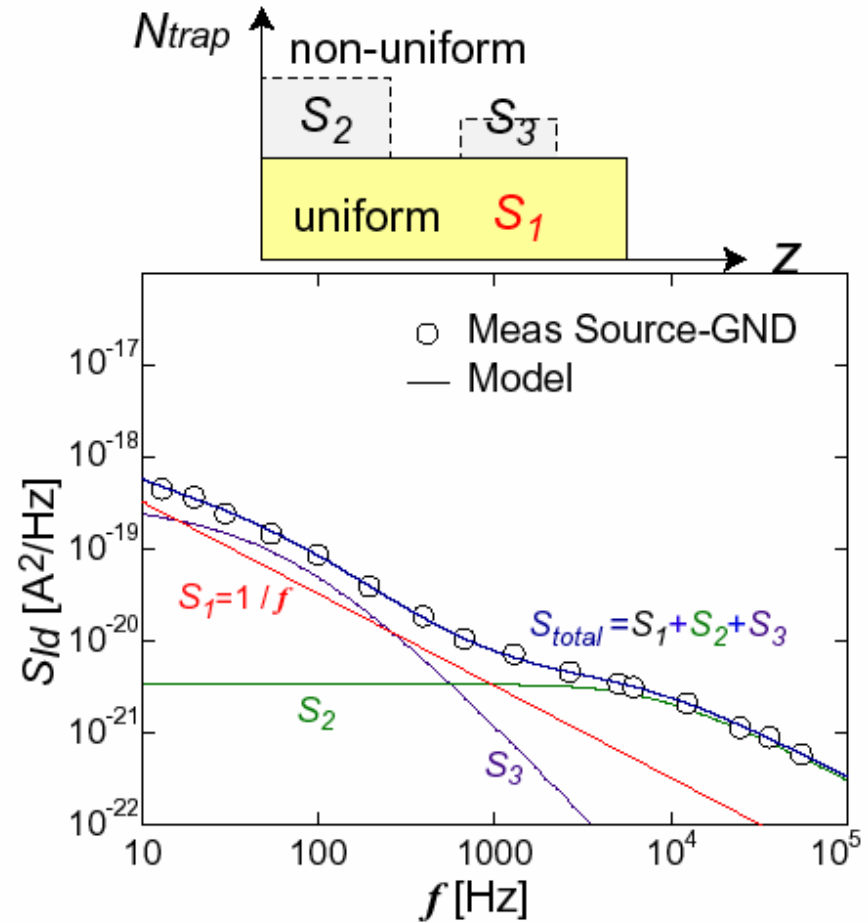
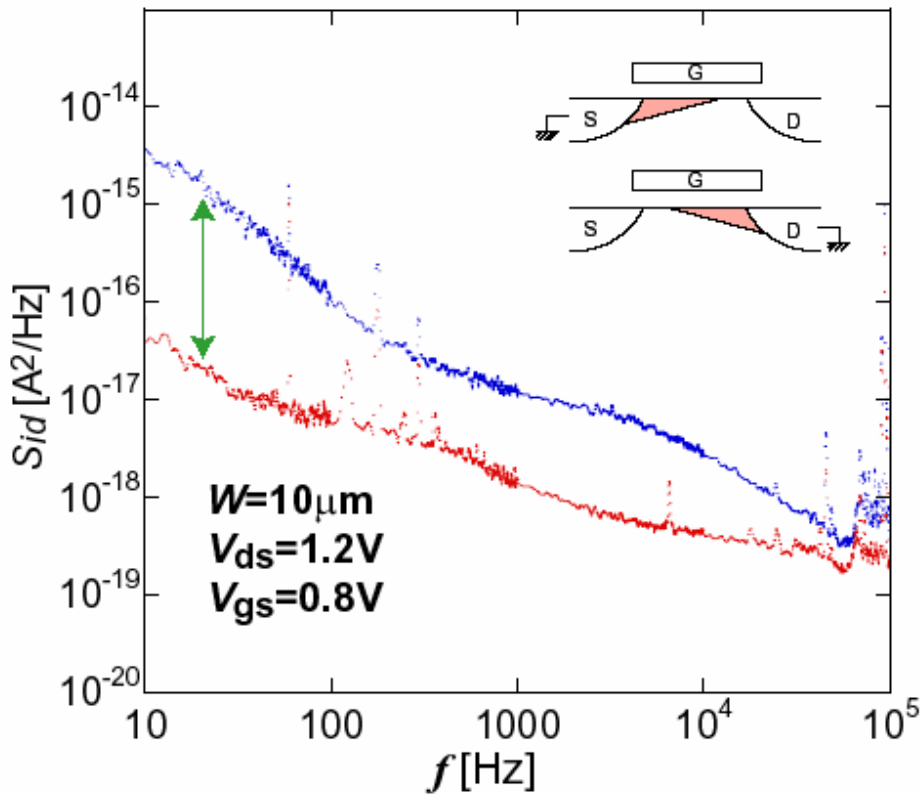


Homogeneous Distribution

1/fノイズ特性からのずれ

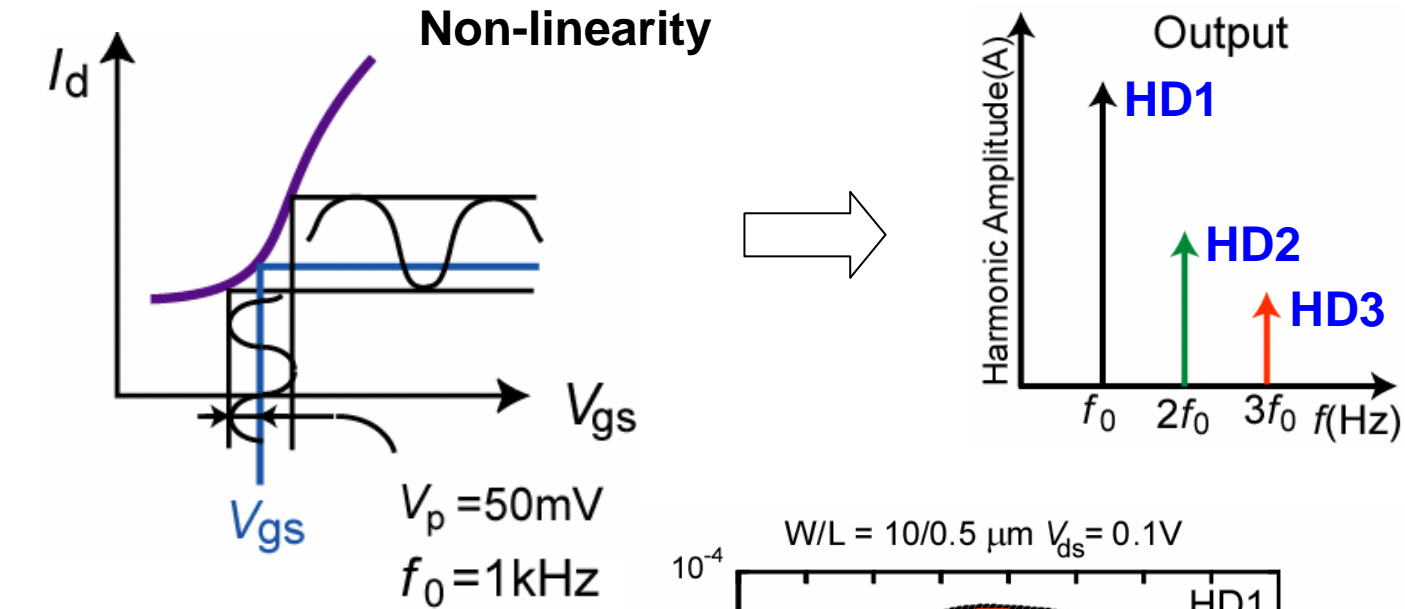
$L_g=0.13\mu\text{m}$ (nMOSFET)

Saturation Condition

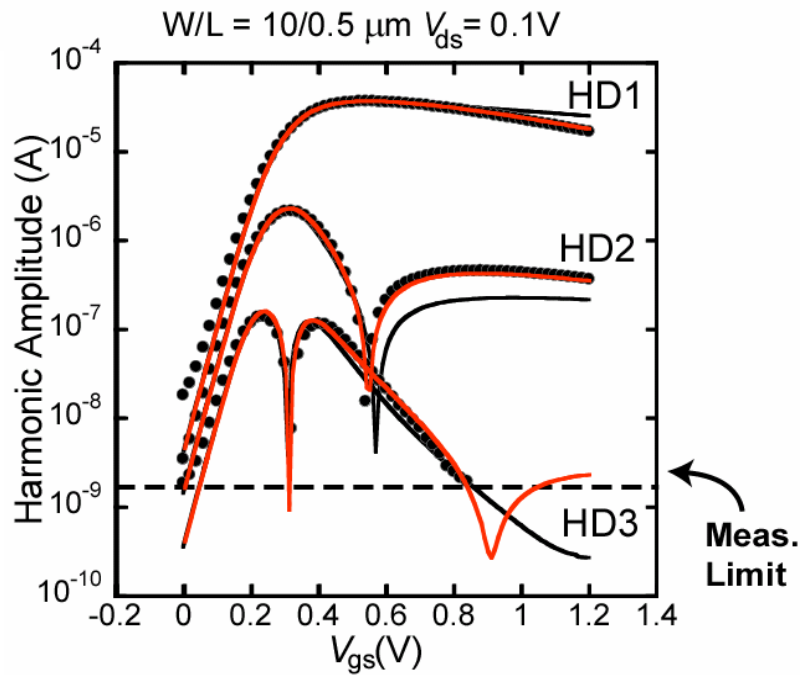


Intra-Chipばらつきの原因？

高調波ひずみ

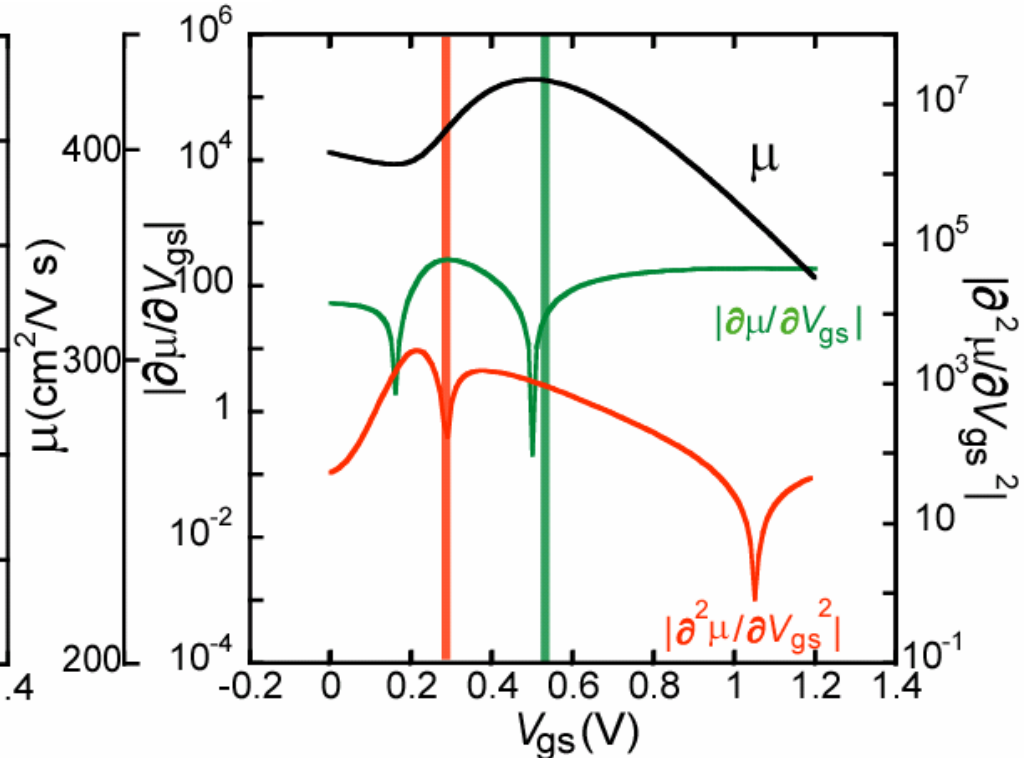
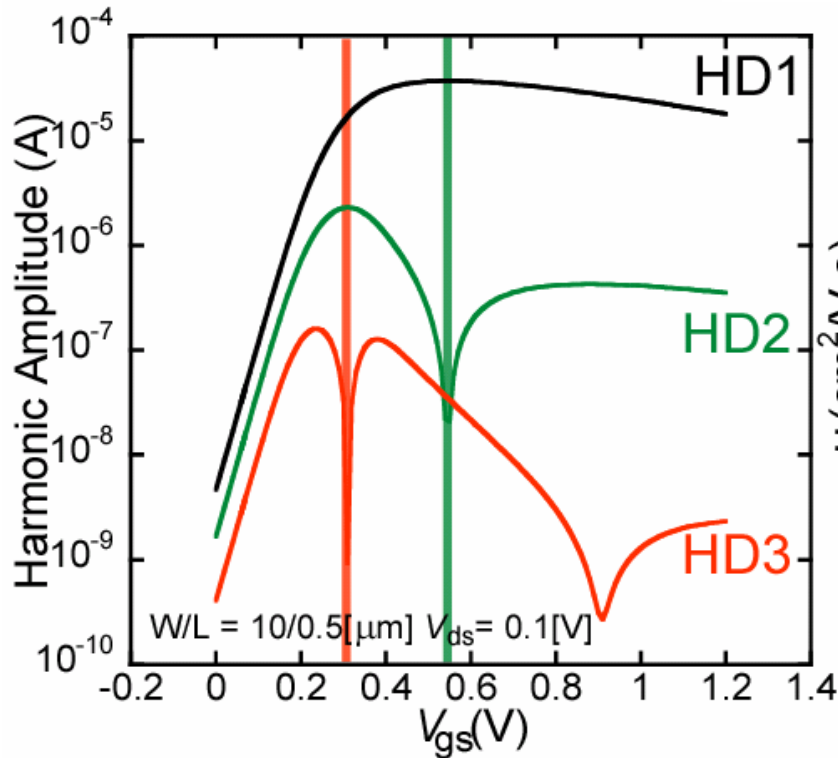


$$V(t) = V_{gs} + \sin(2\pi f_0 t)$$



移動度との比較

$V_{ds}=0.1V$



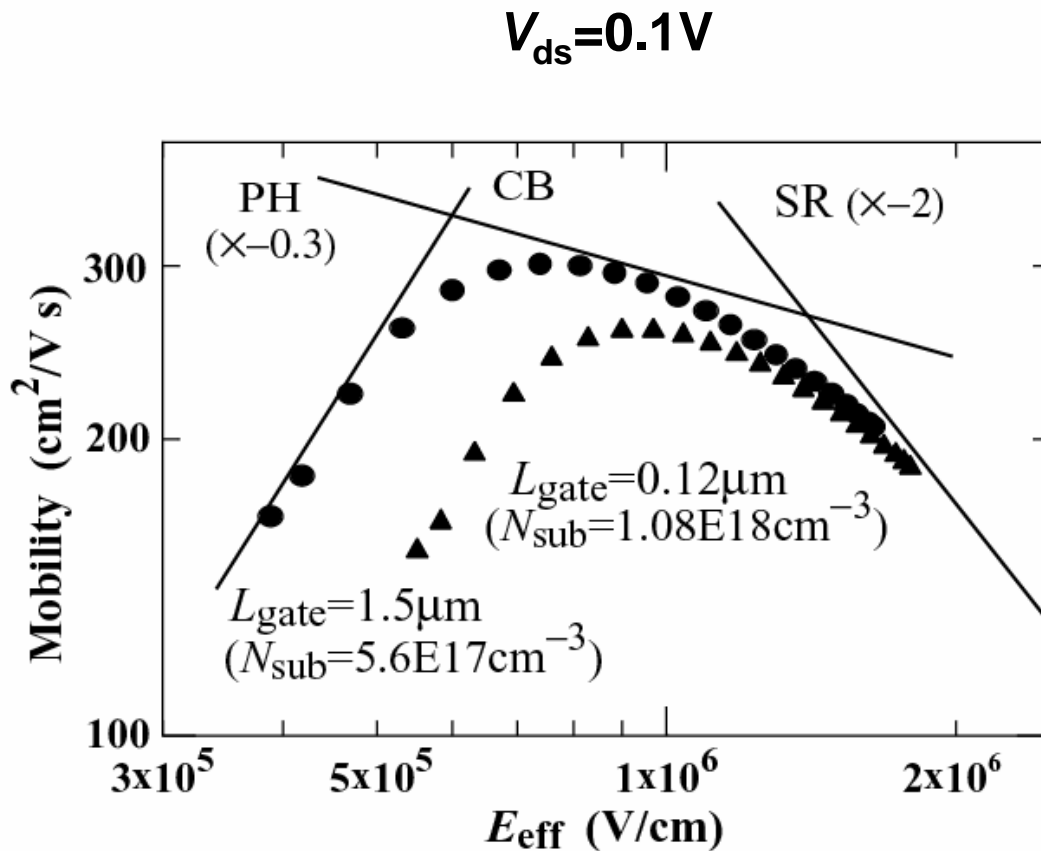
$$\text{HD1} \approx \left| V_P \frac{\partial I_{ds}}{\partial V_{gs}} \right|$$

$$\text{HD2} \approx \left| -\frac{1}{4} V_P^2 \frac{\partial^2 I_{ds}}{\partial V_{gs}^2} \right|$$

$$\text{HD3} \approx \left| -\frac{1}{24} V_P^3 \frac{\partial^3 I_{ds}}{\partial V_{gs}^3} \right|$$

Mobility determines the harmonic distortion characteristics.

Universal Mobility



$$\frac{1}{\mu_0} = \frac{1}{\mu_{\text{CB}}} + \frac{1}{\mu_{\text{PH}}} + \frac{1}{\mu_{\text{SR}}}$$

$$\bullet \mu_{\text{CB}} = \text{CB0} + \text{CB1} \frac{Q_i}{q \times 10^{11}}$$

$$\bullet \mu_{\text{PH}} = \frac{\text{PH0}}{(T/300\text{K})^{\text{PHTMP}} \times E_{\text{eff}}^{\text{PHI}}}$$

$$\bullet \mu_{\text{SR}} = \frac{\text{SR0}}{E_{\text{eff}}^{\text{SRI}}}$$

$$E_{\text{eff}} = \frac{1}{\epsilon_{\text{Si}}} (\text{NDEP} \times Q_b + \text{NINV} \times Q_i)$$

$$\text{PHI} = 0.3$$

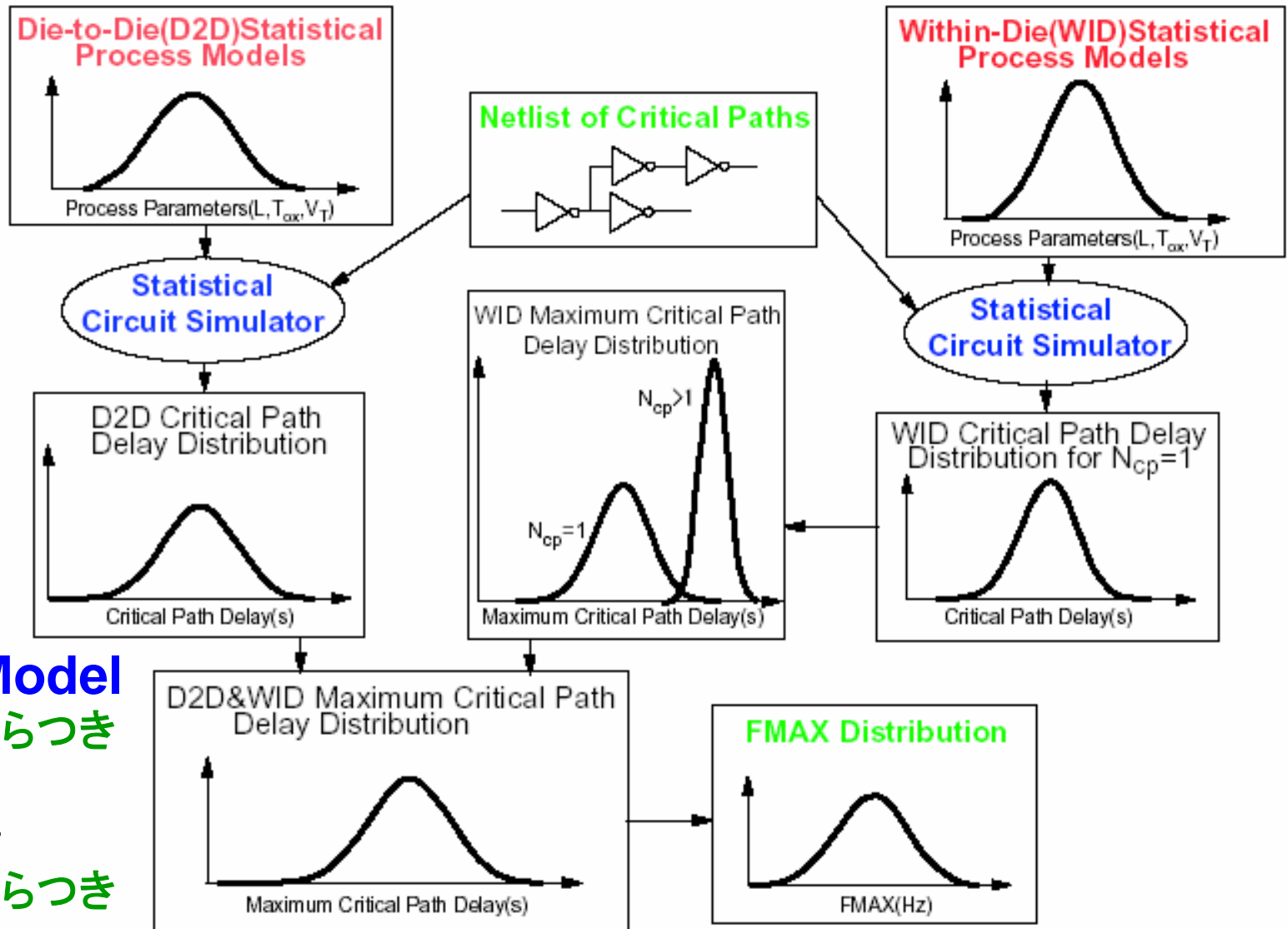
$$\text{SRI} = 2.0$$

$$\text{NDEP} = 1.0$$

$$\text{NINV} = 0.5$$

Carrier濃度のばらつき \Rightarrow 基板濃度のばらつき

I-3. 回路のばらつき予測



Process Model

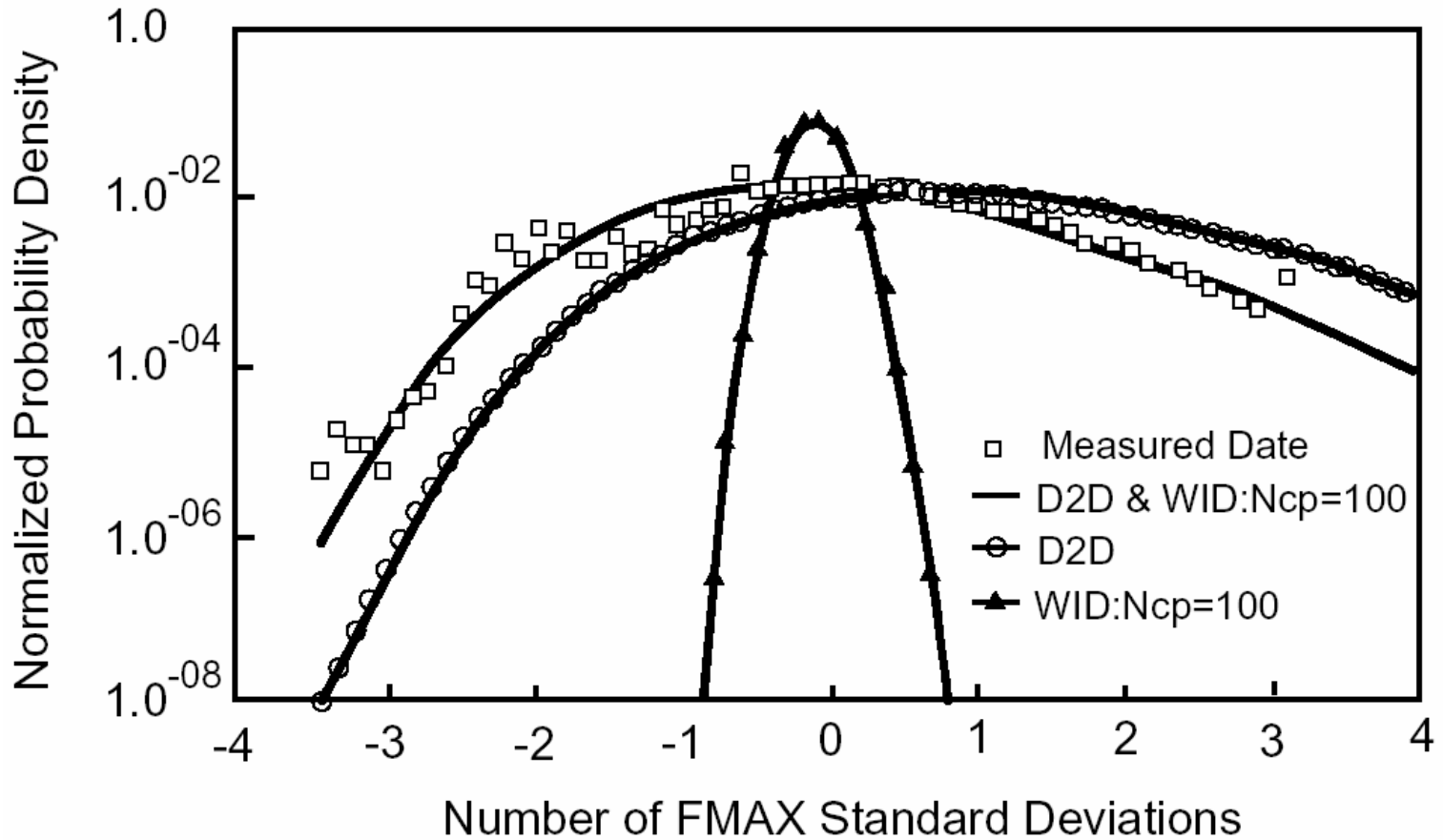
Inter-Chipばらつき

- 温度分布
- 濃度分布
- プラズマ分布

Intra-Chipばらつき

- 濃度ばらつき
- 欠陥分布 (1/fノイズ)
- Layout依存性

不十分な特性 (critical path) が回路全体の性能を損なう



(Ncp: Number of Critical Path)
WID: Within Die

性能ばらつきはInter-DieばらつきとIntra-Dieばらつきから決まる



Stochasticな考察

目次

I. ばらつき予測

I-1. ばらつき分類

I-2. ばらつき抽出

I-3. ばらつき予測

II. デバイスマデリング

II-1. コンパクトモデル

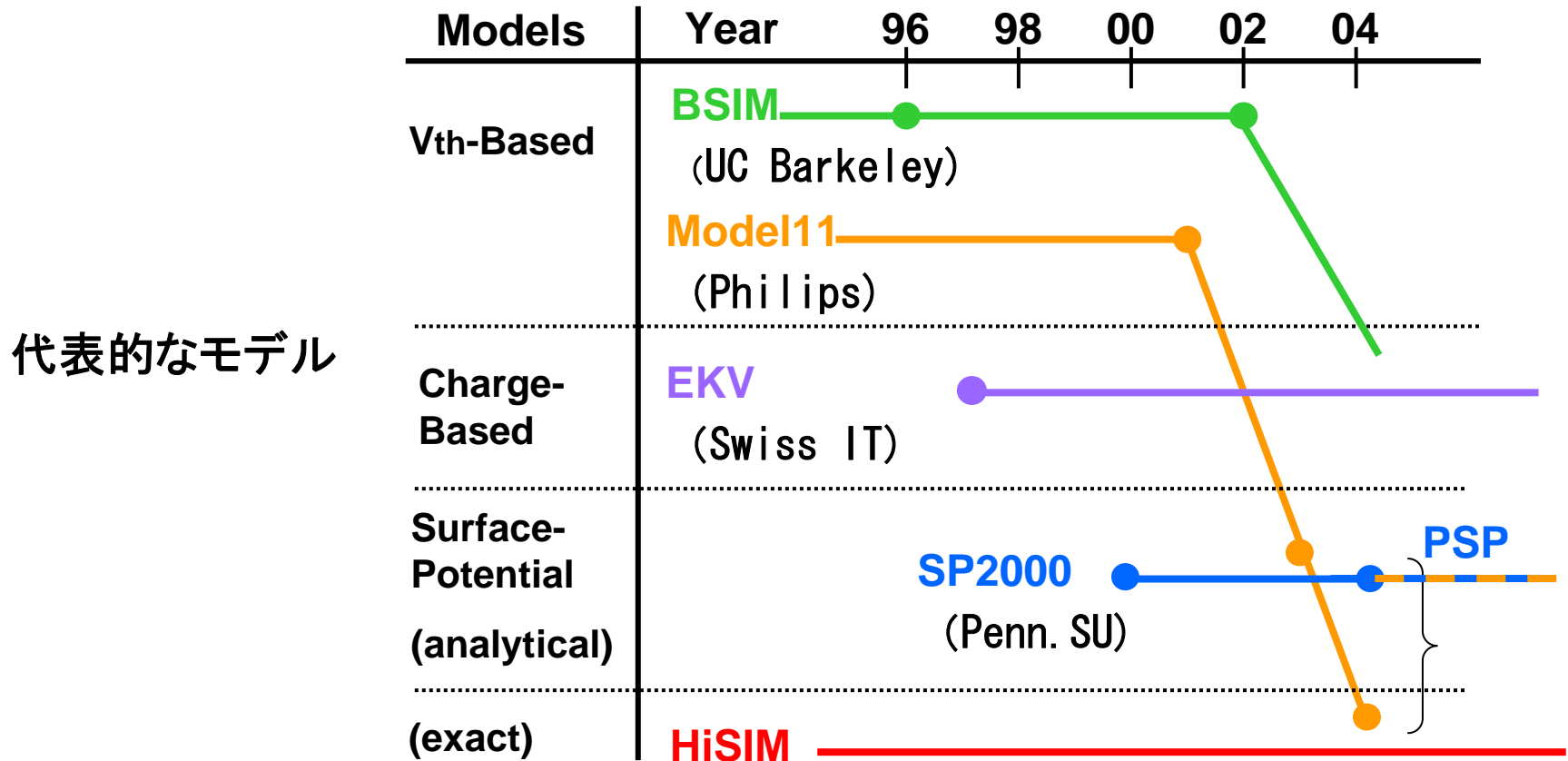
II-2. コンパクトモデルの精度

II-3. コンパクトモデルの可能性

II-1. コンパクトモデル



- 回路モデルはデバイスと集積回路をつなぐ要
- 回路モデルの精度が回路予測精度を決定

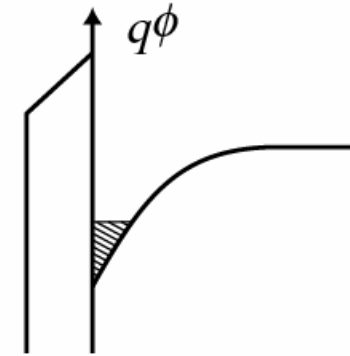


デバイスの基本方程式

-Poisson:
$$\nabla^2 \phi = -\frac{q}{\epsilon_{\text{Si}}} (N_{\text{D}} - N_{\text{A}} + p - n)$$

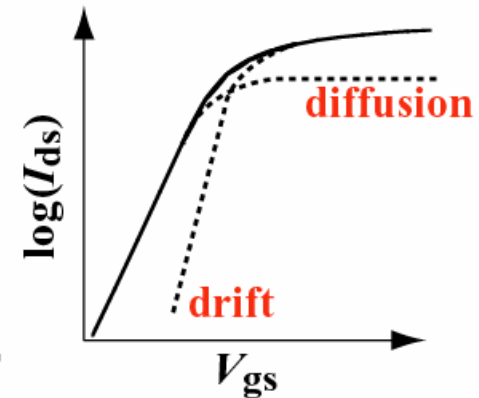
$$n = n_i \exp \frac{q(\phi - \phi_n)}{kT}$$

$$p = n_i \exp \frac{q(\phi_p - \phi)}{kT}$$



-Current Density:
$$j_n = q\mu_n n \frac{\phi}{y} + qD_n \nabla n$$

$$j_p = q\mu_p p \frac{\phi}{y} - qD_p \nabla p$$



-Continuity:
$$I(t) = I_0(t) + \frac{dQ}{dt}$$

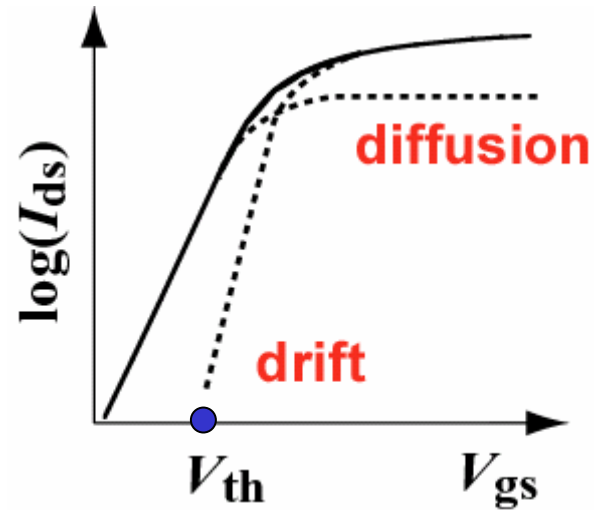
(solved by circuit simulator)

- Quantum Mechanical Effect
- Ballistic Effect

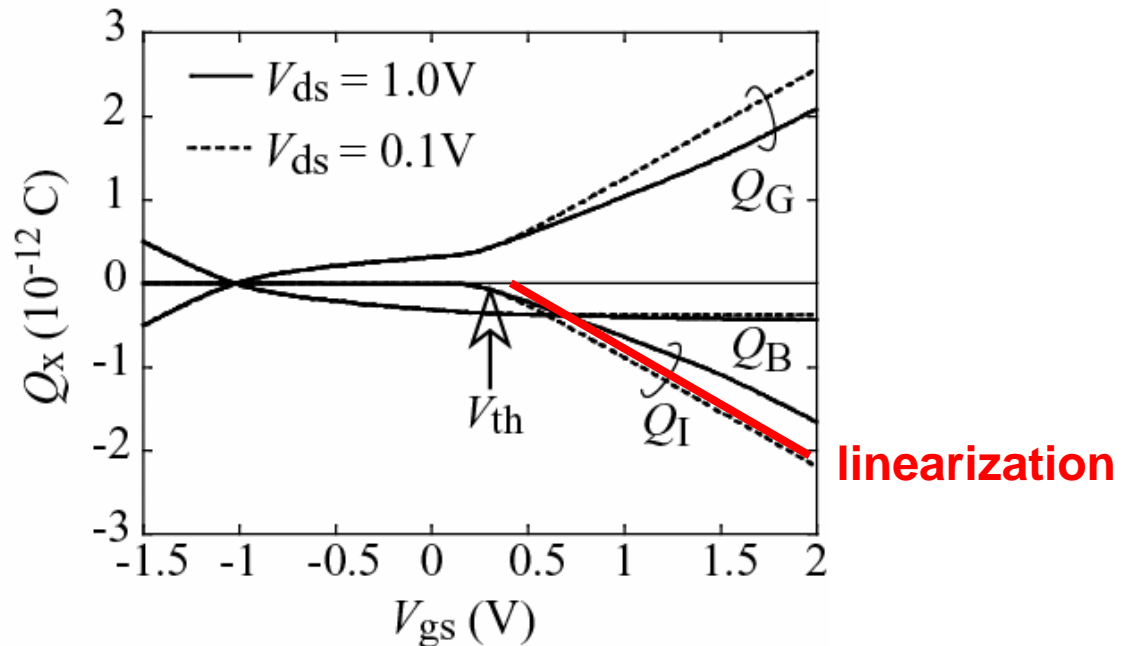
● V_{th} -Based Model: BSIM

$$I_{ds} = \mu \frac{W}{L} C_{ox} \left[(V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2 \right]$$

drift近似



● Inversion-Charge-Based Model: EKV



• Drift-Diffusion Approximation: HiSIM

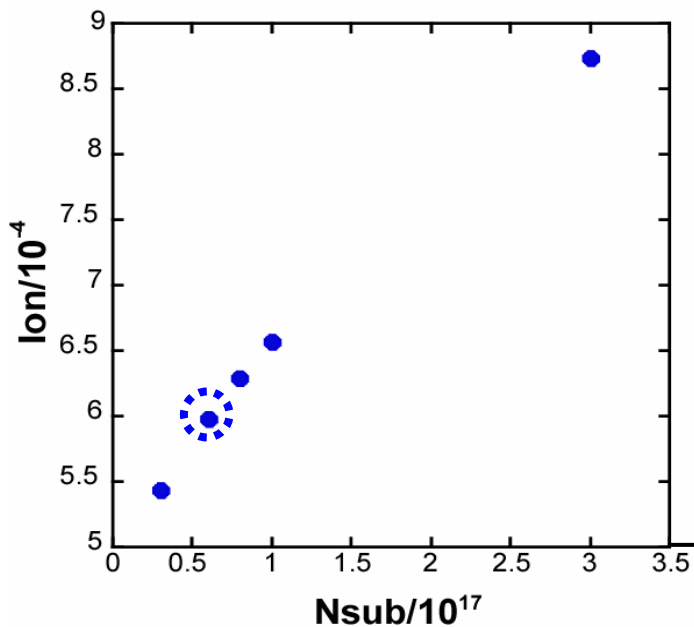
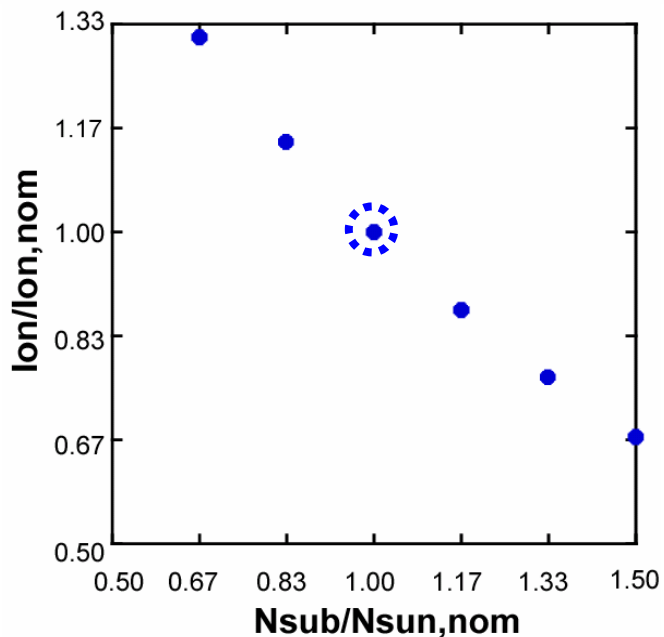
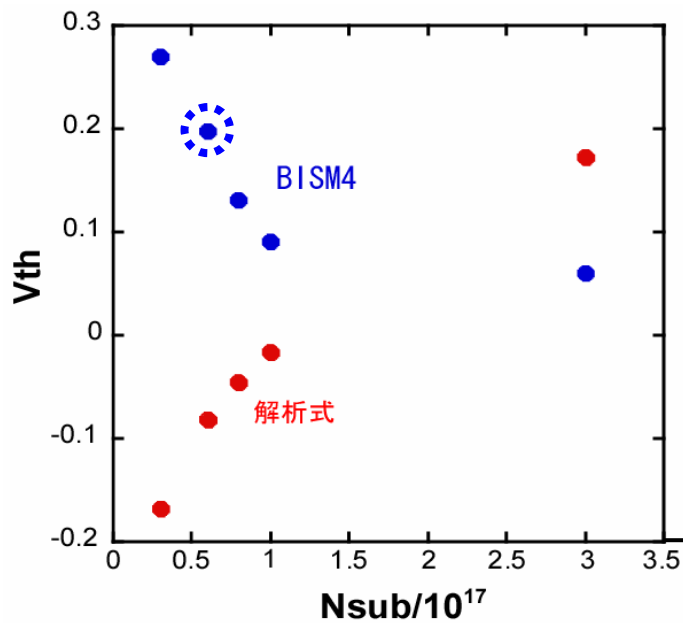
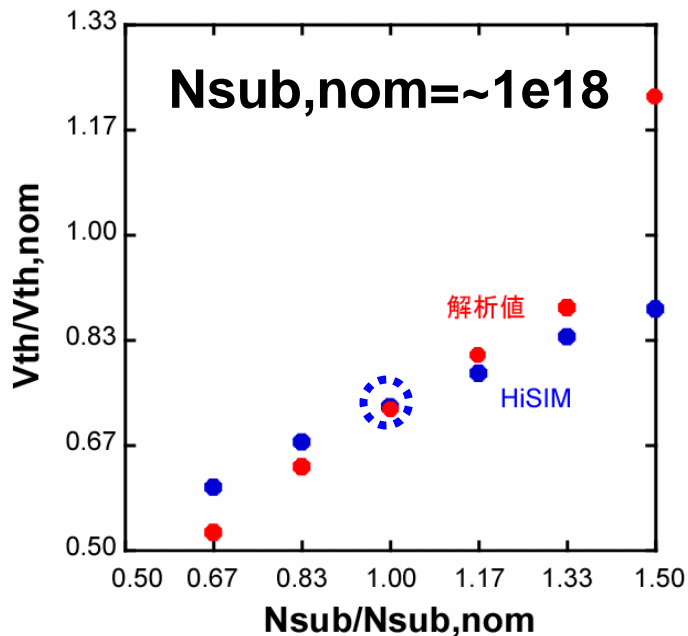
$$I_{ds} / \left(\frac{1}{\beta} \mu \frac{W}{L} \right) = C_{ox}(1 + \beta V'_G)(\phi_{SL} - \phi_{S0}) - \frac{\beta}{2} C_{ox}(\phi_{SL}^2 - \phi_{S0}^2) \\ - \frac{2}{3} \sqrt{\frac{2\varepsilon_s q N_{sub}}{\beta}} [(\beta \phi_{SL} - 1)^{\frac{3}{2}} - (\beta \phi_{S0} - 1)^{\frac{3}{2}}] \\ + \sqrt{\frac{2\varepsilon_s q N_{sub}}{\beta}} [(\beta \phi_{SL} - 1)^{\frac{1}{2}} - (\beta \phi_{S0} - 1)^{\frac{1}{2}}] \\ V'_G = V_{gs} - V_{fb} + \Delta V_{th}$$

• Drift Approximation (V_{th} -Based Model): BSIM

$$\phi_{S0} = 2\Phi_B = \frac{2}{\beta} \ln \left(\frac{N_{sub}}{n_i} \right); \quad \phi_{SL} = \phi_{S0} + V_{ds} \\ I_{ds} / \left(\mu \frac{W}{L} C_{ox} \right) = \left(V_G - 2\Phi_B - \frac{\sqrt{2\varepsilon_s q N_{sub}}}{C_{ox}} 2\Phi_B^{\frac{1}{2}} \right) V_{ds} - \left(\frac{1}{2} + \frac{\sqrt{2\varepsilon_s q N_{sub}}}{4C_{ox}} 2\Phi_B^{-\frac{1}{2}} \right) V_{ds}^2 \\ \simeq (V_G - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2 \\ V_G = V_{gs} - V_{fb}$$

電流を外部電圧で記述計算 $\Rightarrow V_{th}$ がモデルパラメタ

HiSIMとBSIM4の比較

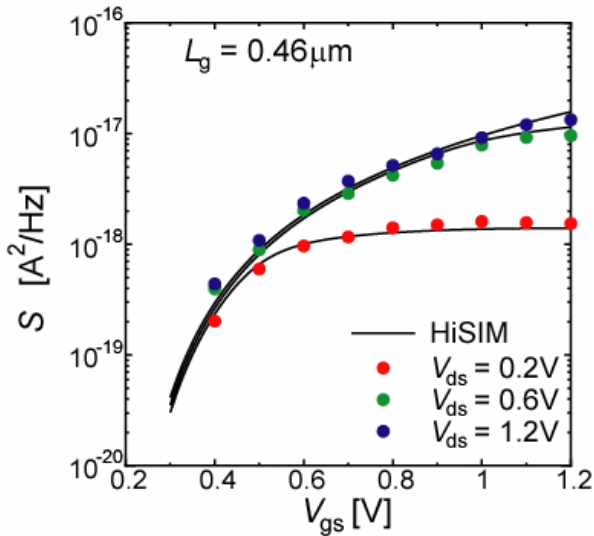


実際に使われる領域

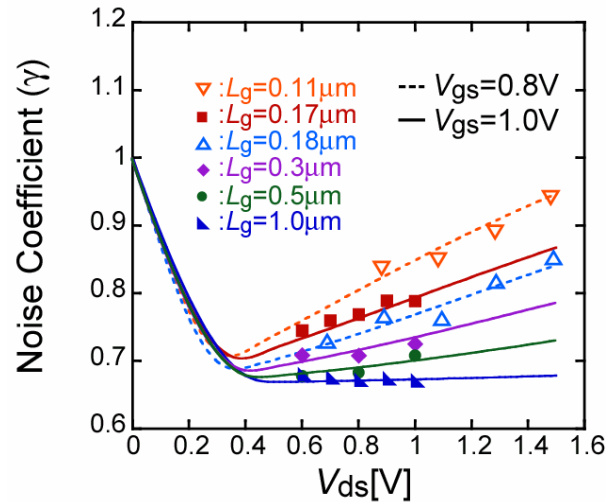


II-2. コンパクトモデルの精度

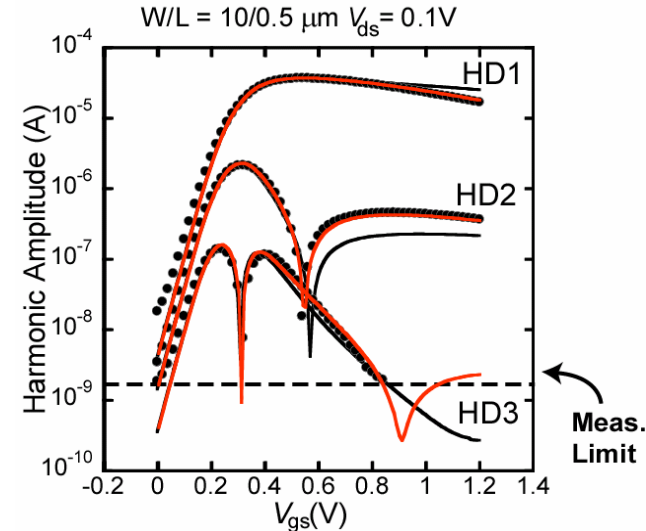
1/f Noise



Thermal Noise



Harmonic Distortion



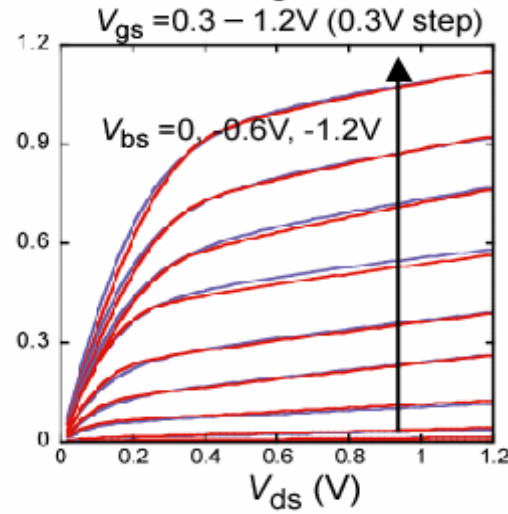
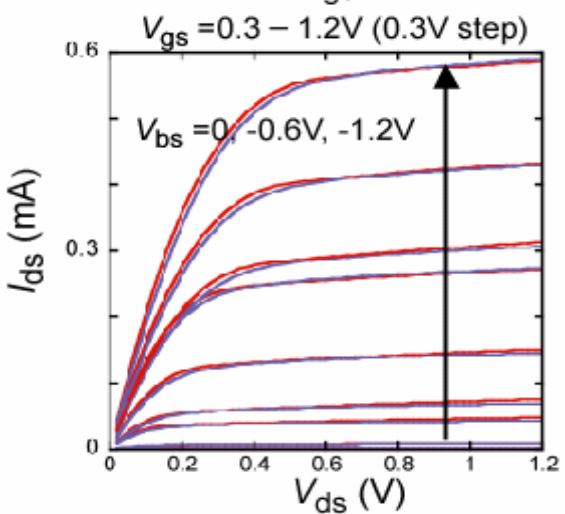
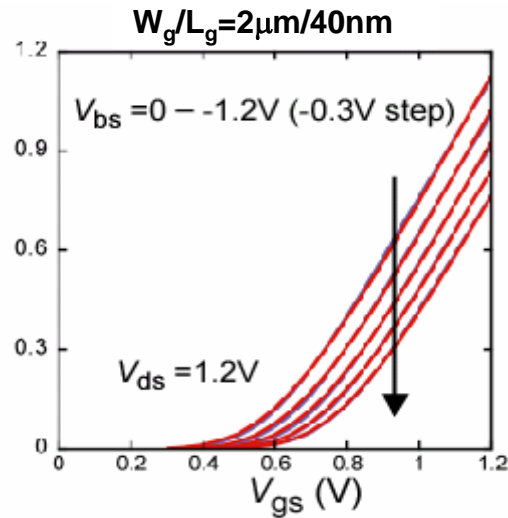
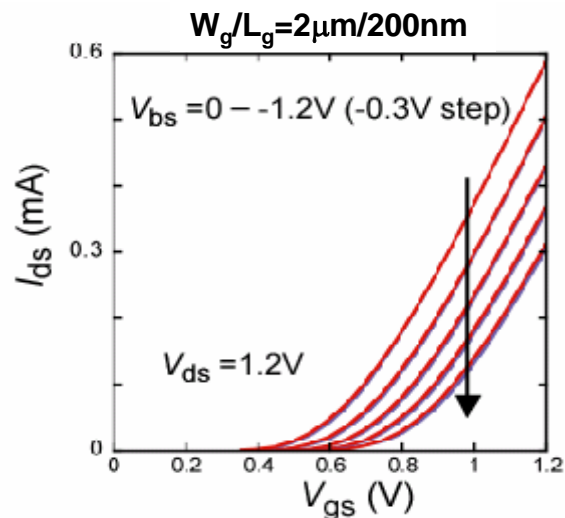
- No model parameters are required.
- Features are determined only by **I-V characteristics**.

I-V特性にすべての情報が含まれる



I-V特性の解読が重要

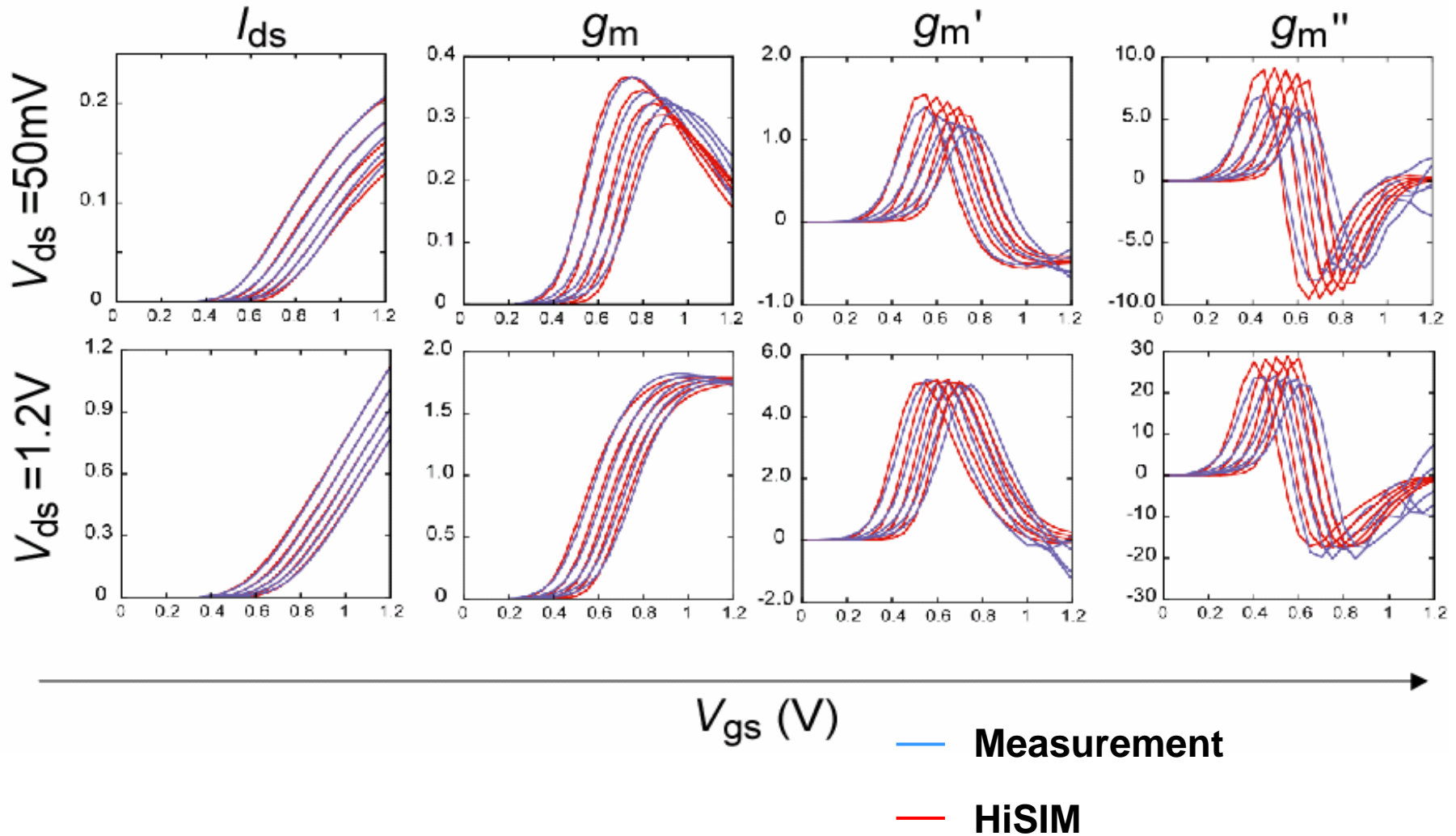
45nmノードにおける電流の再現性



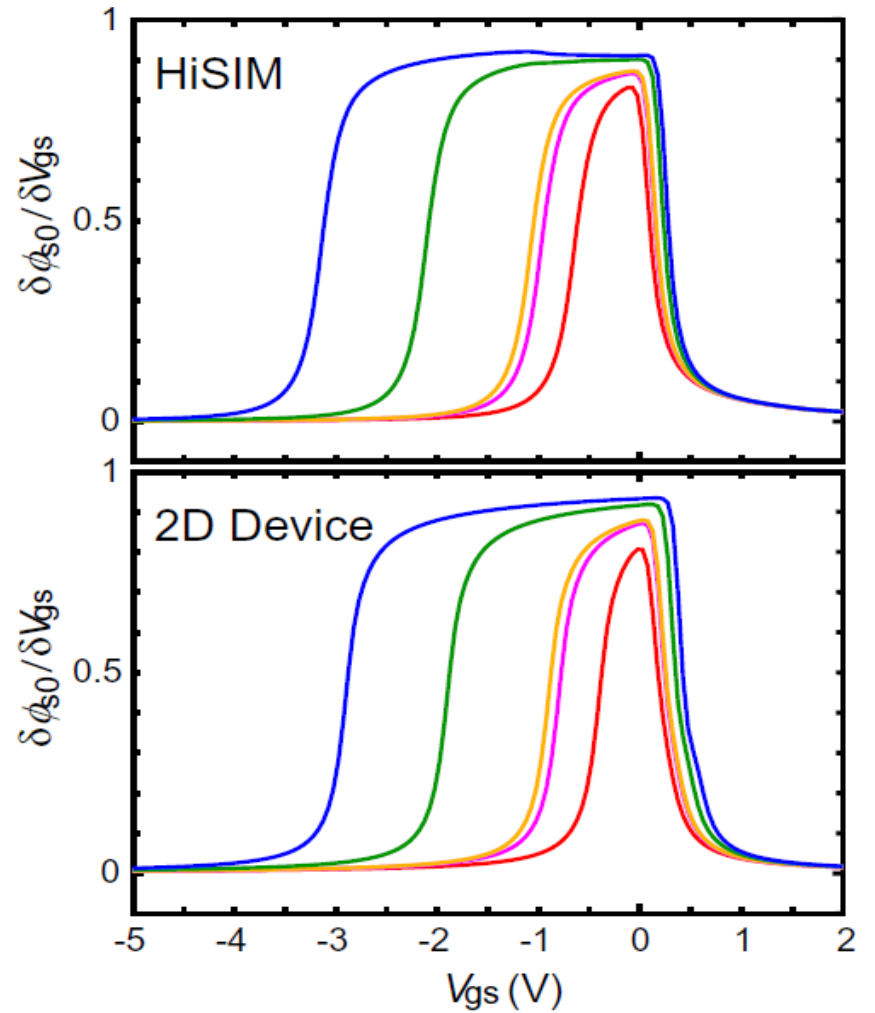
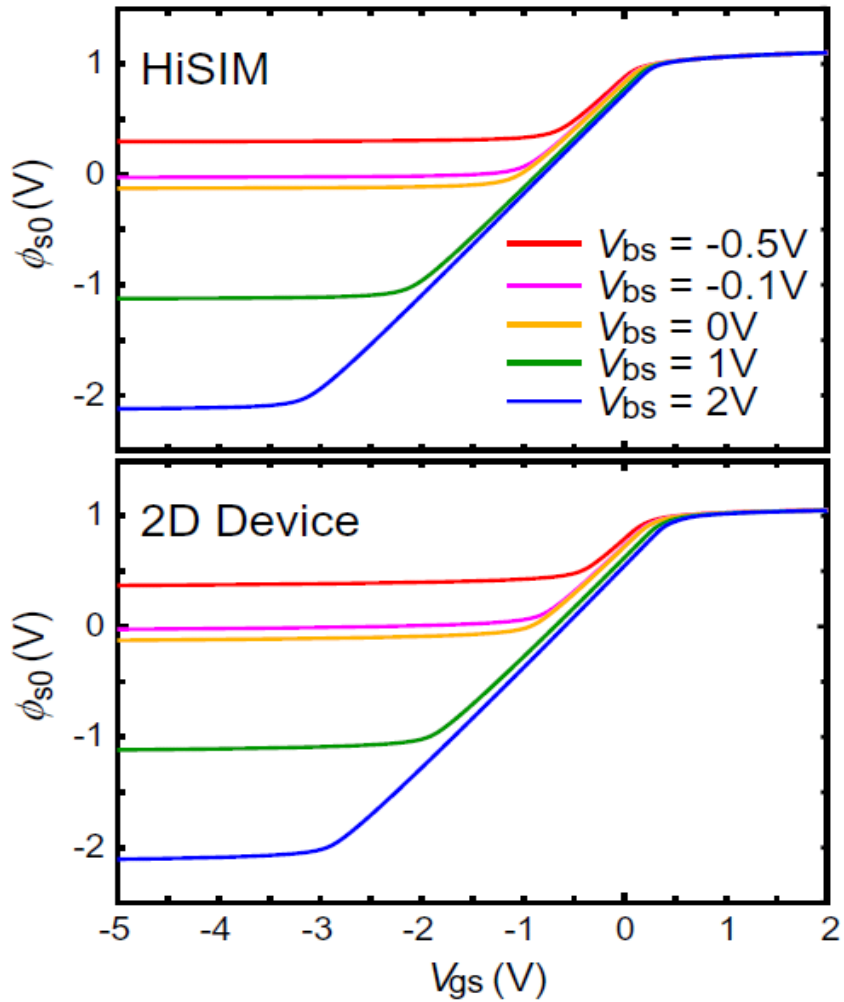
— Measurement
— HiSIM

微分値の再現性

$W_g/L_g=2\mu\text{m}/40\text{nm}$

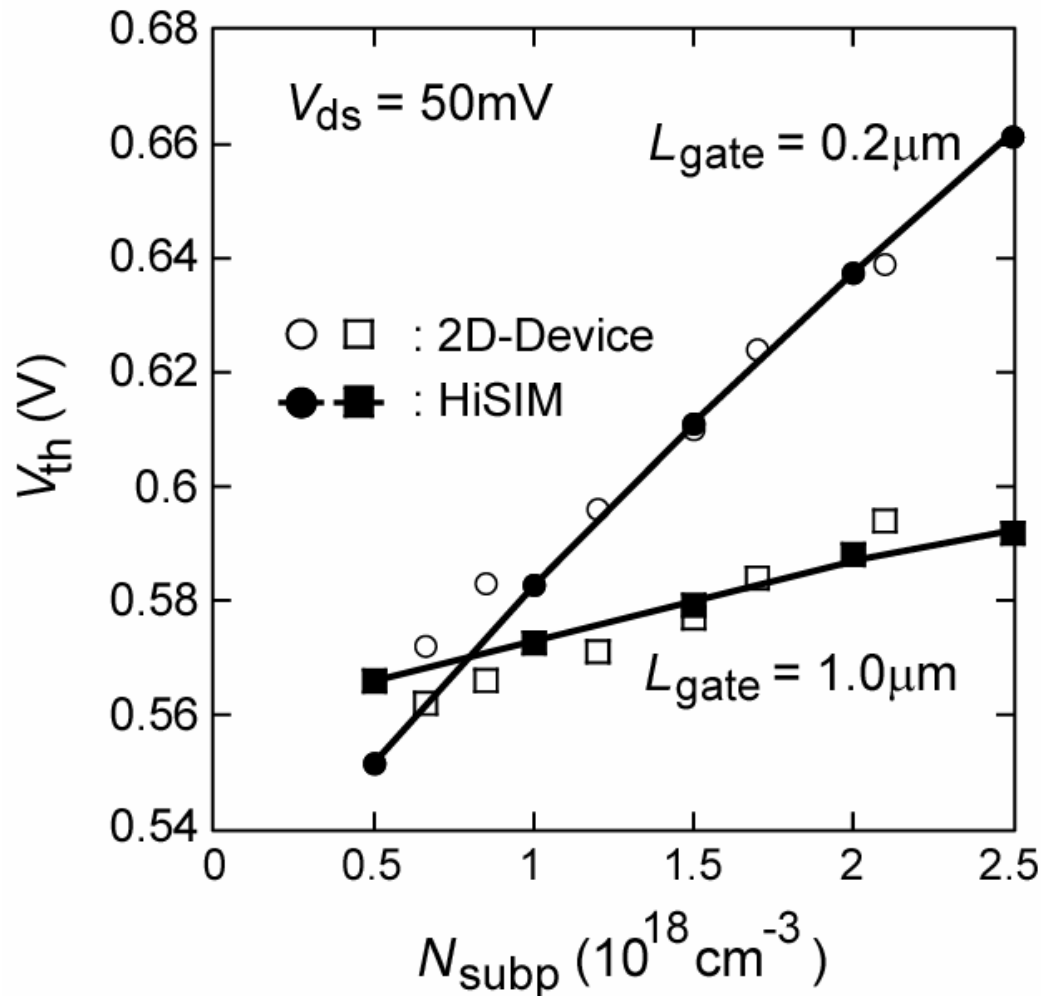


表面ポテンシャルの比較



II-3. コンパクトモデルの可能性

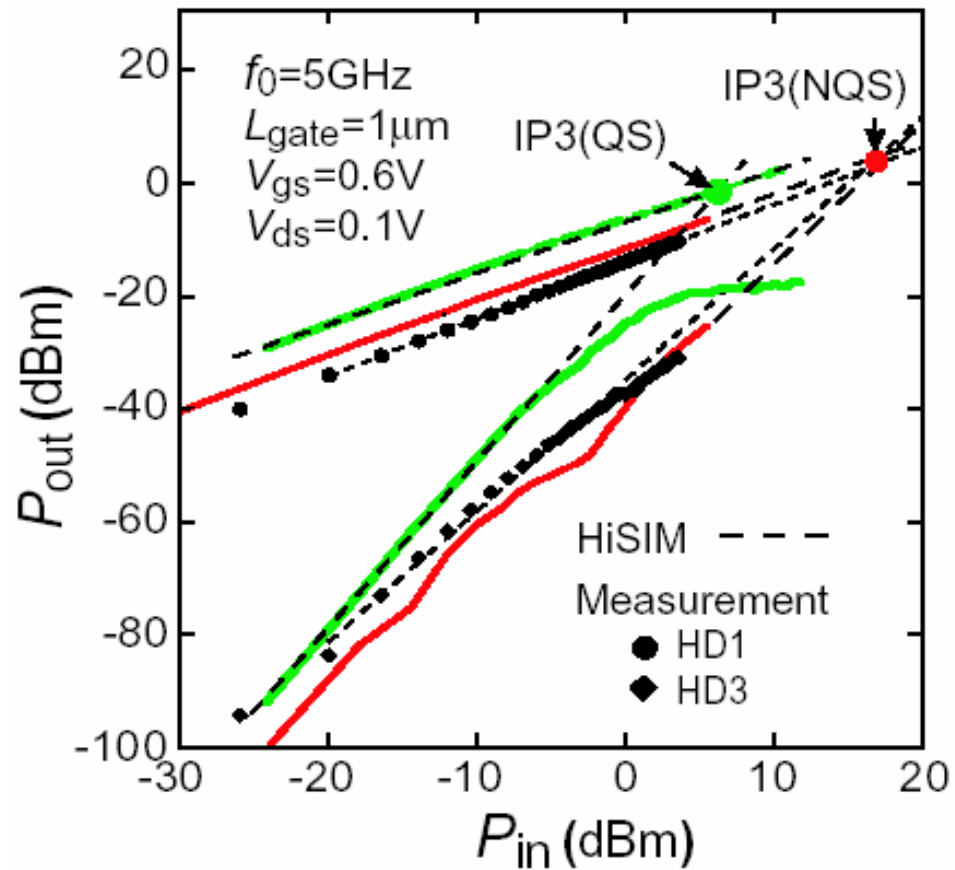
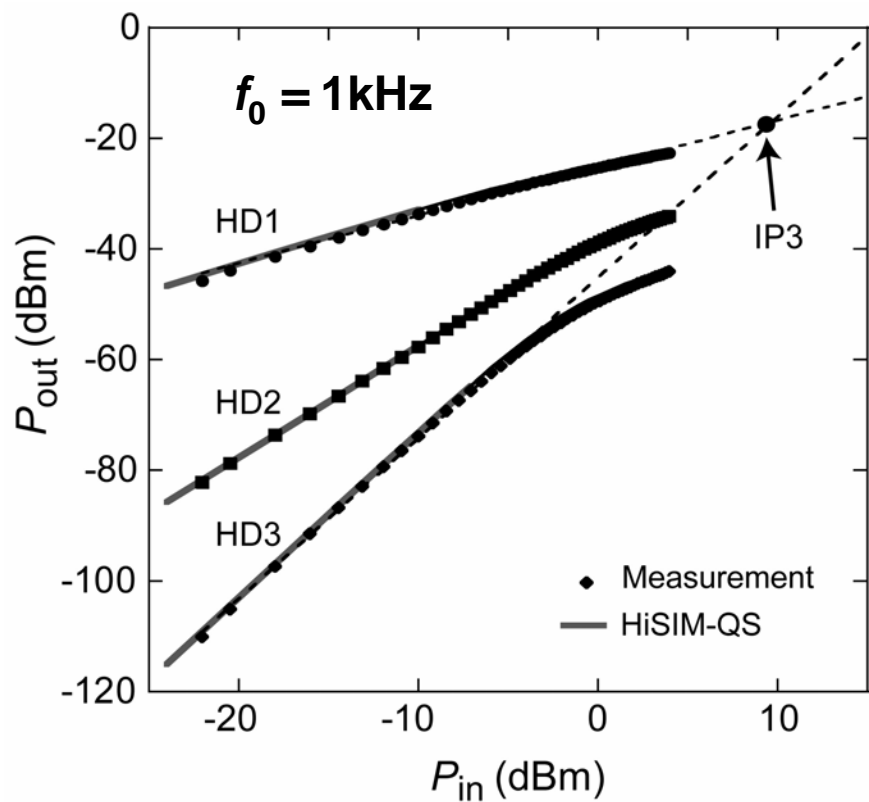
モデルパラメタの予測性



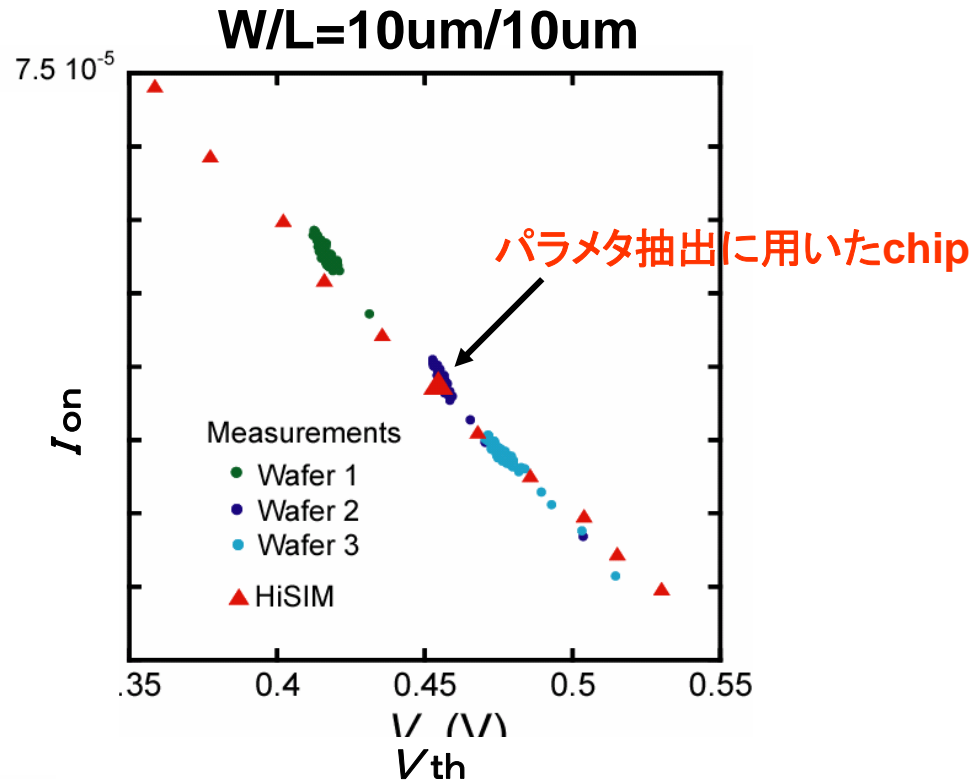
N_{subp} : ポケットのピーク濃度

IP3 Prediction

キャリアの遅延効果



基板濃度Nsubを振ったwaferの特性予測



I_{on} は基本的には V_{th} に支配されている

まとめ

回路ばらつき予測に向けて:

- Inter- & Intra-Chipばらつき抽出が課題
- 両方のばらつきを考慮した回路シミュレーション法
stochasticな考察も必要
- ばらつきを考慮できるコンパクトモデル
surface potentialモデルが優位