

2022年 IEEE Donald O. Pederson Award in Solid-State Circuits 受賞記念講演

# 集積回路設計40年を振り返って

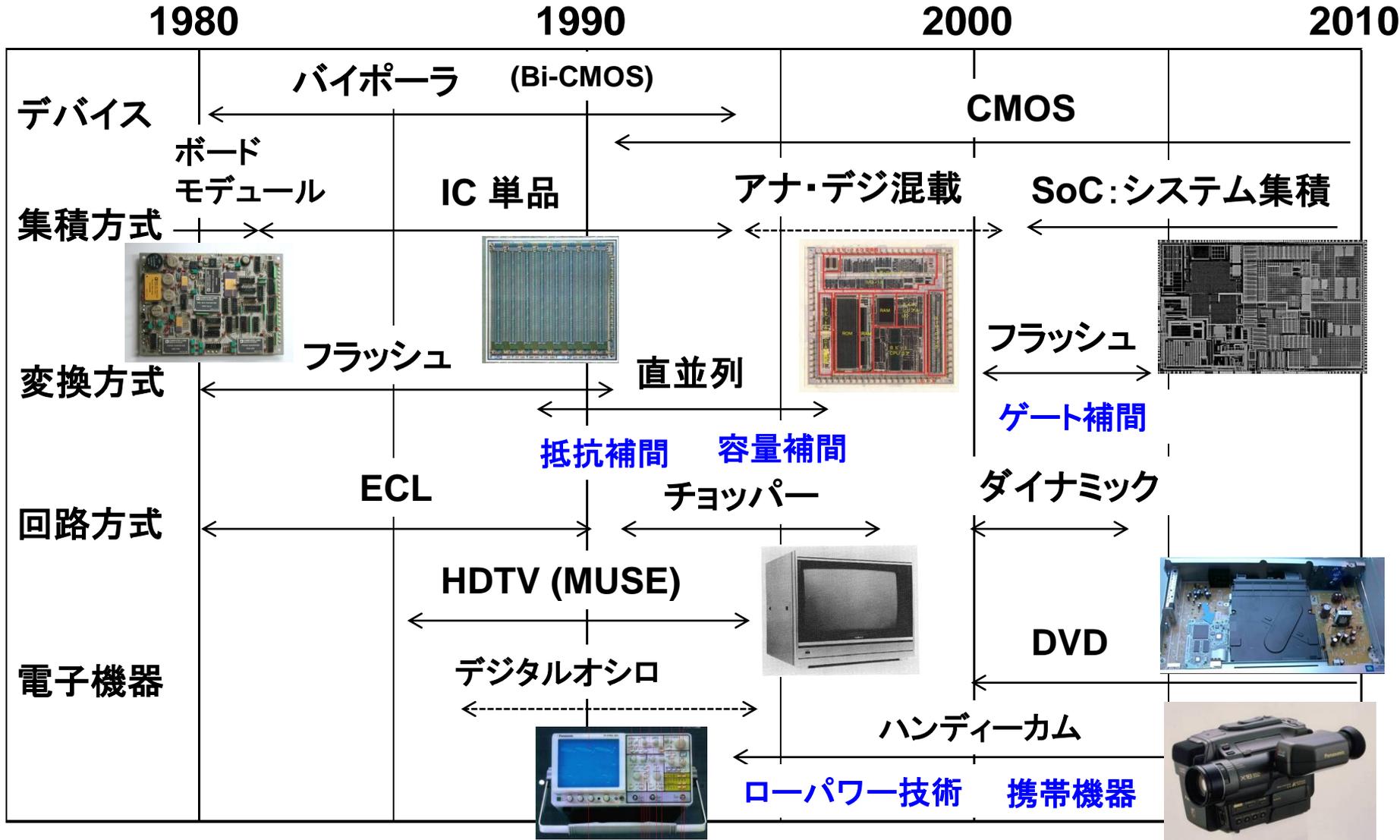
**松澤 昭**

**(株)テックイデア 代表取締役**  
**東京工業大学 名誉教授**

- デジタルTV・ビデオシステム実現のためのバイポーラADCの開発
- 超低電力CMOS ADCの開発とローパワーエレクトロニクスの振興
- 低電力超高速ADCの開発とアナログ・デジタル混載システムLSIの開発
- ミリ波CMOSTランシーバの開発
- 教育活動
- 学会活動
- 最近の技術開発の紹介

# 集積回路・ADCと電子機器の開発推移

映像機器分野のデバイスの変遷: ボード→バイポーラ→ CMOS→ SoC を牽引



# デジタルTV・ビデオシステム実現 のためのバイポーラADCの開発

1970年代の終わりから始まったHDTV開発にはビデオ用ADCが必要だったが、当時はIC化された10ビットビデオ用ADCや、HDTVカメラ信号を変換可能なADCは存在しなかった。IC化されたHDTV用のADCはバイポーラ技術が用いられた。当時、松下はVHS用アナログビデオ信号処理用に高集積・低電力・高精度バイポーラプロセス”LOPAC”を開発し、これを用いてIC化されたADCを開発した。

この開発は初期のHDTV開発には貢献したが、市場が立ち上がらなかったため、実際には電子計測器・デジタルオシロなどに使用された。

1970年代後半から1980年代におけるアナログ回路に使用できるデバイスはほとんどバイポーラであり、MOSは性能が悪すぎて使用できなかった。

バイポーラは精度(ミスマッチ)は良好であったがADCに不可欠なスイッチと容量が使えなかったためアーキテクチャは**並列型(Flash)**に限定された

# デジタルビデオ技術の開発開始

1978年に松下電器に入社し、1979年に中央研究所に配属された。  
1978年に松下電器は総力を結集し6時間録画のVHSビデオの開発に成功。  
以後ビデオ関連の売り上げは1兆円規模に達し、大黒柱に成長。

ビデオ機器はアナログ技術の粋と言うべきものであったが、  
次の**デジタルTV・ビデオ**の開発に向けての研究が開始された。



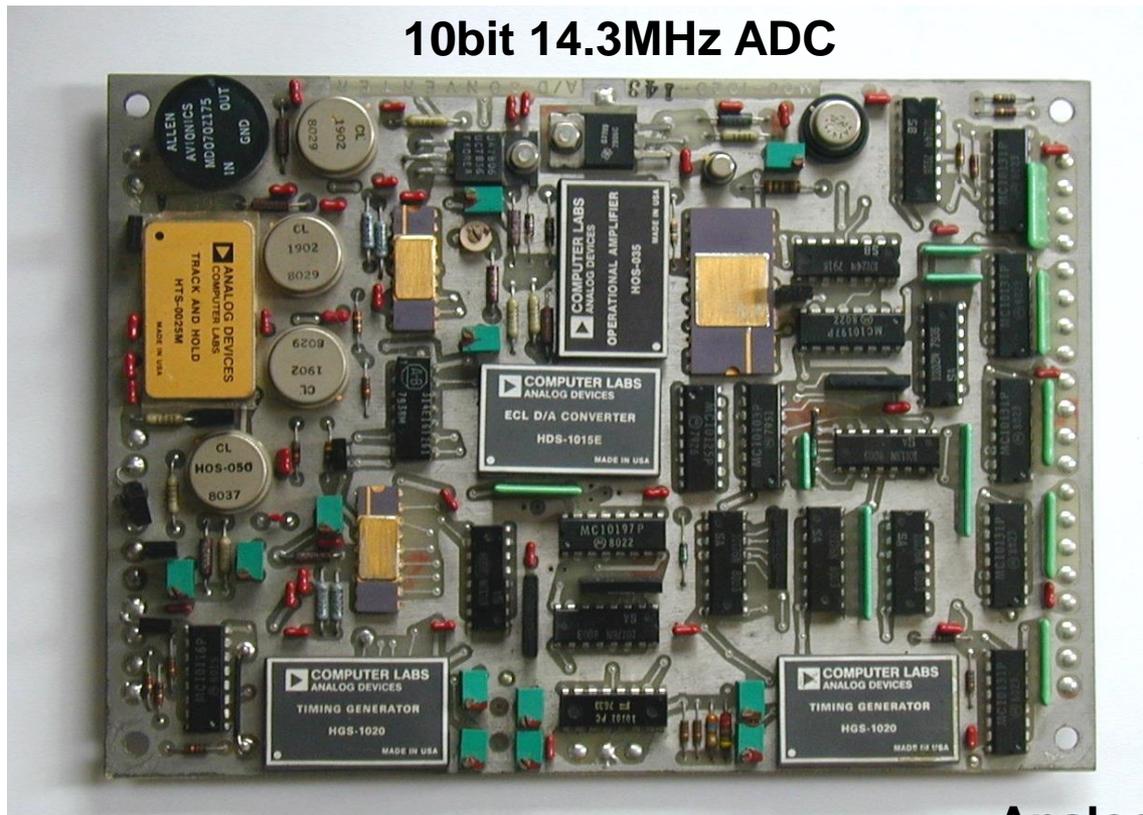
1979年 中央研究所の配属同期と



Panasonic VHS Video NV-6000, 1979

# 当時のビデオ用A/D変換器

TV・ビデオのデジタル化の大きな課題はA/D変換器であった。  
当時のビデオ用10bit A/D変換器はボードであり、集積回路化されていなかった。  
非常に高価で、消費電力が大きく民生品はおろか、業務用にも使用できなかった。  
私の使命はADCを開発し、各種デジタルTV・ビデオ機器を実現することであった。



**100万円 !!**  
**20W**

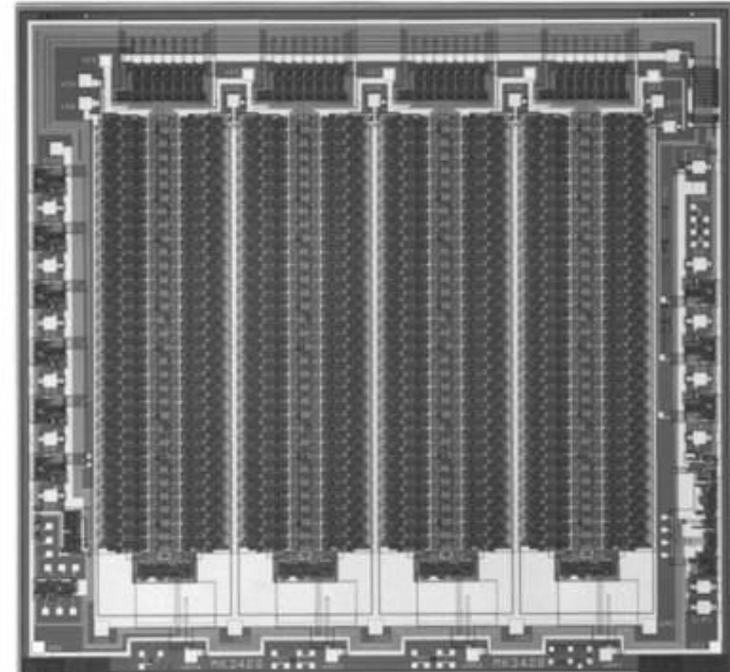
# 日本初のビデオ用 8b ADCの開発

初めての仕事で国産初のビデオ用8b ADCの開発に成功  
当時、唯一TRW社がビデオ用8ビットADCを販売。消費電力をこの1/3に下げた。

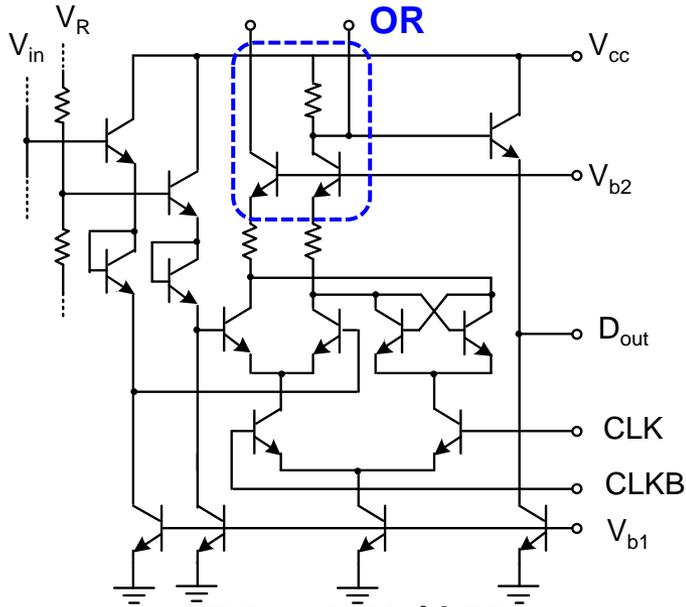
このADCは横河電機やアドバンテストの電子計測機器用として20年以上販売された。



Bipolar (3um)  
8b, 30MS/s, 0.7W      1981年



# 消費電力と面積の低減方法

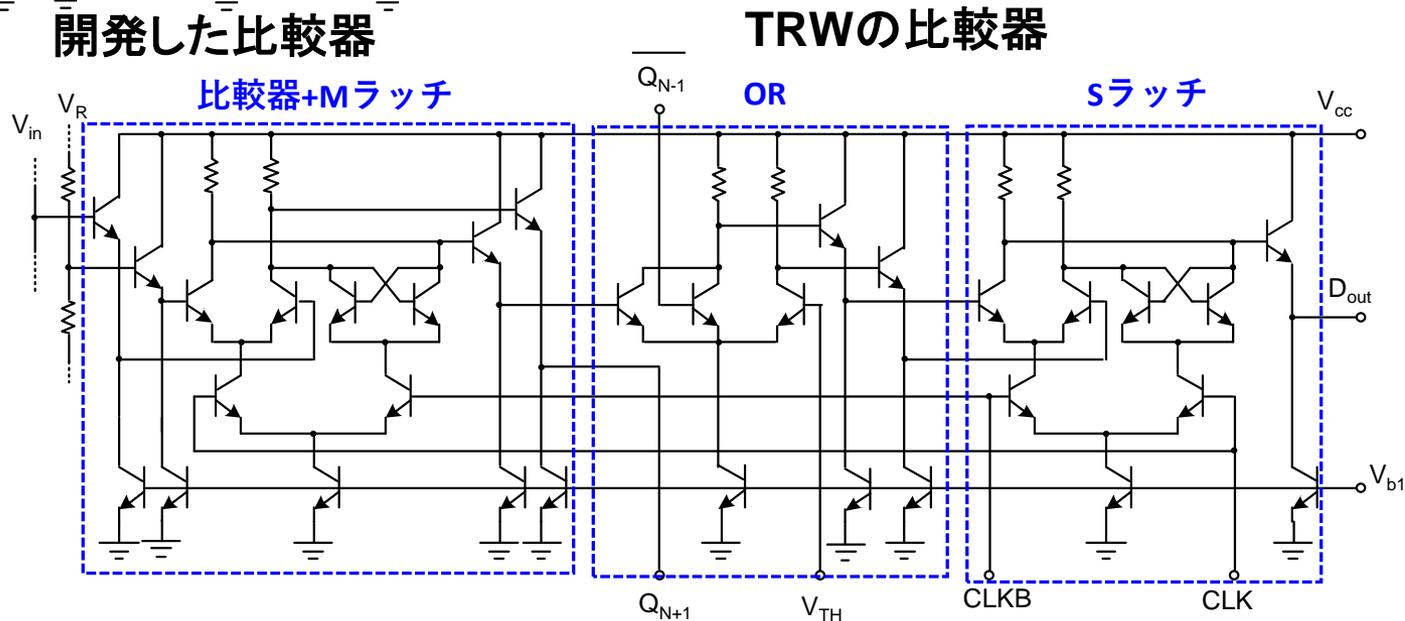


開発した比較器

先行するTRW (当時存在した米, 軍用製品メーカー)の比較器はECL回路を3段使用していた

ECL回路は縦積にして, 電流切替で論理を構成できるので, 1段で2段分の回路を実現し, スレーブラッチを省くことで面積と消費電力を約1/3に低減した

回路を簡素化することで性能向上



TRWの比較器

比較器+Mラッチ

OR

Sラッチ

# 世界初のビデオ用 10b ADC の開発

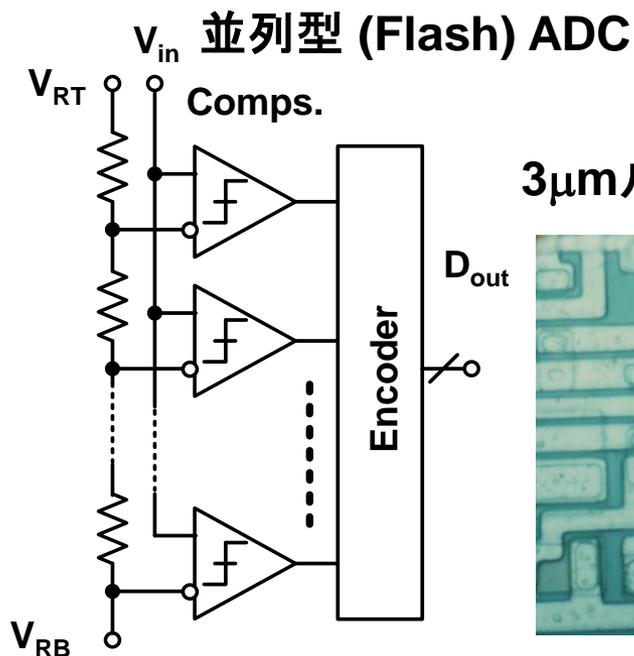
1982年, バイポーラ技術を用いて高精度比較器を集積し, 世界初の集積化されたビデオ用10b ADCを実現した。

Bipolar (3 $\mu$ m)  
10b, 20MS/s, 2W  
\$ 800

世界初のデジタルビデオスイッチャー  
NTT 256QAM無線伝送  
ソウル五輪のハイビジョン中継などに使用

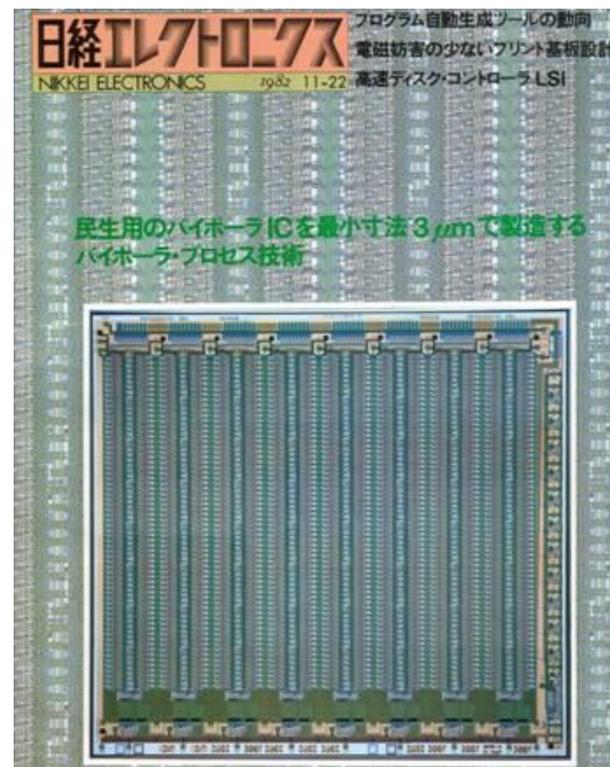
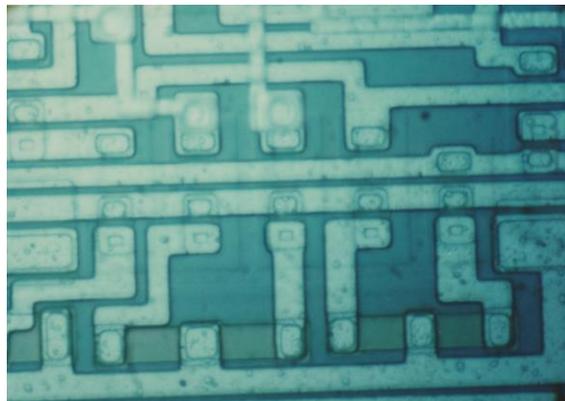
アナログICでは世界最高の集積度  
日経エレの表紙を飾る

T. Takemoto and A. Matsuzawa, **IR100 Award受賞**  
JSC, pp.1133-1138, 1982.



顕微鏡写真

3 $\mu$ mルール 製図版に描いた

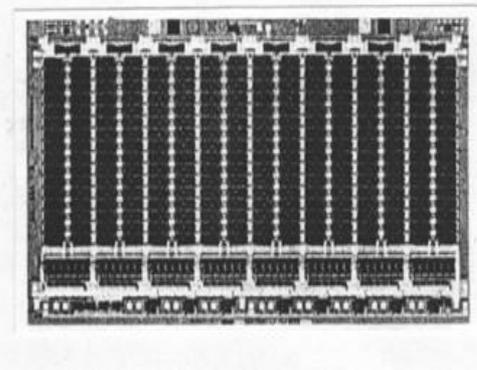


# バイポーラ技術を用いた超高速 ADCの開発

11

TOKYO TECH  
Pursuing Excellence

バイポーラ技術と並列型ADC技術を用いて各種超高速ADCを開発。

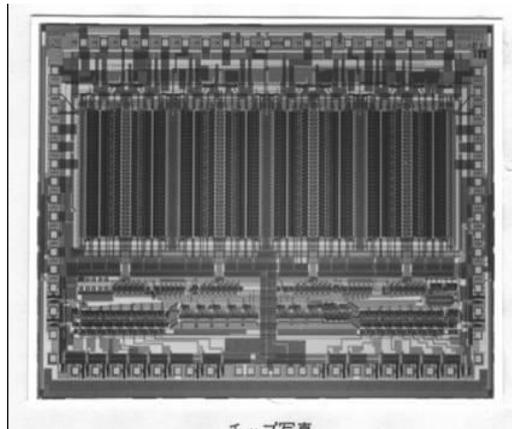


**8b, 120MHz, (1984)** M. Inoue and A. Matsuzawa, ISSCC 1984  
JSC. SC-19, 1984

**世界最速 8b ADC**

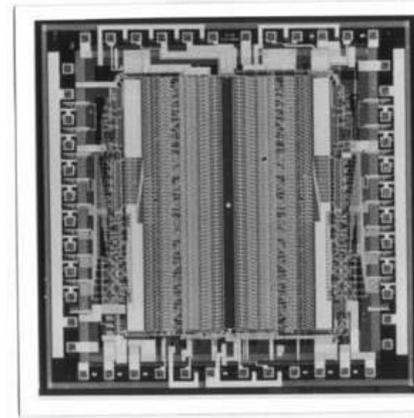
当時HDTVの広帯域カメラ信号を変換できるADCがなかった  
このADCの開発でHDTV用カメラが実現できた。

**HDTV カメラ とデジタルオシロスコープの実現に寄与**



**8b, 600MHz ADC (1991)**

**世界最速 8b ADC** A. Matsuzawa, VLSI symposia 1991



**6b, 1GHz ADC (1991)**

A. Matsuzawa, ISSCC 1991

**量産レベルで世界最高速  
デジタルオシロスコープの実現**

# デジタルオシロの実現

デジタルオシロスコープは超高速ADCの開発があってこそ実現できた。

Yokogawa Electric 8b 1GHz (1994)

## Panasonic: 10b 100MHz OSC (1986年)

VP-5760A ¥1,490,000 (税別)

機能説明:

- 波形処理機能
- トリガ位置調整
- トリガ信号源選択
- トリガレベル調整
- トリガ結合選択
- TVフィールド選択機能
- INTEN, FOCUS, SCALE調整
- 帯域制限 (10 MHz)
- 垂直拡大機能 (×2, ×5, ×10)
- ピーク検出
- X-Y表示
- CH2極性反転
- DCオフセット/ベダスタクルランプ

- ▶ 1GS/s — 8CH同時 / 4CH同時
- ▶ 周波数帯域 DC ~ 500MHz
- ▶ 640 × 480ドット高分解能カラー表示
- ▶ データを呼び戻せるヒストリメモリ

YOKOGAWA

高速カラーデジタルオシロスコープ

<b>DL5140</b>
価格: 4CH ¥2,980,000 (税別)
<b>DL5180</b>
価格: 8CH ¥4,980,000 (税別)

DL5140 (4チャンネル) / DL5180 (8チャンネル) は、各チャンネルに1GS/sのA/D変換器を搭載し、周波数帯域もDC~500MHzの広帯域を実現しています。すべての電子回路の動作確認および誤動作チェックを確実にを行うために、各種機能で対応しています。特別な設定をしなくても常に120アキュイジション分の波形データを保持しているヒストリメモリは、異常現象を捕捉したと思ったら次のアキュイジションでは消えていたという状況を救います。

- 専用FETプローブ (900MHz, 別売)
- 3.5インチFDD標準装備
- 豊富なトリガ機能
- 内蔵プリンタ (オプション)



誕生  
高速カラーデジタル  
オシロスコープ

Digital Oscilloscope  
**DL5140 / DL5180**  
(4チャンネル) (8チャンネル)

10GHz / 4CH  
サンプリングオシロスコープ  
**DL8100**  
価格: ¥2,800,000 (税別)

伝送信号の波形品位制御および素子の特性評価にお使いください。

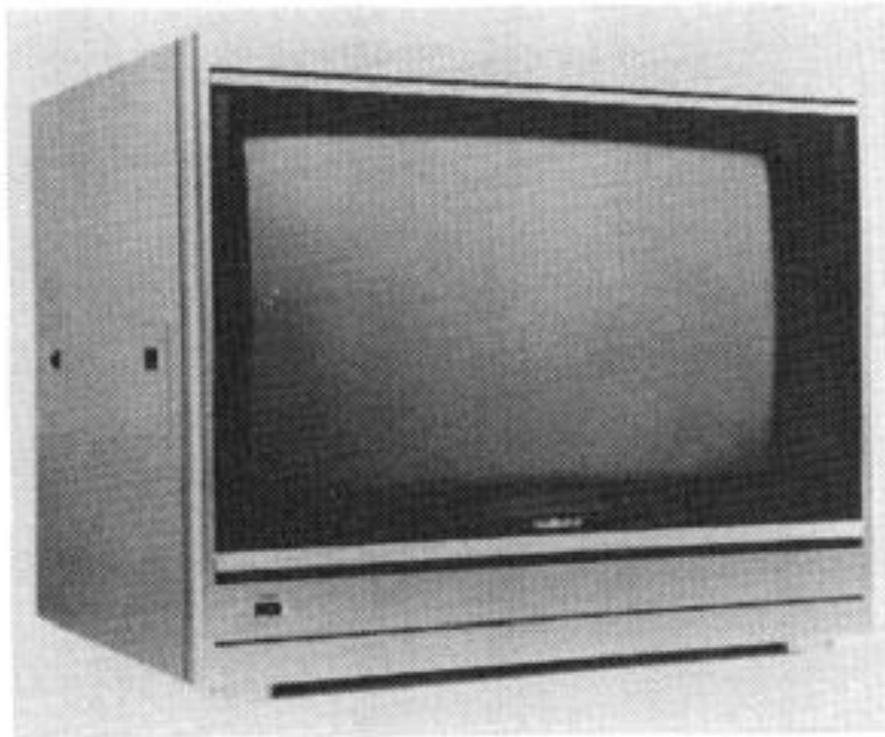
## 横河電機

メジャメント本部 〒163-05 東京都新宿区西新宿1-26-2 新宿野村ビル22階 03-3349-1014  
 ■本社: 中部052-586-1666 関西06-3568-7123 中国082-541-4488 九州092-272-1731  
 ■支店: 北海道011-756-8206 東北022-265-4301 中部0436-61-6751 関西0955-53-1611  
 北陸0762-31-5301 岡山086-221-1411 四国0878-21-0646 北九州093-521-7234

計測器製品の技術的なお問い合わせは  
**CS (サポート) センター**  
 0120-137046

# HDTVシステムの開発

次世代のデジタルTVシステム, HDTVの開発は1970年代後期からNHK技研を中心に開始されており, 当初はMUSEハイビジョン方式であった。バイポーラADCは主としてこの方式の実現に寄与した。この方式は帯域圧縮を信号の折り畳みで行うものであった。しかし, 今日のHDTVはMPEGをベースとしたものになっている。

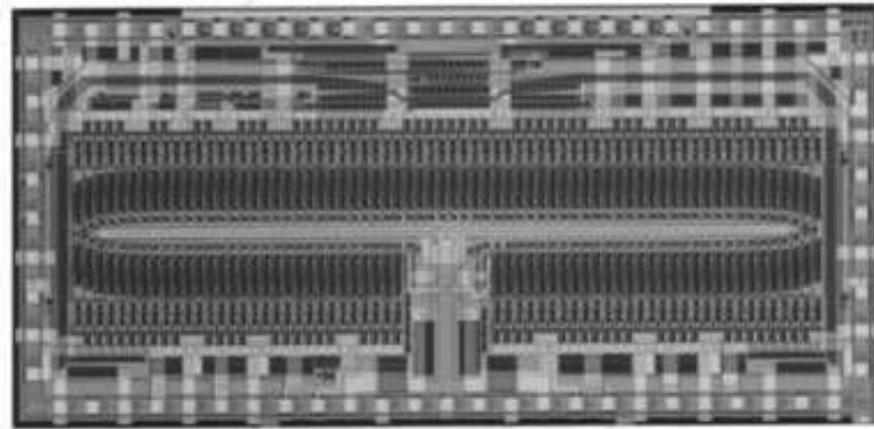


ハイビジョン受像機

# 超高速10b 300MHz ADCの開発

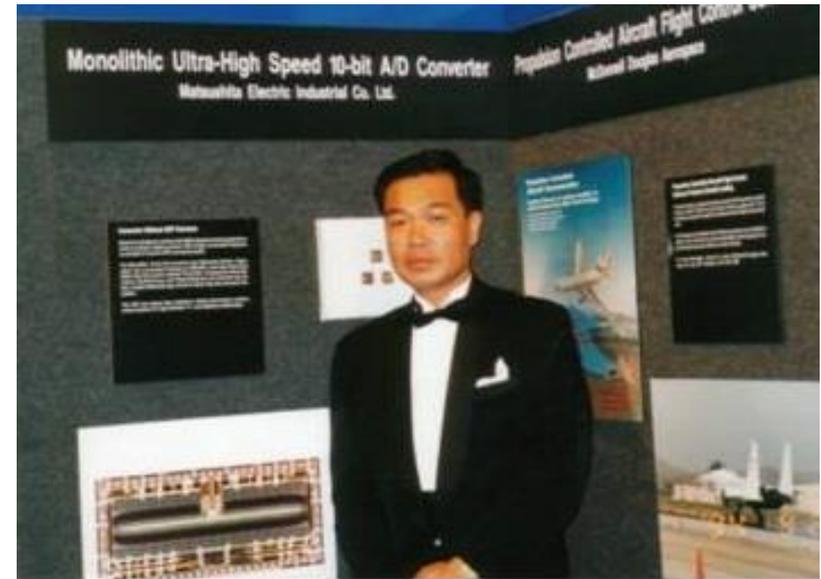
複数の増幅器の出力間に補間抵抗を入れることで、オフセットばらつきへの要求を大幅に緩和、世界最高速10ビットADCを実現した。  
HDTV信号の光送受信機に用いられた。

10bitで他の開発よりも4倍高速，世界最高速  
Bipolar 10b 300MHz, 4W 1.2 $\mu$ m Bipolar



信号線とクロック線の遅延時間を合わせるために  
陸上トラックや鉄道模型のようなユニークなレイアウト  
は美しい工業デザインに選定されニューヨークの  
メトロポリタン美術館に展示された

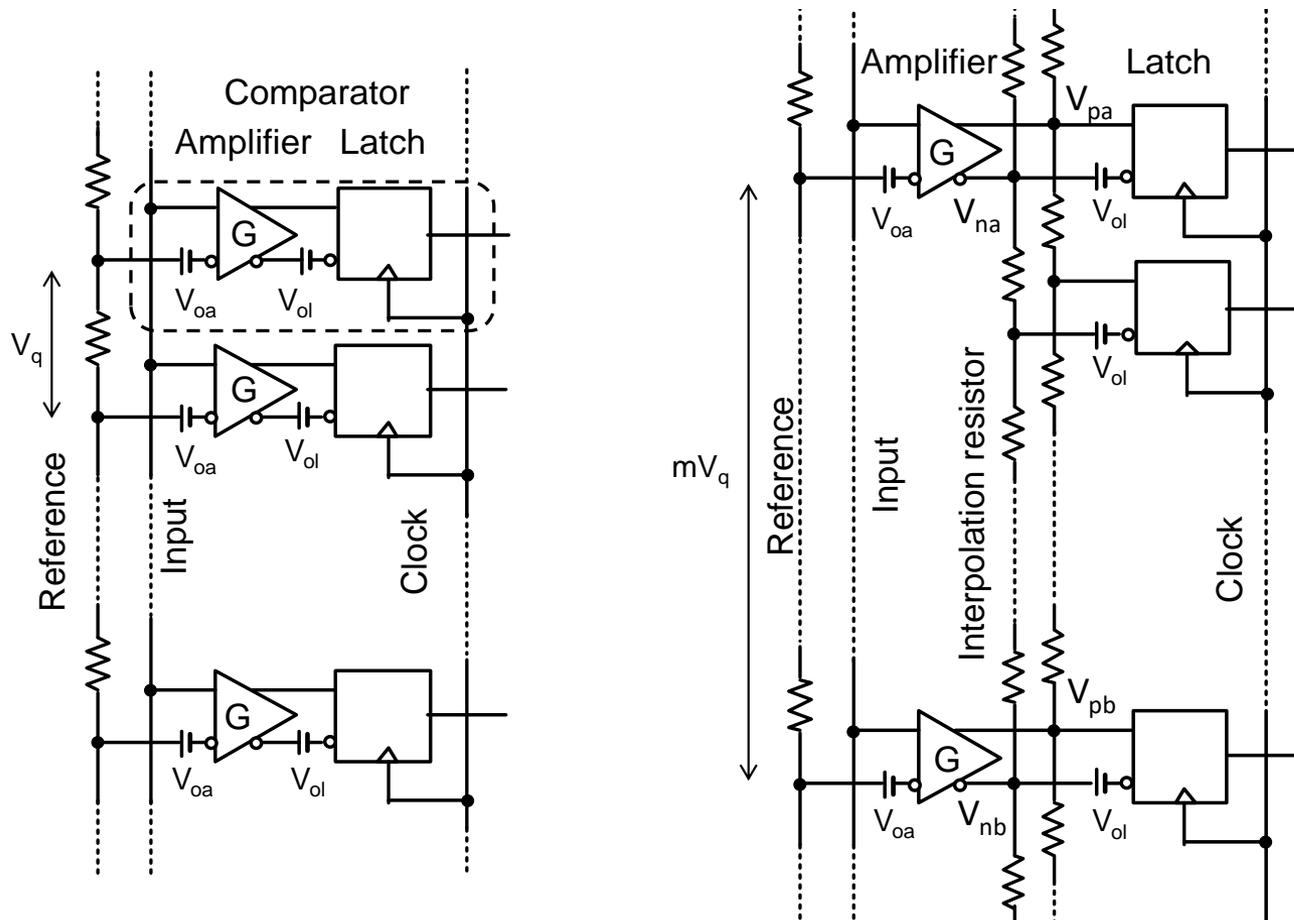
1994年 R&D100 AWARDを受賞



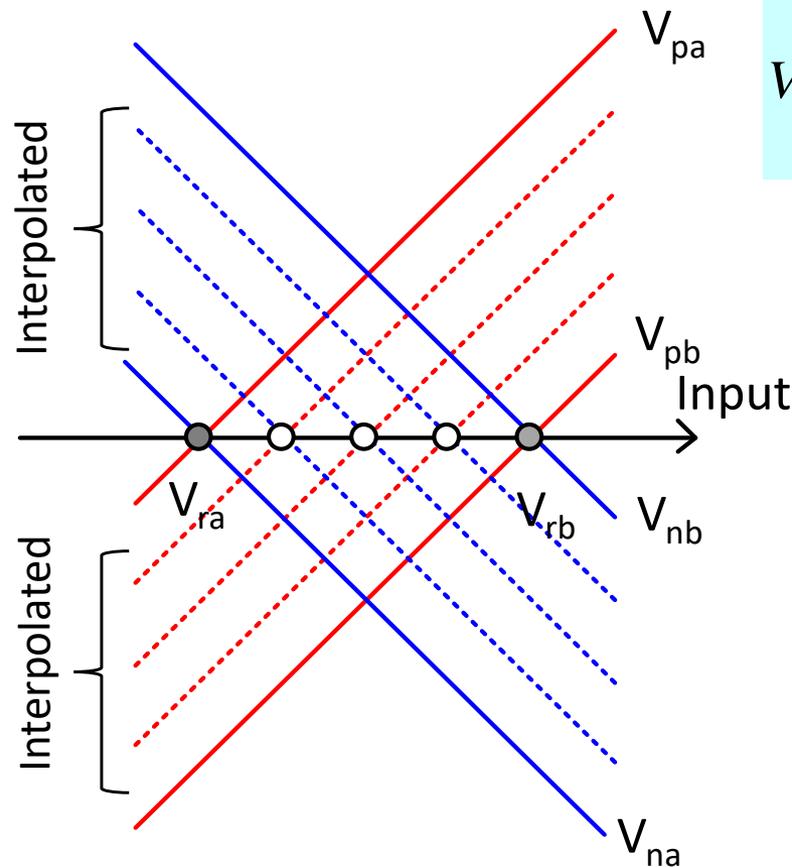
シカゴの受賞者ブースにて

H. Kimura and A. Matsuzawa, VLSI Symposia '92, JSC, SC-28, 1993.

比較器はラッチと前段アンプで構成されるが，前段アンプのオフセット電圧分布がADCのDNLを劣化させる。そこで，前段アンプを1/8位に間引き，その出力間をシリーズ抵抗で結合して，タップ電圧をラッチに与える。DNLに与えるラッチのオフセットは $1/G$ ，アンプのオフセットは $1/m$ になる。



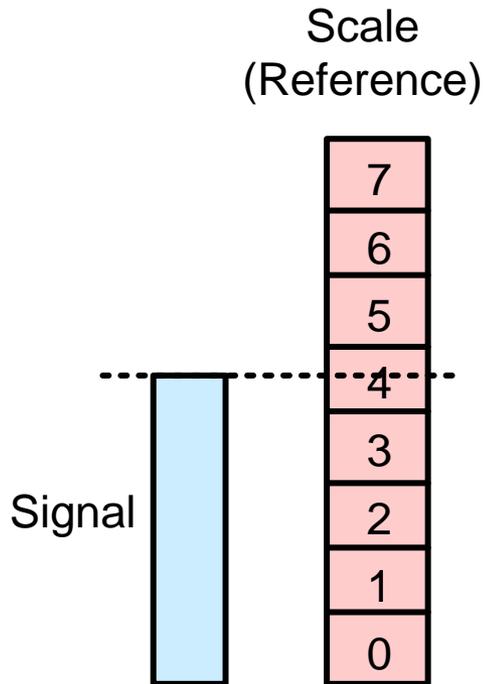
補間電圧は2つの差動出力間を均等に分圧することで、  
等価的に、より細かい参照電圧を作り出すことができる



$$V_{oe} = \left\{ \left( \frac{V_{oa}}{m} \right)^2 + \left( \frac{V_{ol}}{G} \right)^2 \right\}^{0.5}$$

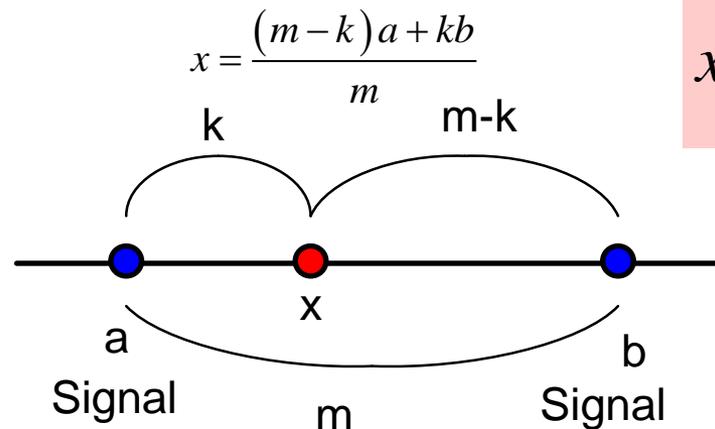
博士論文をまとめているときに、補間は数学的には内分法を表していることに気が付いた。信号に重みを掛けて加算できれば、どんな回路も補間できる。

参照電圧を持たずに、2つの信号を重みを付けて加算することでA/D変換を行うというのは、それまでなかった技術



通常のA/D変換  
信号と参照電圧を比較する

補間によるA/D変換  
信号に重みを付けて加算



内分法

$$x = \frac{(m-k)a + kb}{m}$$

- ・抵抗補間: 抵抗を用いたもの
- ・容量補間: 容量を用いたもの
- ・ゲート補間: MOSリニア領域の抵抗を用いたもの
- ・時間補間: 遅延時間を用いたもの

1980年代の後半からバイポーラとCMOSを集積したバイCMOS技術が開発された。

CMOSにより**サンプルホールド**が使用できるようになったため、2回程度の変換を行う**直並列型ADC**アーキテクチャが使用でき、消費電力を下げることができた。しかし、2つの変換領域のつながりが難しかった。

並列型ではコスト、量産性などに多くの課題があり、民生用は無理であった。直並列型が回路規模の低減に有効であるが、サンプルホールド回路を必要とし、バイポーラ回路では良好な特性を得ることが困難であった。そこで、この課題を当時使用可能になっていたBi-CMOSを用いて解決した直並列型ADCを開発した。

## 家庭用ハイビジョン受像機の開発に貢献

Bi-CMOS  
サンプルホールド回路

A. Matsuzawa, ISSCC 1990.

ハイビジョン受像器用ボード  
(世界初の家庭用HD受信機)

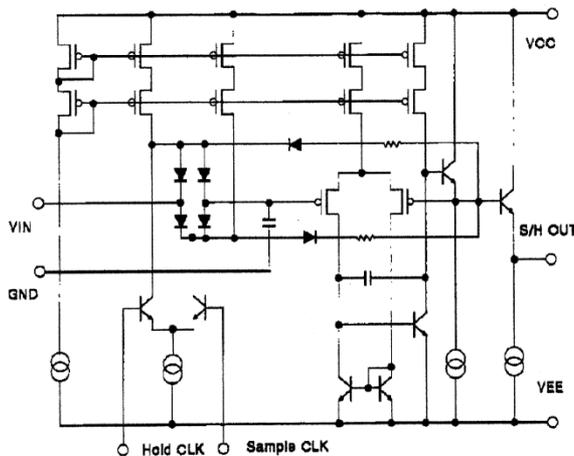
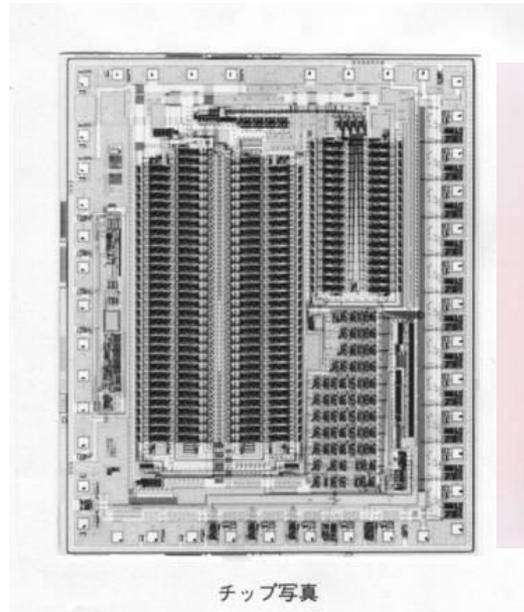


FIGURE 4—BiCMOS S/H circuit.



チップ写真

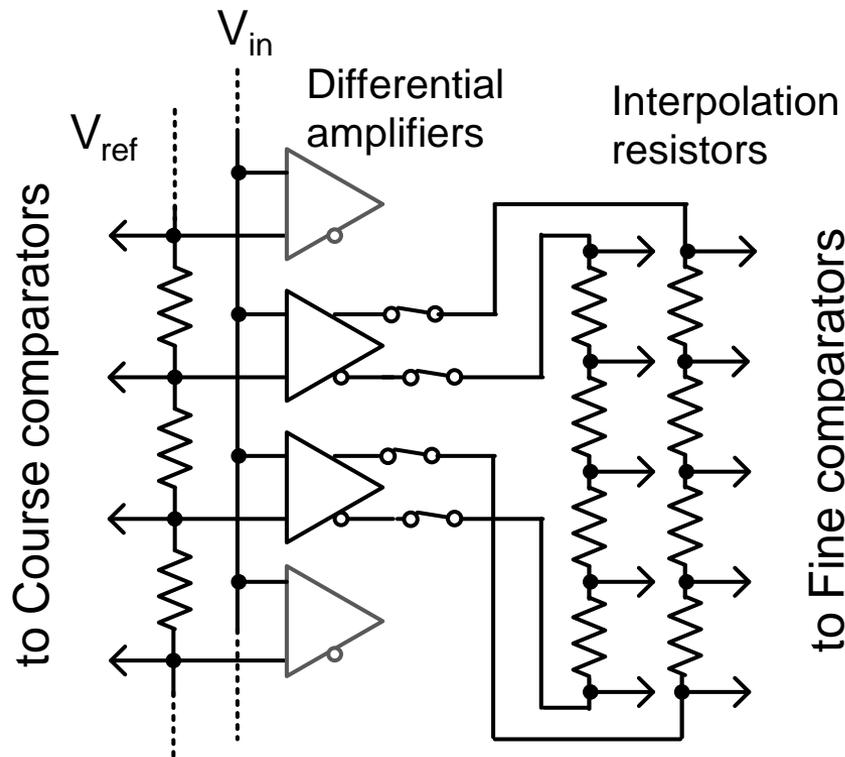


スイッチはMOSではなく  
ダイオードブリッジを用いている

# 補間を用いた直並列型ADC

並列型ADCは分解能 $N$ に対して $2^N$ の回路素子が必要となるため低電力化低コスト化に限界がある。2段階の直並列型にすることで、回路規模を $2^{N/2}$ 程度に大幅に低減できる。しかし上位と下位のつなぎ目に誤差を生じ精度が劣化する。この課題を補間により解決した。

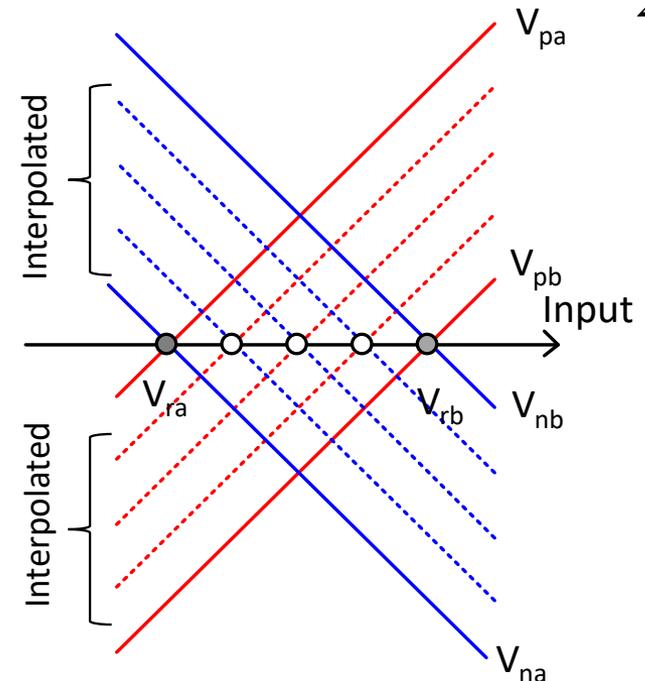
1994 注目発明賞受賞



上位変換:Mビット

下位変換:N-Mビット

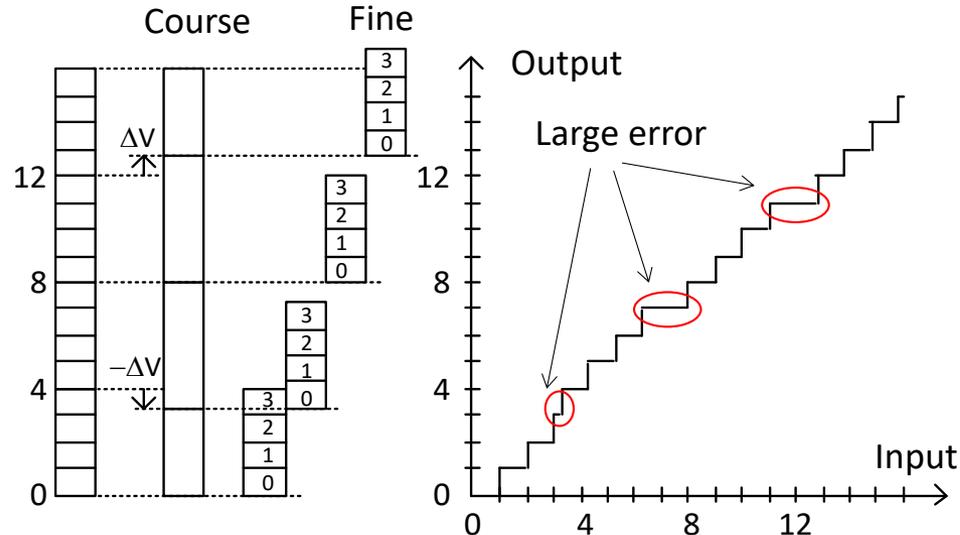
$$n = 2^M + 2^{N-M} \rightarrow 2^{\left(1 + \frac{N}{2}\right)} @ M = \frac{N}{2}$$



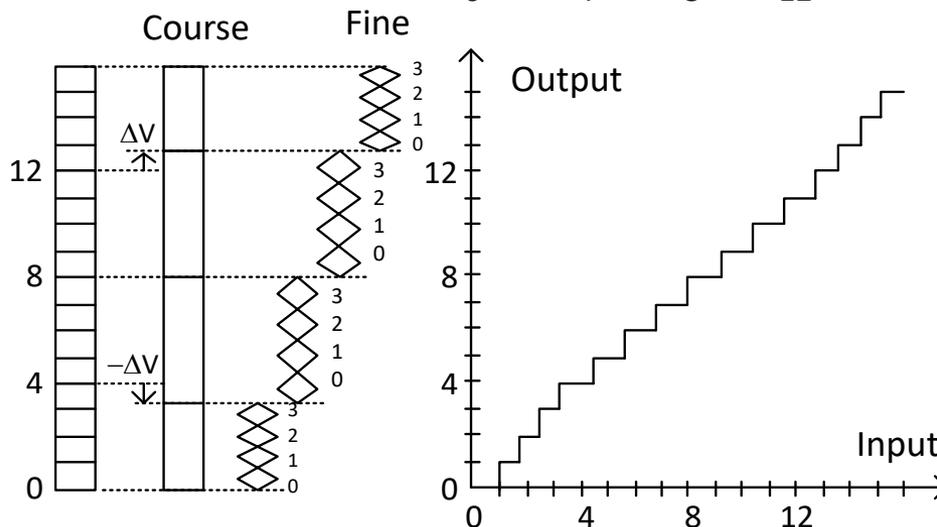
# 直並列型ADCの直線性

通常変換は下位の参照電圧が固定なので、増幅器のオフセットなどによりつなぎ目で大きな誤差が発生する。補間では均等分圧するので誤差が分散される

## 通常変換



## 補間を用いた変換



# 超低電力CMOS ADCの開発と ローパワーエレクトロニクスの振興

高集積化，アナログ・デジタル混載など将来の発展のためにはCMOSを用いたADCの実現が不可欠であった。しかし，CMOSは精度が極めて悪く，ADCへの適用は困難であった。また消費電力も大きかった。

大きなブレークスルーは容量，スイッチ，インバータという，バイポーラでは実現困難なCMOSの特徴を生かした回路技術により，その課題を解決したことである。その後，ADCは100% CMOSに切り替わった。

最初のCMOS比較器はただ単にバイポーラ回路をCMOSに焼き直したものであった。MOSはバイポーラに比べ約20倍以上精度が悪く(2mV vs. 0.1mV)、このため7bitくらいが限界であった。

MOSTランジスタのミスマッチを低減するためにはゲート面積を大きくする必要があり精度を上げようとすると、コスト、消費電力が増大し、変換周波数が低下した。

## MOSTランジスタのゲート面積とミスマッチ

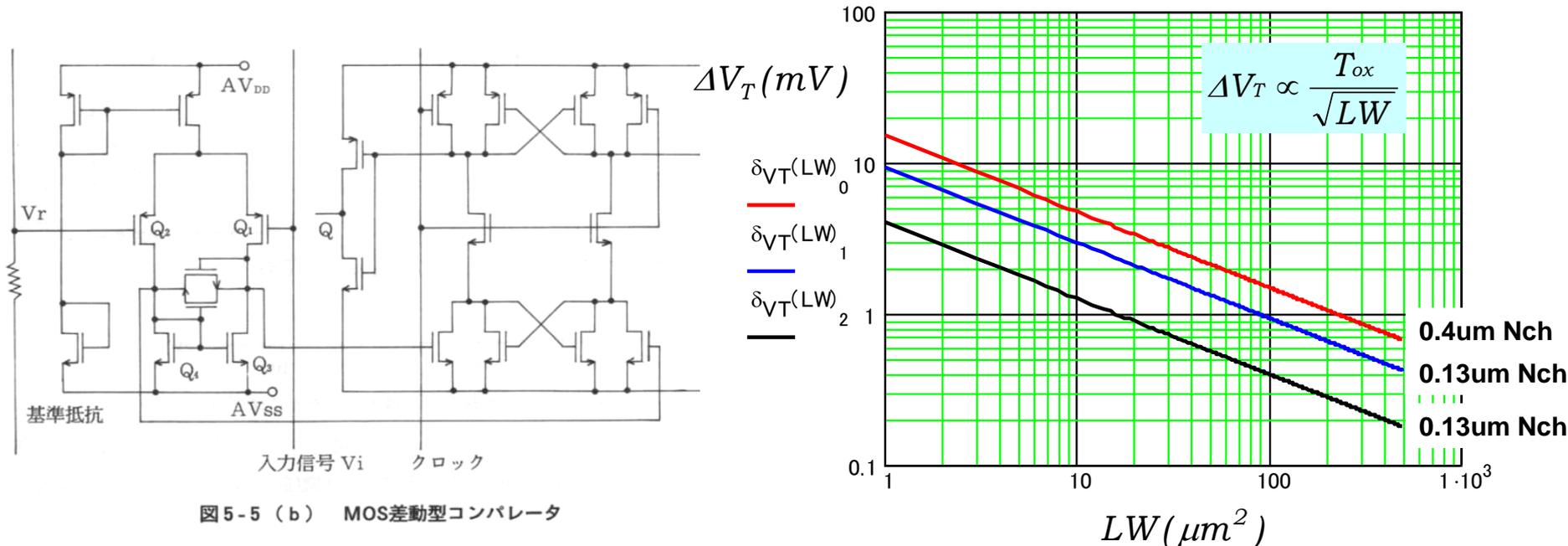


図 5-5 (b) MOS差動型コンパレータ

Yukawa, et al., JSC, 1986.

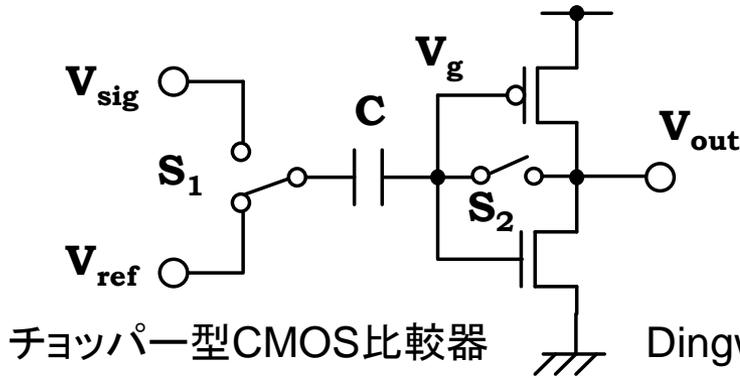
# チョッパ型CMOS比較器

CMOS ADCが高精度かつローパワーになったのはこのチョッパ型比較器の開発による。インバータ、容量、スイッチという最も単純な回路を組み合わせることで比較・増幅・オフセット電圧補償、ラッチ動作を実現した。

ダイオード電圧は $V_T$ 変動などにより変動するが、容量Cによりキャンセル可能

微細化・低電圧化に対応し、今日でも有効な回路

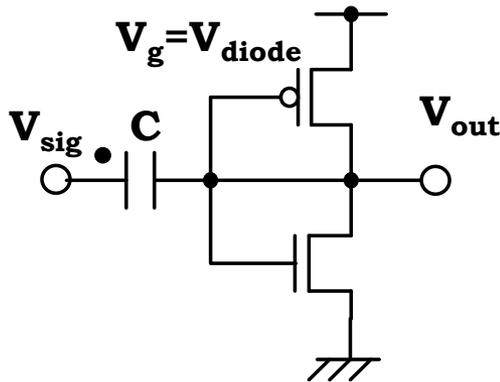
従って、微細なトランジスタを用いても高精度、低電力変換が可能になった。また、S/H機能が簡単に実現できるようになった。



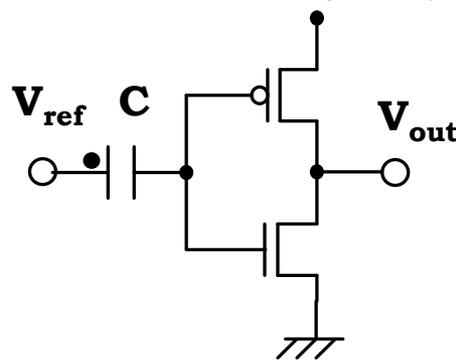
チョッパ型CMOS比較器

Dingwall, RCA, 1979

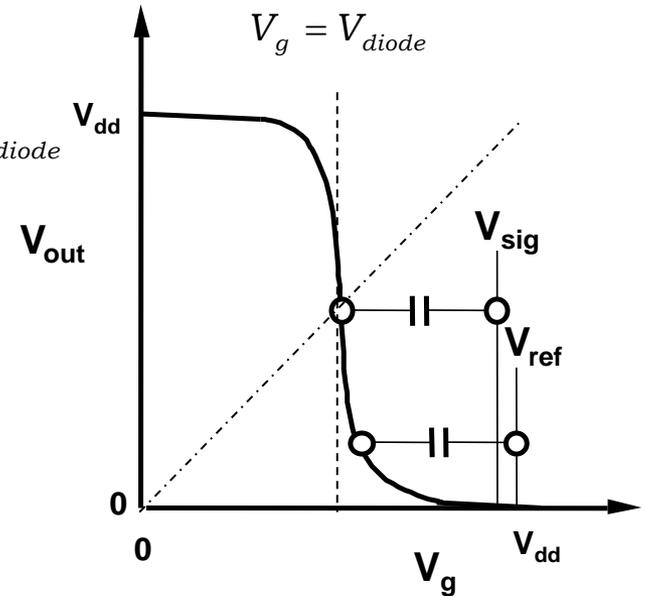
$$V_{out} = G(V_{sig} - V_{ref}) + V_{diode}$$



信号トラッキング

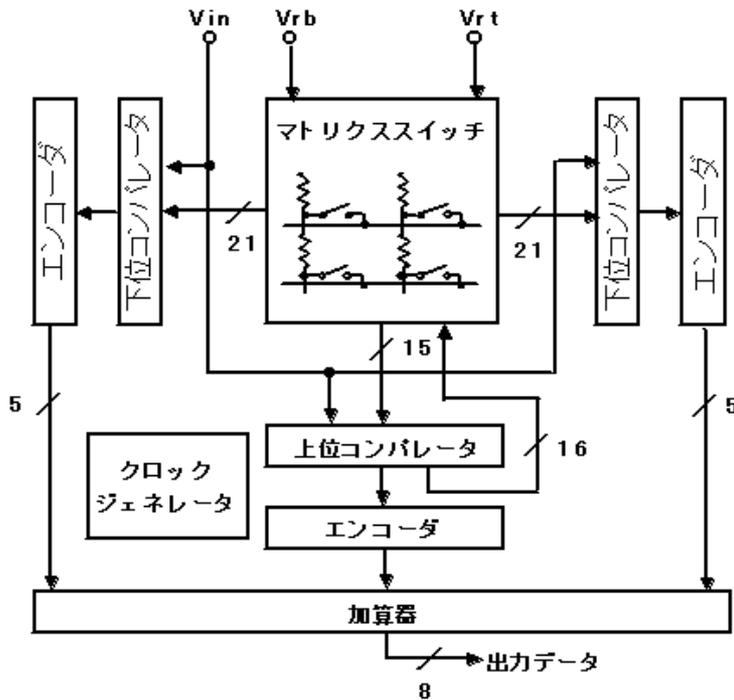


サンプル+比較増幅



CMOSによる直並列型ADCを実現するには

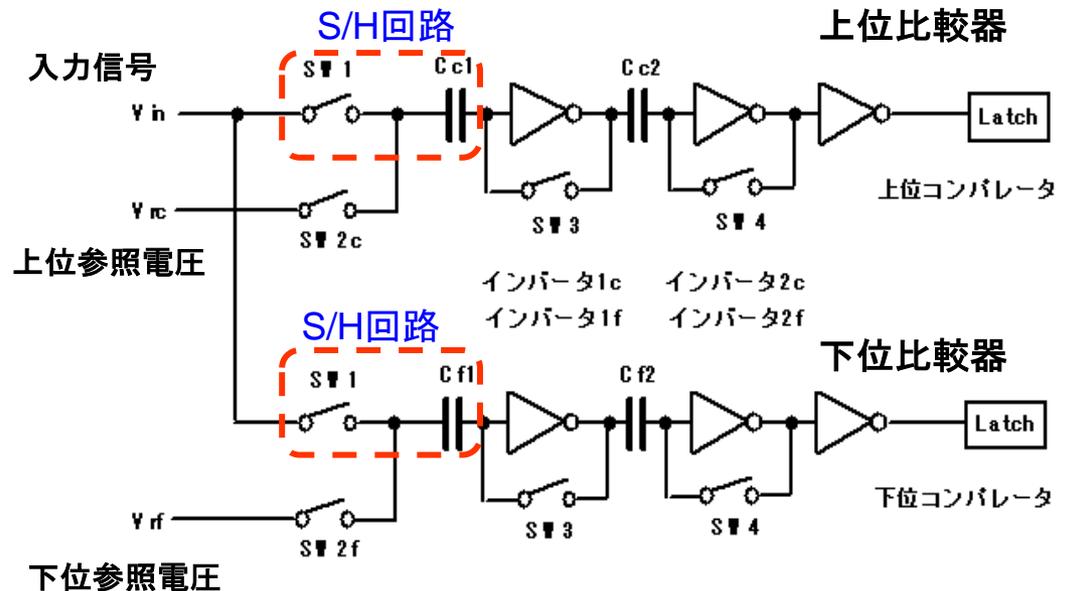
1. 高精度比較器  $V_{off} < 1\text{mV}$  (通常MOS  $V_T$ ミスマッチは20mV程度)
  2. S/H機能の実現
  3. 低電力化
- それでも8bitが限度であった



8bit ADC

## CMOSチョッパ比較器

S/H機能とオフセット補償を同時に実現



N. Fukushima, ISSCC 1989

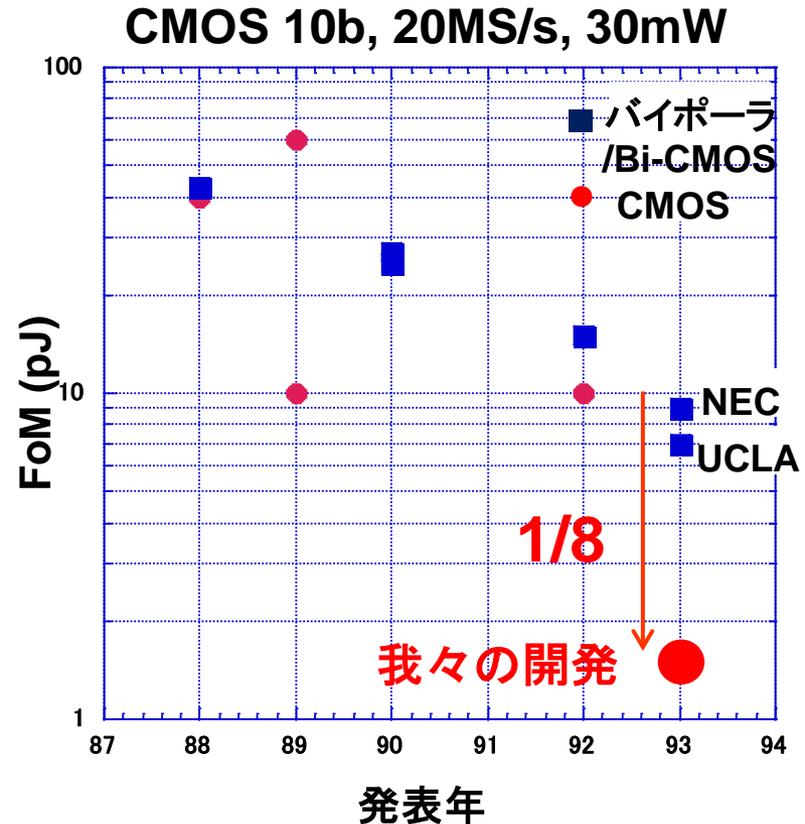
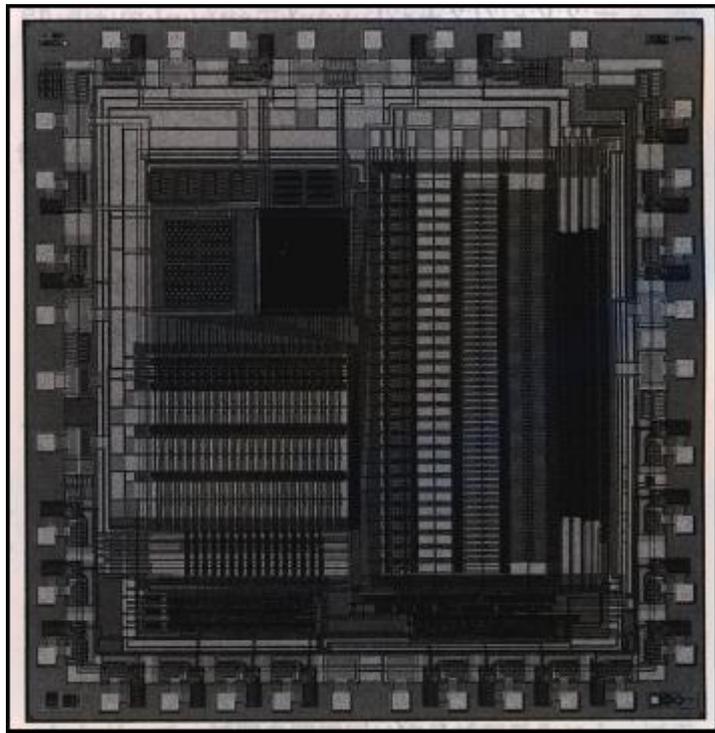
# 超低電力 CMOS 10b ADCの開発

携帯用ビデオ機器に使用できる超低電力、低コストADCの開発

他のADCに比べ**1/8の低消費エネルギー**。これ以後、**ADCのCMOS化が加速**  
ADCの**FoM**はこの開発の意義を示すために考案されたと言われている

K. Kusumoto and A. Matsuzawa  
ISSCC '93, JSC 1993.

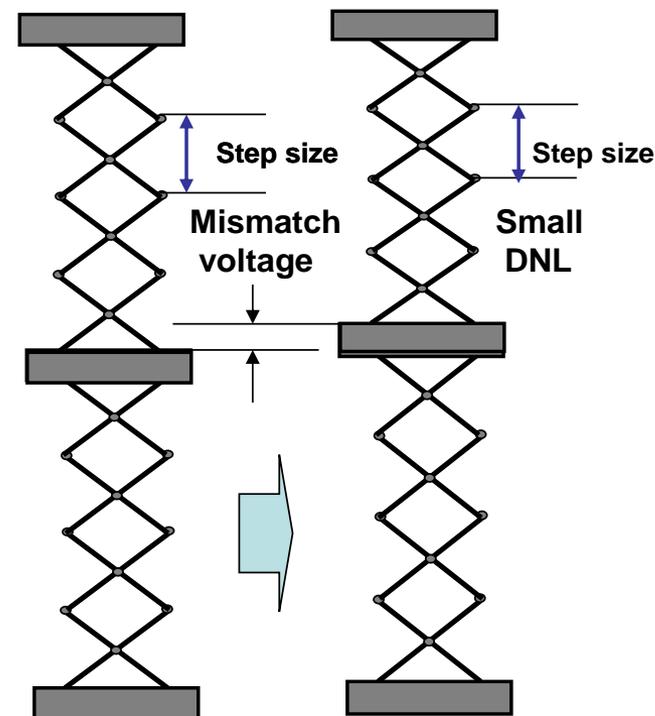
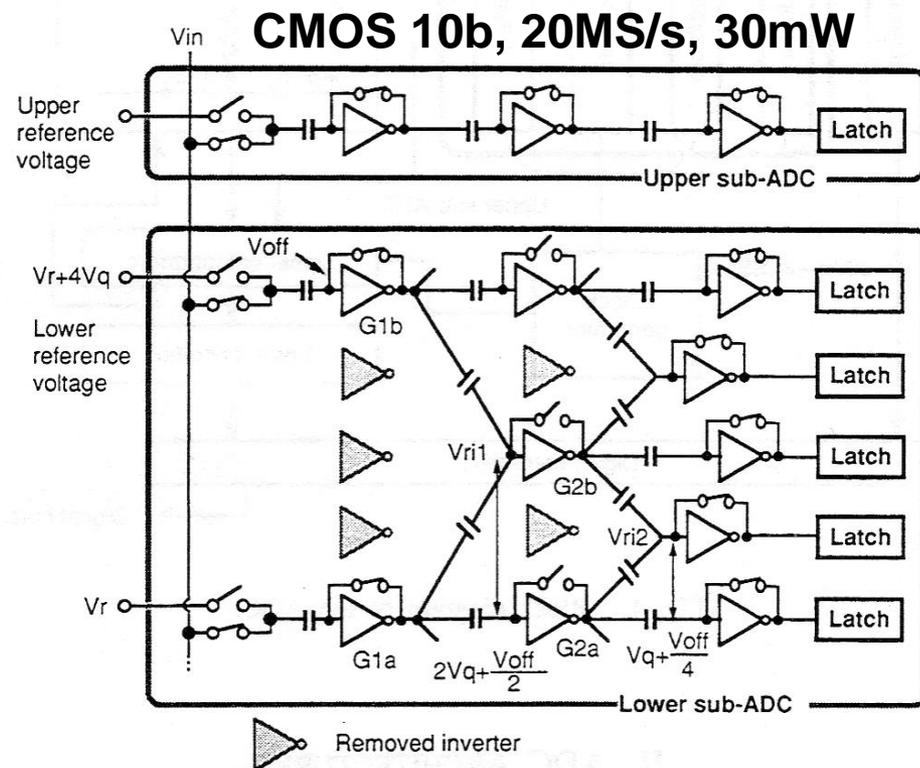
それまでは**CMOSは低エネルギーではなかった**



それまでのチョッパ比較器を用いたADCの精度は8bit程度であり、貫通電流が流れるので、低電力化に限度があった。そこで、容量を用いて補間を行うことで、高精度化と画期的な低電力化を同時に達成した。

回路規模を削減して性能を上げ、電力を低減

バネのような柔構造



入力の $V_{off}$ は変換時に1/4に低減

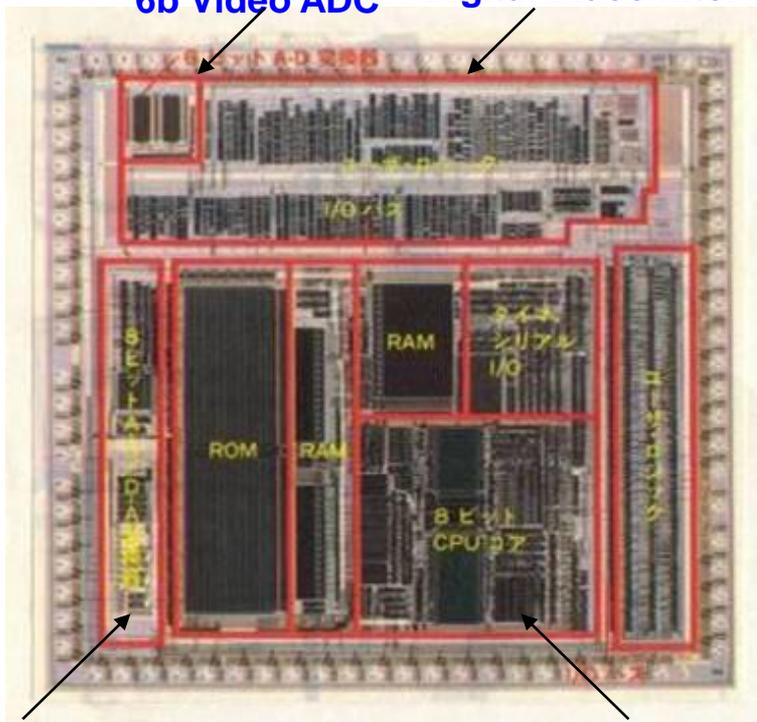
# 初期のアナログ・デジタル混載LSI

低電力 CMOS ADCの開発に成功したことで、デジタルフィルターや、マイコンなどのデジタル回路との混載が可能となり、ポータブルAV機器の小型化低コスト化に大きく貢献した。 **この論文がローパワー技術のトリガーになった**

A. Matsuzawa, "Low-Voltage and Low-Power Circuit Design for mixed Analog/Digital Systems in Portable Equipment," IEEE Journal of Solid-State Circuits, Vol.29, No.4, pp.470-480, 1994.

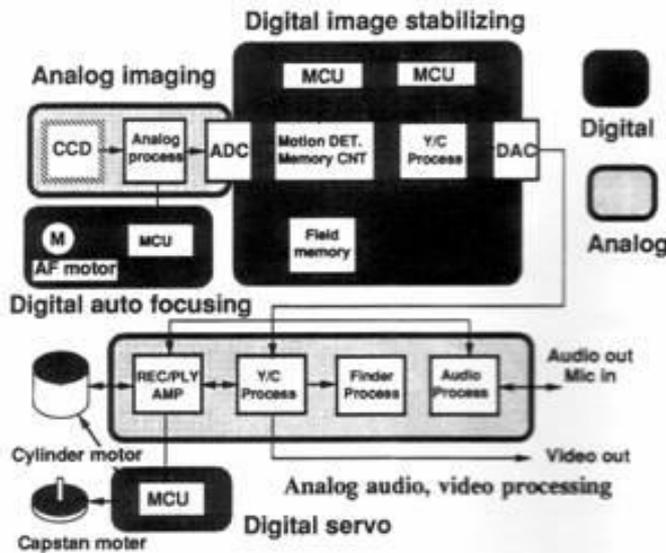
## 初期のアナ・デジ混載LSI

6b Video ADC Digital Video filter



## デジタル手振れ補正

## System block diagram



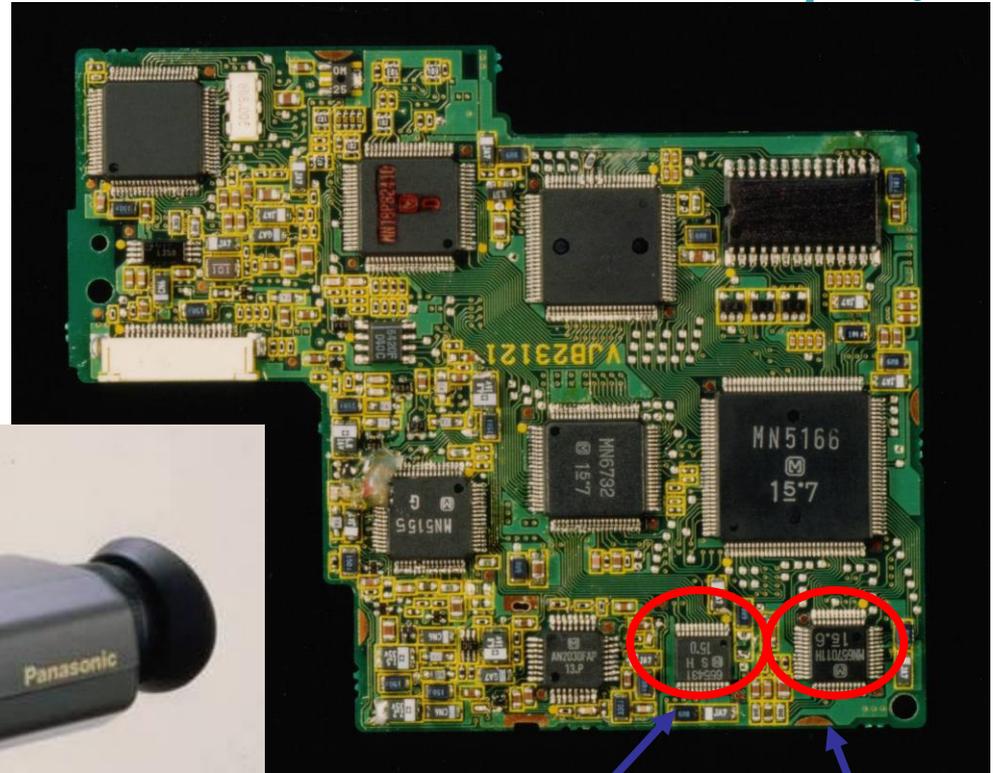
8b low speed ADC;DAC

8b CPU

# ムービーカメラのデジタル化に貢献

Digital handy VCR needs  
CMOS ADCs and DACs

1994



CMOS 8b ADC

CMOS 8b 3ch DAC

# アダプティブ電源内蔵MTDSPの開発

95年よりNTTとMTCMOSなどのローパワー技術の共同開発を行った。

電源電圧の制御は時代を先取りする技術。

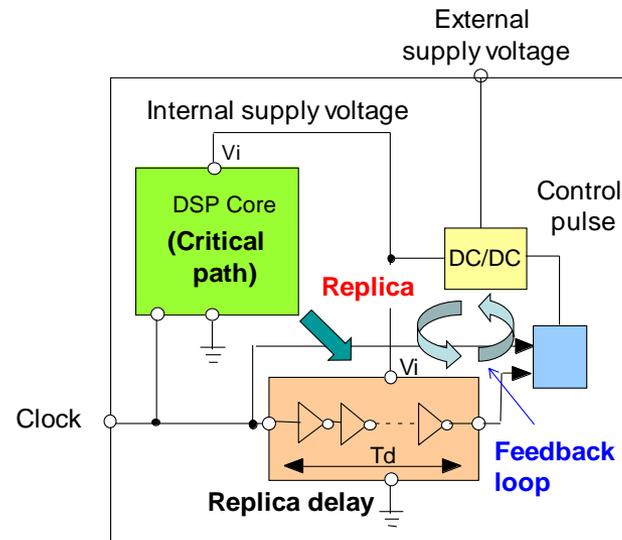
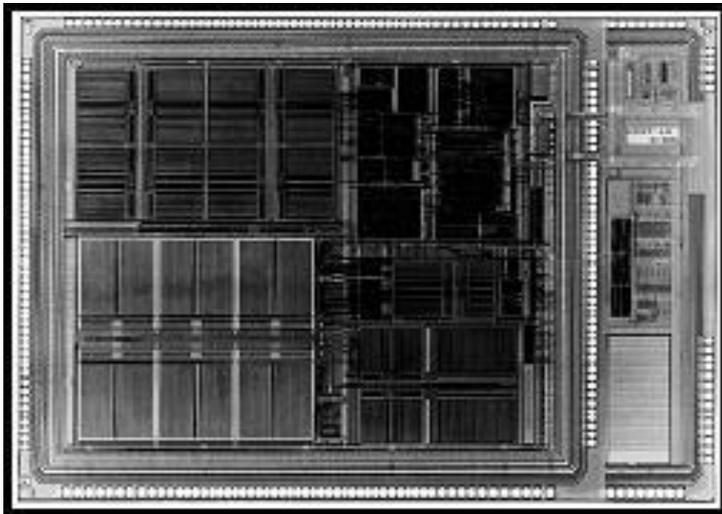
要求動作周波数に対して最小の消費電力になるよう  
内部電圧を制御してローパワー化を図ったDSP

## 腕時計型携帯電話を開発



S. Sakiyama et al., VLSI CS '97,  
12mW @20MHz 0.35um MTCMOS

長野五輪(1998年)で係員用PHSに実際に使用された。



2000年から4年間のNTTを中心とする複数の企業・大学によるNEDOプロジェクト。低電圧・低消費電力に優れた、FDSOIを用いてマイコン・メモリ・アナログRF回路を開発し、体温などの自然エネルギーで動作する無線PDA端末を開発した。

松下は低電圧アナログRF回路開発を担当。

プロジェクト概要はSpringerから出版された

## Getting energy from temperature difference



Using heat of a hand



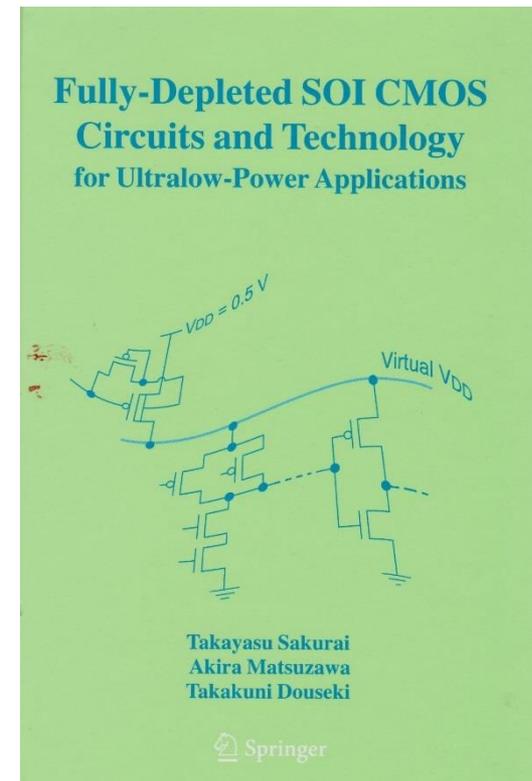
Using cold water

Bi-Te based thermoelectric converter

Battery-less wireless signal transmission using temperature difference

Douseki, et al., ISSCC2003,

・1.7mW/ 0.7Vを発電



1994年のVLSIシンポジウムでの招待講演がきっかけとなって  
1995年に世界初のローパワーエレクトロニクスの国際WSを開催した



Proceedings  
of  
**LOW POWER ELECTRONICS WORKSHOP**

**June 7, 1995**

*Chairman:* M. Kubo, Hitachi  
*Co-Chairman:* A. Matsuzawa, Matsushita  
R.-H. Yan, AT&T Bell Labs

1995 Symposium on VLSI Circuits  
(June 8-10, 1995)

The Japan Society of Applied Physics  
The IEEE Solid-State Circuits Council

## Table of Contents

New Wireless Phone System: PHS .....	Takeshi HATTORI	1
Low Power DSP Design Methodologies .....	Jan RABAEY	11
Architectures and RF Circuits for Miniature Wireless Transceivers .....	Asad A. ABIDI	29
VCR Combined with a Video Camera .....	Jun HIRAI	65
To Realize Long Battery Life of Portable PC .....	Shimpei KUNII	71
PDA: Personal Information Tool (PIT) .....	Satoshi TERAMURA	79
RISC Processor for Mobile Computing .....	Hideo INAYOSHI	87
Memory for Personal Computing .....	Masahide TAKADA	97
Technology Advances in Liquid-Crystal Displays .....	Yutaka ISHII	107
Rechargeable Batteries for Portable Appliances .....	Akira OHTA	117

アナログ回路だけでなく、デジタルLSIのアーキテクチャまで踏み込んでローパワー技術を検討していた。

日経BP社：日経マイクロデバイス編 1994年  
[低電力LSIの技術白書 1ミリ・ワットへの挑戦]

設計/ロジック/アーキテクチャ

総論

## 1mW台に挑戦するアーキテクチャ 高速化から視点を切り替える

低電力アーキテクチャとは何か、今後のLSI市場でどのような役割を果たすのかを解説する。低電力アーキテクチャとは、所望の機能を達成しながら低電力化するアーキテクチャである。高スループット化技術と、無駄なスイッチングを減らす技術が2本柱になる。こうした低電力アーキテクチャは、専用LSIに適用する機会が多くなる。ネットワークの整備により、低電力で処理性能の高い専用LSIが普及しやすくなった。汎用LSIと補完しながら、マルチメディア時代を創る。

松下電器産業  
半導体研究センター  
松澤 昭

設計/ロジック/アーキテクチャ

Part. 2

専用プロセッサ

## 画像向けなどアーキテクチャを専用化 チップ面積を抑えつつ電力削減

専用回路と汎用回路の双方を搭載する専用プロセッサは、チップ面積の増加を極力抑えながら低電力化できる。このアーキテクチャ設計の考え方と手法を分類し、系統的に解説する。さらに、デジタル携帯電話向け音声処理DSPや、MPEG2などの画像処理DSPに適用したアーキテクチャをケース・スタディとして挙げる。低電力化の際の狙いどころの絞り方や、チップ面積をほとんど増やさずにスループットを高める手法などを示す。

松下電器産業  
半導体研究センター  
松澤 昭  
上田 勝彦  
青野 邦年

スループット（処理性能）を劣化させないアーキテクチャ・レベルの低電力手法

	目的	方針	手法	主な欠点	
同期式	動作周波数の低減	演算回数の低減	処理の削減	汎用性の低下	
			回路の専用化 (DCT回路など専用演算器設置)	汎用性の低下、回路規模の増大	
			演算回路の最適化 (エンハンスドALUなど)	汎用性の低下、回路規模の増大	
			複数サイクルの演算を1サイクルに	汎用性の低下	
			高速アルゴリズムの採用	なし	
			定数の乗算時のデータのダイナミック・レンジ低減	なし	
	活性化率の低減	信号のスイッチング頻度を低減	並列処理 (低電圧化と組み合わせで低電力化)	空間的並列 (パラレル)	汎用性の低下、回路規模の増大
				時間的並列 (パイプライン)	汎用性の低下、回路規模の増大
				数の表現の最適化	回路規模の増大
				信号の入力順序の最適化	なし
				論理段数の最適化	なし
				回路の分割 (共有の中止)	回路規模の増大
電源電圧の低減	動作回路の削減	並列処理 (動作サイクル周波数の低減と組み合わせで低電力化)	語長の低減	汎用性の低下	
				動作不要のブロックの停止	なし
				メモリー・セル・アレイの分割	汎用性の低下、回路規模の増大
				寄生容量の削減	回路規模の増大
				バスの階層化	回路規模の増大
				キャッシュ・メモリーの内蔵	回路規模の増大
非同期式	活性化率の低減	信号のスイッチング頻度を低減	0.5V程度の超低電圧でも高速動作	空間的並列 (パラレル)	汎用性の低下、回路規模の増大
				時間的並列 (パイプライン)	汎用性の低下、回路規模の増大
				超低しきい電圧のトランジスタを使用	リーク電流の増大
				「要求」と「応答」による信号の伝送	回路規模の増大、テストが困難

13●低電力アーキテクチャの手法の全体像

同期式と非同期式がある。動作時の消費電力は主に、動作周波数と活性化率、キャパシタンス、電源電圧で決まる。これらを低減する手法を分類した。

# 低電力超高速ADCの開発と アナログ・デジタル混載システムLSIの開発

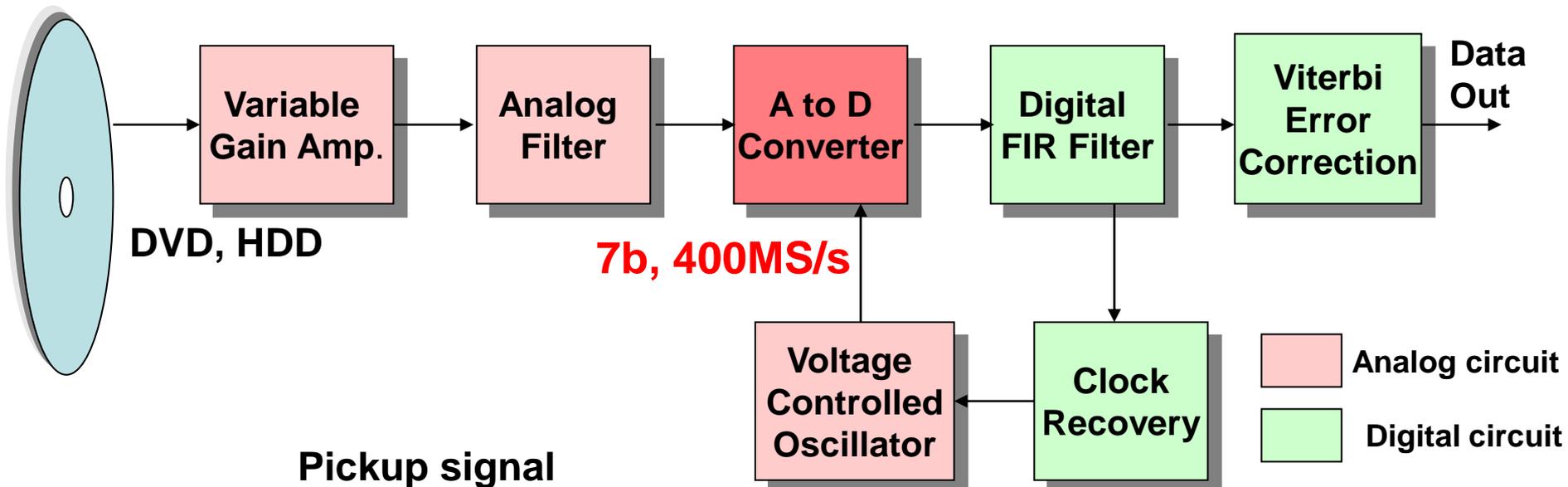
CMOS集積回路の微細化による高集積化, 高性能化, 低電力化の進展はDVDなどの大規模システムのワンチップ化に進んだ。

ここでも一つの難関はADCであった。7bit 400MS/sという計測器なみの性能を数10mWの消費電力で実現する必要があった。これをゲート補間という技術で乗り越えた。

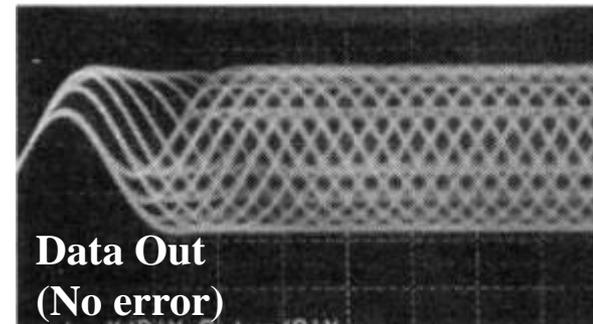
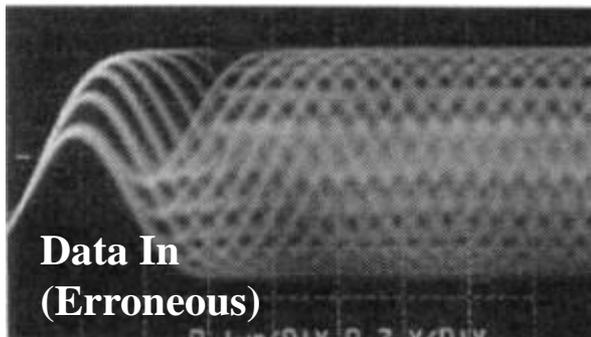
SoCの時代にはシステムの集積のための, 新たなアナデジ混載SoCのための設計法, EDA, 全体マネージメントなど, 従来の回路設計にとどまらない活動が必要であった。

# DVD再生用デジタル信号処理技術

DVDレコーダーは多値信号のためSNRが低く、誤り率が高い。  
そこで波形等価やエラー訂正などのデジタル信号処理が必要となった。  
しかしそれは7b, 400MHzという計測器なみのADCを必要とすることであった。

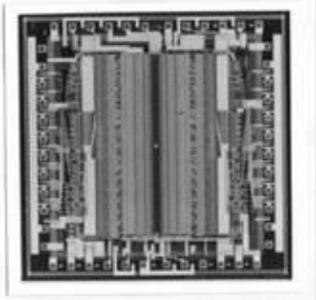


Pickup signal



# 超高速CMOS ADCの開発

超高速ADCの民生機器応用にはCMOS化と低電力・低コスト化が不可欠

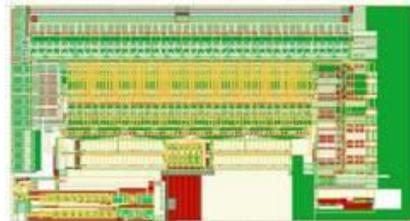


## 91年当時、世界最高速の6b ADC バイポーラ技術

6b, 1GHz ADC  
2W,  
1.5 $\mu$ m Bipolar  
A. Matsuzawa, ISSCC 1991

## 当時、世界最高速のCMOS ADC

K. Sushihara and A. Matsuzawa, ISSCC 2000.



6b, 800MHz ADC  
400mW, 2mm<sup>2</sup>  
0.25 $\mu$ m CMOS

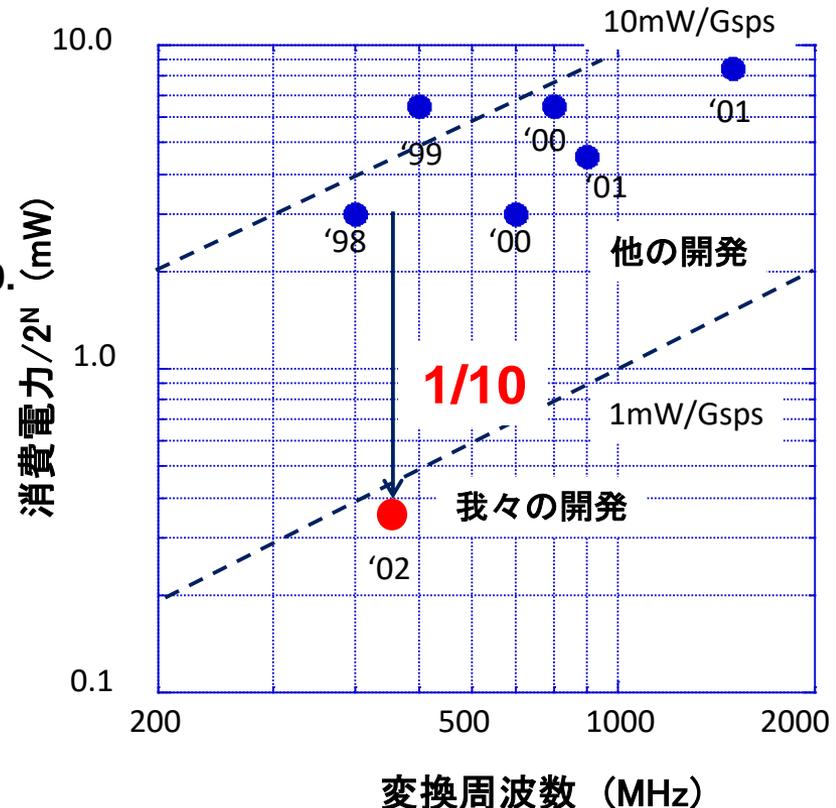
## 高速性を維持し、電力を1/8に下げた

K. Sushihara and A. Matsuzawa, ISSCC 2002.



7b, 400MHz ADC  
**50mW, 0.3mm<sup>2</sup>**  
0.18 $\mu$ m CMOS

Technology : 0.18 $\mu$ m CMOS(3AL1PS)  
Area : 0.88mm X 0.34mm



# ゲートで重みを付けた補間

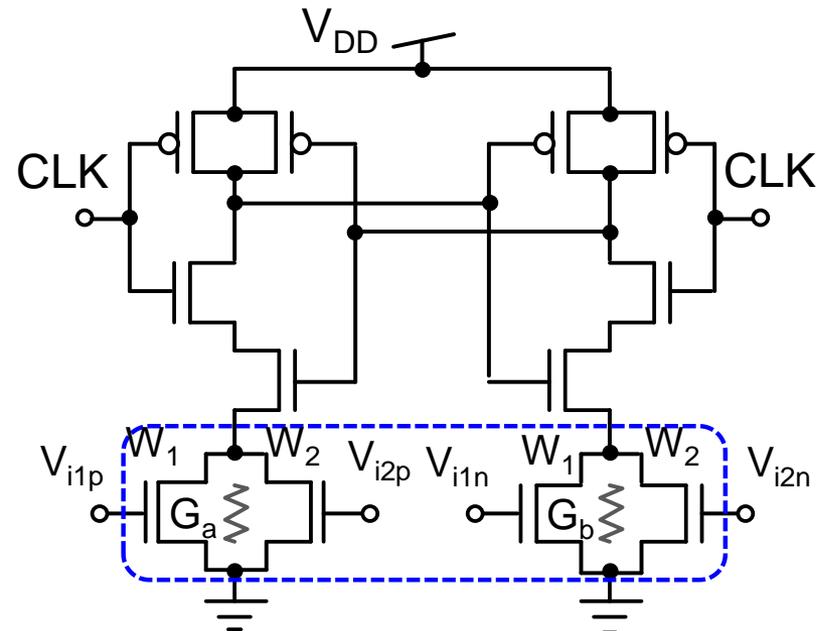
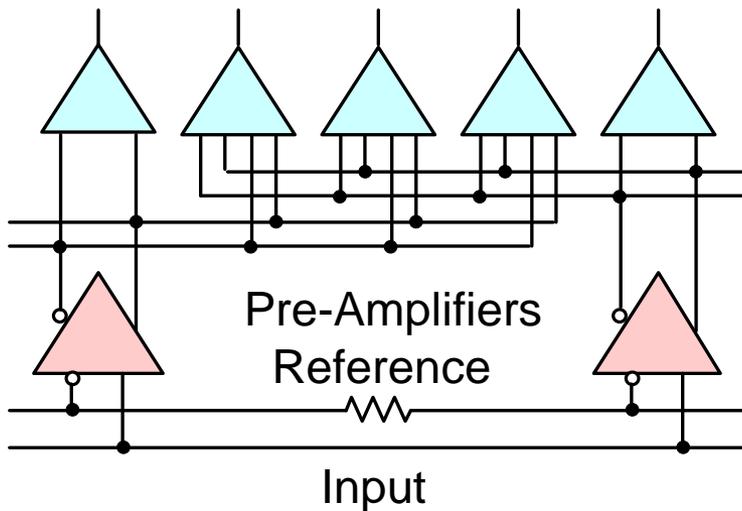
CMOS フリップフロップ (F/F) のソースにリニア領域で動作するMOS TRを挿入  
ゲートの重みにより補間が実現できる。F/Fは貫通電流が流れず、補間に  
抵抗を用いないので、高速・低電力動作が可能。

$$\left. \begin{aligned} G_a &= \frac{\mu C_{ox}}{L} [W_1 (V_{i1p} - V_T) + W_2 (V_{i2p} - V_T)] \\ G_b &= \frac{\mu C_{ox}}{L} [W_1 (V_{i1n} - V_T) + W_2 (V_{i2n} - V_T)] \end{aligned} \right\}$$

$$G_a - G_b = \frac{\mu C_{ox}}{L} [W_1 (V_{i1p} - V_{i1n}) + W_2 (V_{i2p} - V_{i2n})]$$

$$W_1 : W_2 = \frac{m-k}{m} : \frac{k}{m} \quad k < m$$

Comparator latches with gate-weighted interpolation



Gate-weighted interpolation

# DVD 用完全ワンチップアナ・デジ混載SoCの実現

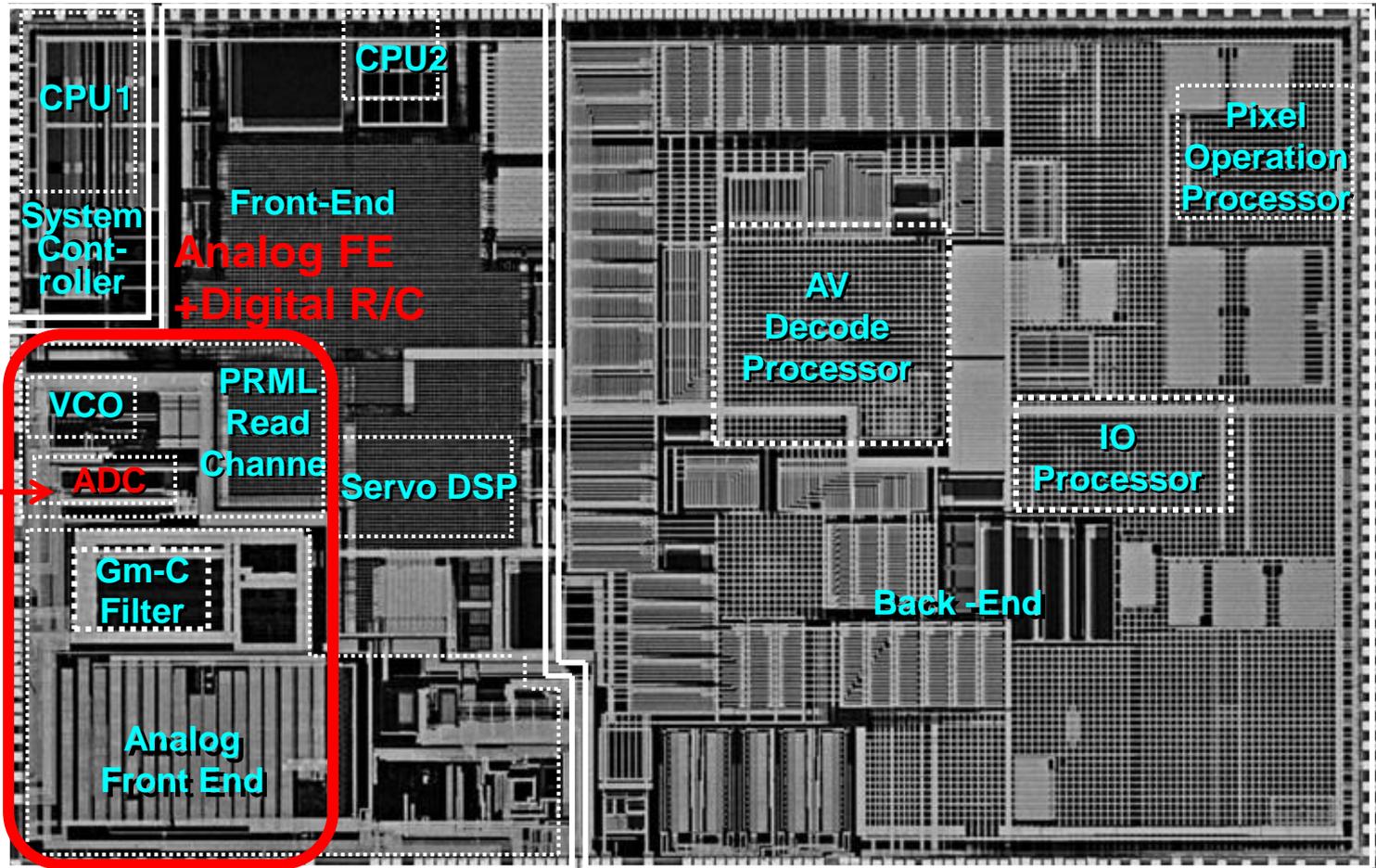
41

TOKYO TECH  
Ensuring Excellence

DVDシステムを完全にワンチップ化した**世界初のDVD用アナ・デジ混載SoC**

その後SoCによるシステムレベルの集積が進展

Okamoto, ..., A. Matsuzawa., ISSCC 2003, JSC 2003. 0.13 $\mu$ m, Cu 6Layer, 24MTr



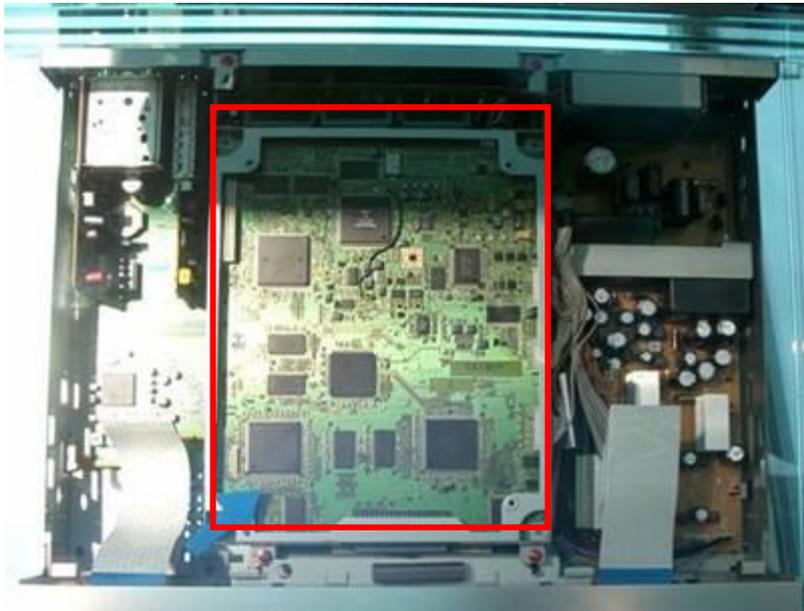
7b, 400MS/s  
のADC

システム集積が可能なアナ・デジ混載SoCは、機器の高性能化、簡素化、低コスト化に大いに寄与した。また、DVDのノートPC搭載を可能にした。

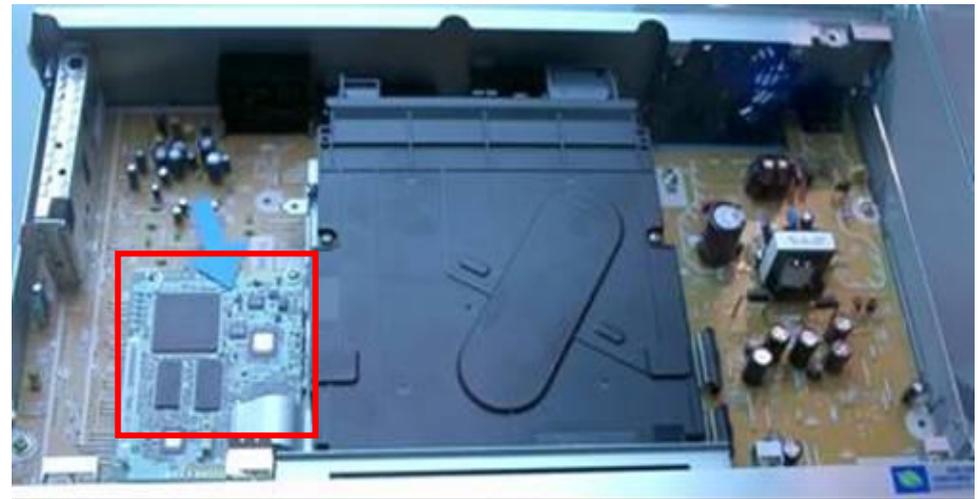
**SoC: System on a Chip (システムLSI)**

'2000 Model

DVD Recorderの例

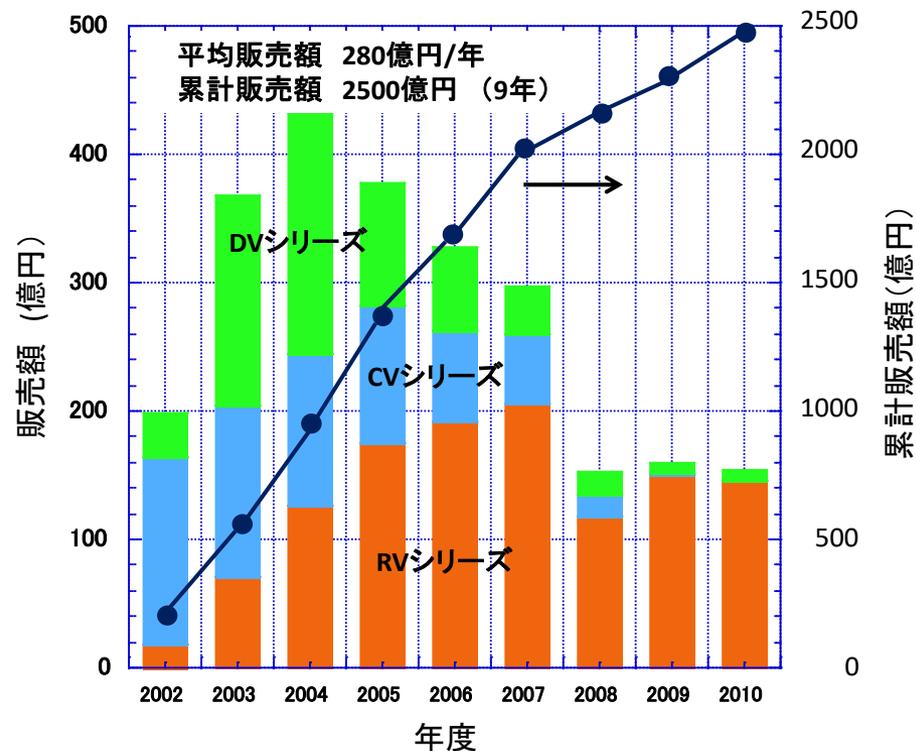
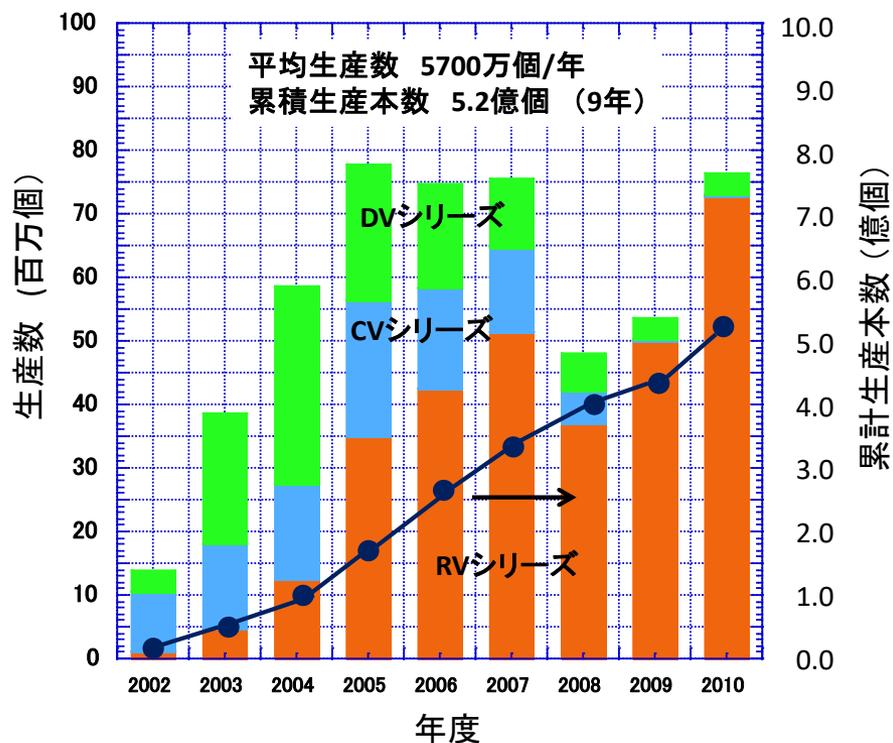


'2003 Model



# DVD用SoCの生産・販売

DVD用SoCは累積数量**5.2億個**，累積販売額**2500億円**に達した。



# アナログバウンダリスキャン技術

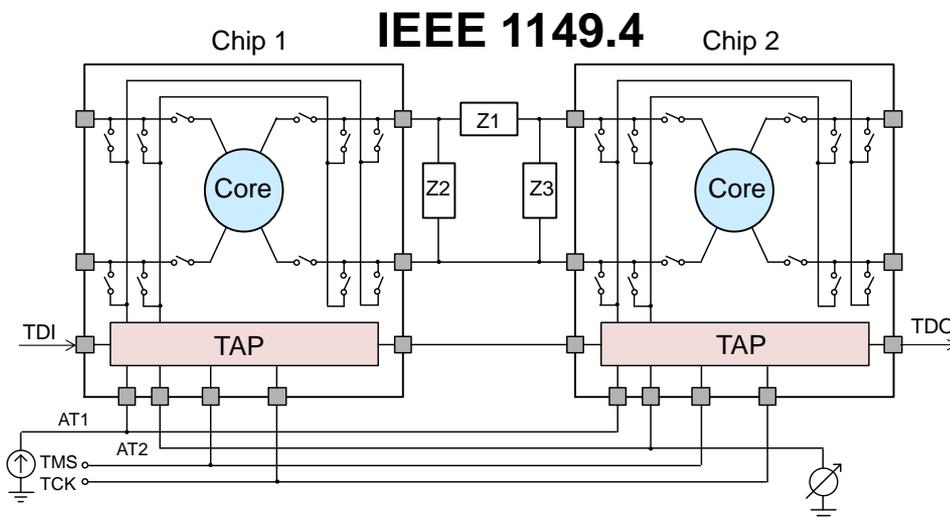
高密度実装時のボードテストにおいてデジタルで実用化されていたバウンダリスキャン技術をアナログに拡張するIEEE規格をHP社と共同提案。世界初の対応チップを開発し、規格制定 (IEEE 1159.4) にこぎつけた。**標準化は会社の開発戦略そのものであることを学んだ。**

IEEE の標準化委員として年数回渡米する必要があった

K. P. Parker, J.E. McDermid, R.A. Browen, K. Nuriya, K. Hirayama, and A. Matsuzawa,  
“Design, fabrication and mixed-signal IC testability structures,”  
International Test Conference 1997.

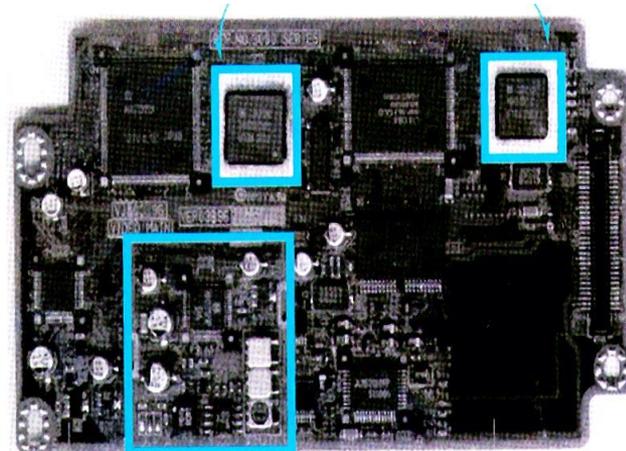
## Analog Boundary Scan Technology

Impedance between chips can be measured



## Digital Video camcorder board

World's first LSIs having  
Analog Boundary Scan



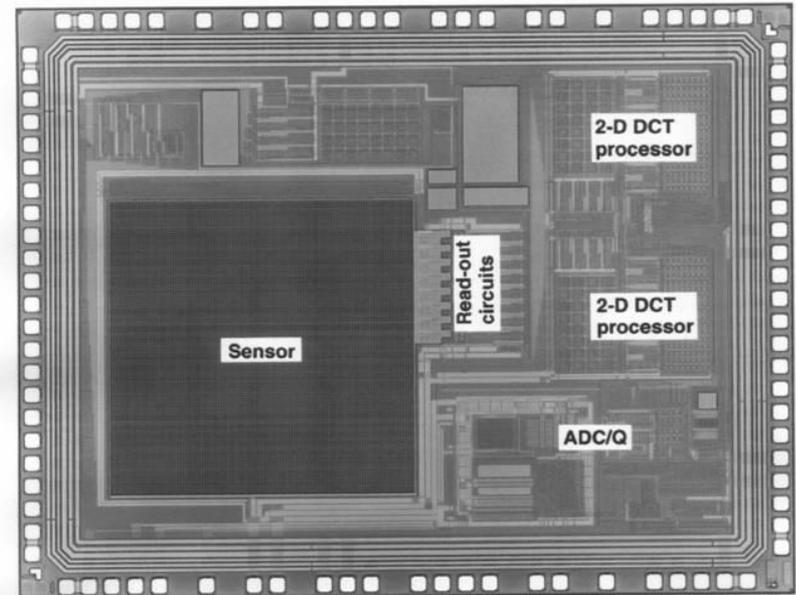
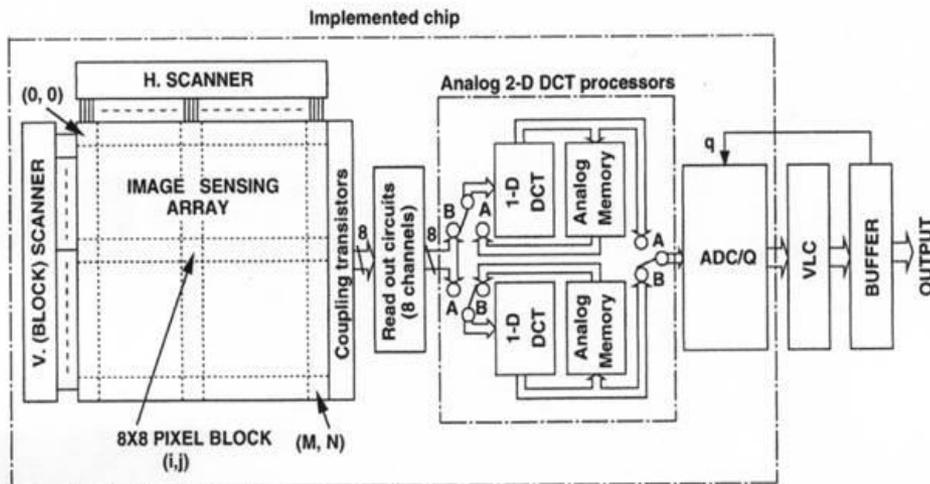
Analog Parts

アナログDCTやADCの参照電圧コントロールによる可変量子化などのアナログ画像圧縮機能を内蔵しCMOSイメージセンサー。信号処理機能を内蔵したCMOSイメージセンサーのパイオニアCMOSイメージセンサーの重要性と、CCDでは実現困難な機能が実現可能なことを喚起した。イメージャー分野のSoC化



豊橋技科大(現 静岡大), 川人先生との共同開発

Kawahito, et al., ISSCC '97



# システムLSI開発責任者として

46

TOKYO TECH

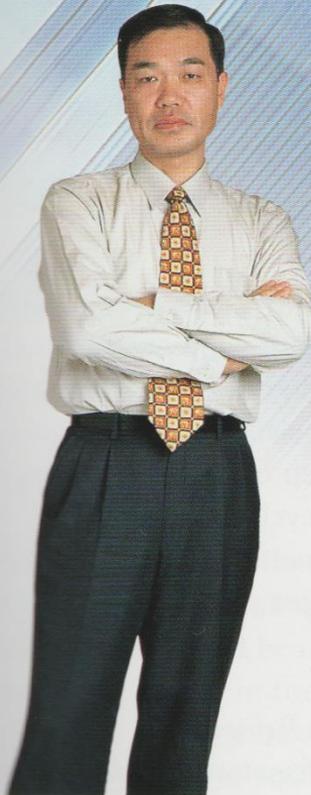
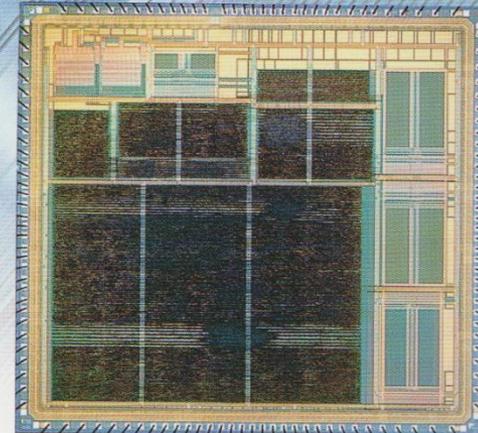
1998年、45才で参事・GM(部長級)になった。それからの5年間はLSI技術開発のプロジェクトリーダーとしてだけでなく、松下のシステムLSI (SoC)を世界一にするために、設計技術だけでなく、次ページのように必要なことは全て行った。この結果、松下のアナ・デジ混載SoCは世界トップクラスになった。

## Matsushita Electric Annual Report 1998

*"The concept of a one-chip solution is now dominant in the semiconductor industry. Matsushita's system LSIs, which embody its expertise in finished products, underpin the speedy development of all compact, high-performance digital equipment."*

**Dr. Akira Matsuzawa**  
Chief R&D Manager,  
Advanced LSI Technology Development  
Center of Matsushita's Corporate  
Semiconductor Development Division,  
Japan

**A decoder LSI  
for reproducing  
images in a  
digital satellite  
TV receiver**

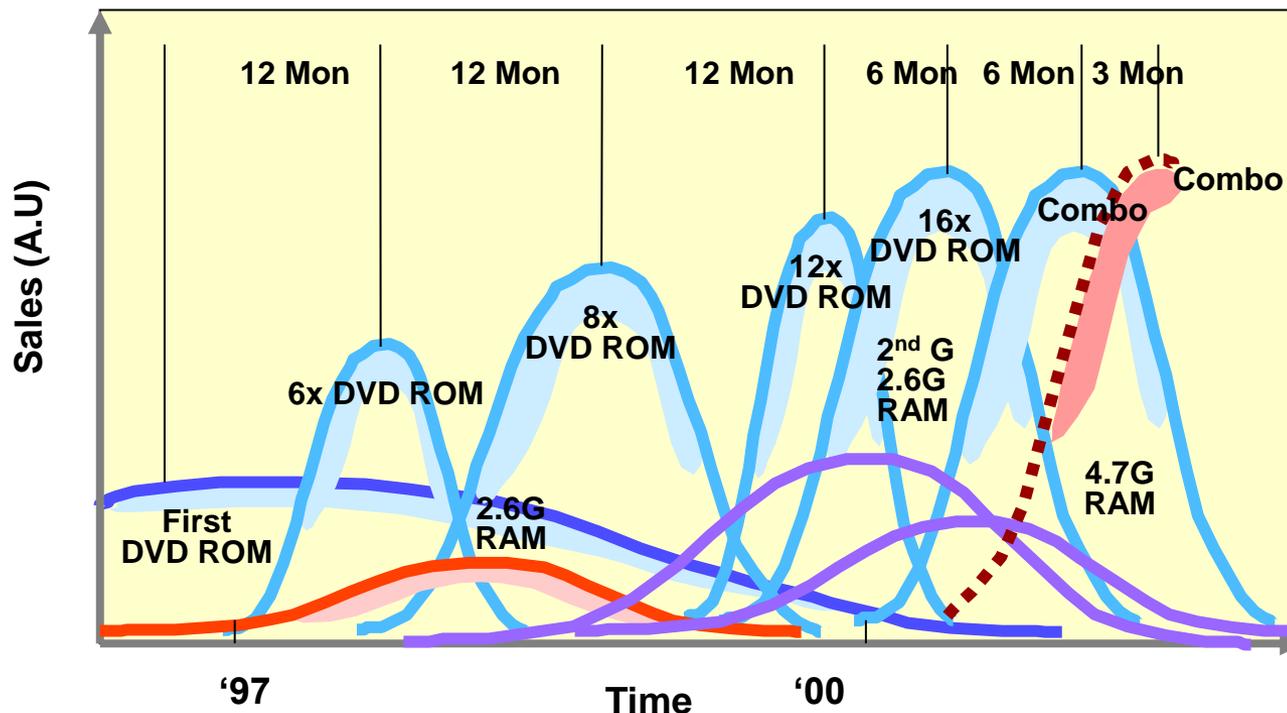


- アナ・デジ混載チップの開発
- アナ・デジ混載SoC開発体制の確立
  - アナログIP (ADC, DAC, PLL, Filter, 電源など)の開発
  - デジタルIP (スタセル, SRAM, ROM, I/O)の開発と外部委託 (Virage, Artisan)
- 設計・プロセス間の連携体制の確立
  - デバイスパラメータ設定 (基準, Spice抽出), 0.25 $\mu$ m, 0.18 $\mu$ m, 0.13 $\mu$ m
- アナ・デジ混載用EDAシステムの開発
  - Cadenceなどとの共同開発
  - Antrimへの出資 (4億円), NeolinerやBarcelona designとの協業
  - 松下半導体内 (+機器側) の全アナログ関係の統合設計技術の推進
- 国内外の大学との連携
  - UCLA: Abidi教授とのBluetooth トランシーバの共同開発
  - Stanford: エグゼクティブアドバイザー
  - KU-Leuven: Gielen教授とのアナ・デジEDA技術の開発
- 国家プロジェクト (SOIを用いた自然エネルギーで動作する機器の開発)
- アナログCMOS設計教育の企画と実施
- 外部Fab (TSMC) の選定と試作体制の確立

SoCの開発期間は年々短縮が要求される反面, システムは複雑化し, 開発費は高騰

ところが通常のアナログLSIは2~3回の再設計を必要とする。  
このような状況はアナデジ混載SoCでは許されない。

新たな開発戦略と設計システムを確立する必要があった

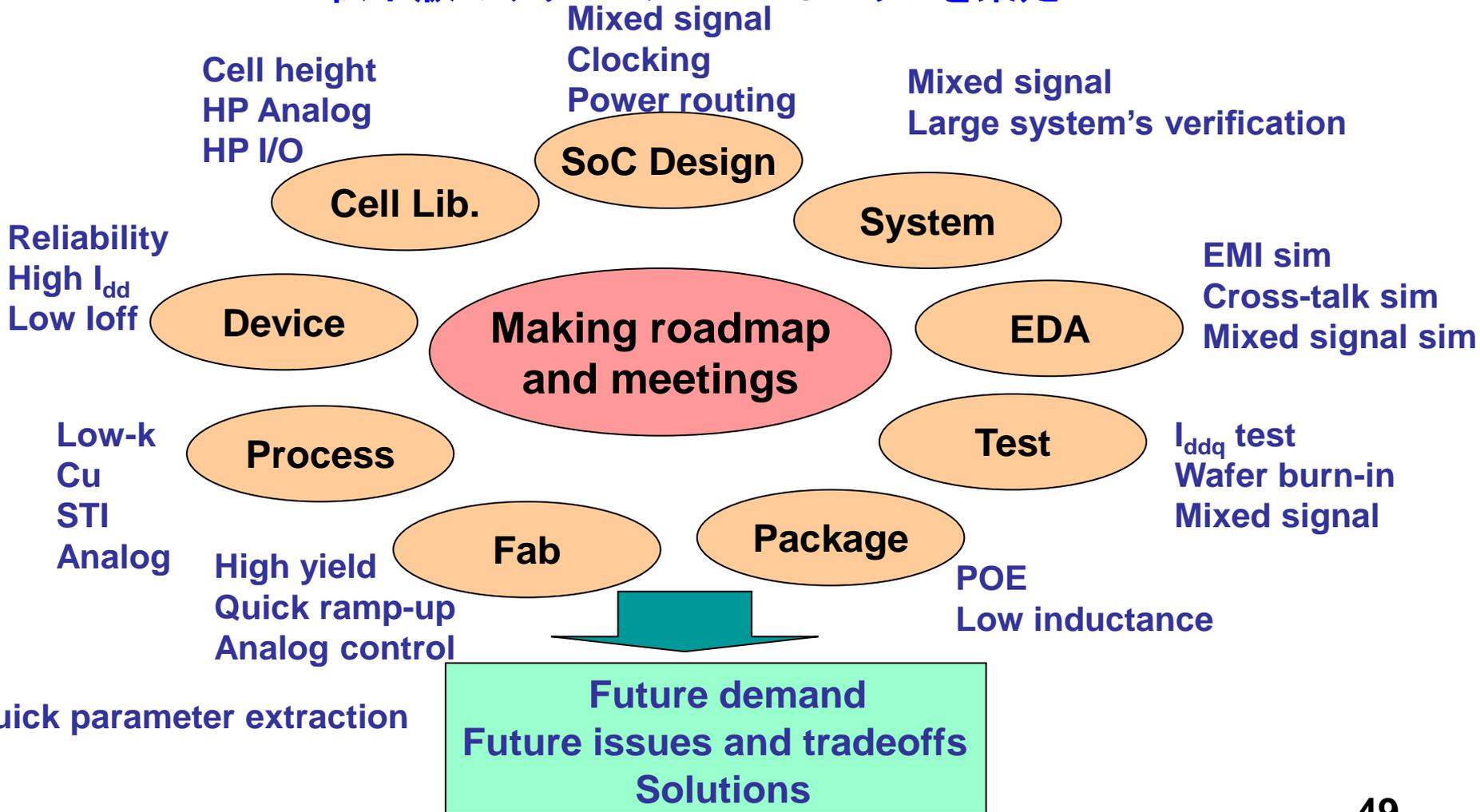


A. Matsuzawa, Invited speech, "How to Make Efficient Communication, Collaboration, and Optimization from System to Chip", IEEE 40th Design Automation Conference, pp. 26.2, 2003.

# 多種の技術の結集とロードマップ策定

SoC開発には多くの技術の結集が必要であり、協調と協働を円滑にするにはまず、必要な技術とその時期を明確にしたロードマップ作成が不可欠である

## 松下版のテクノロジーロードマップを策定



# アナ・デジ統合回路設計環境の開発

CadenceやAntrim(ベンチャー会社)と共同で設計環境を構築

●回路設計工数比(x10~x50)

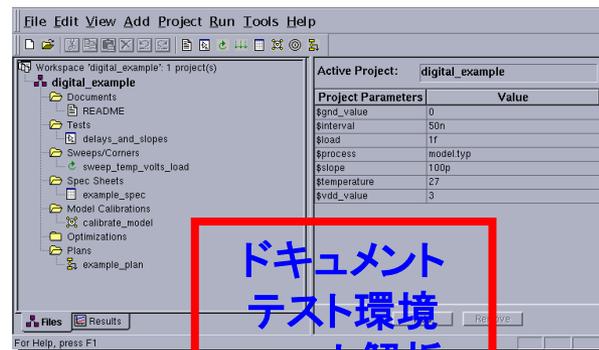
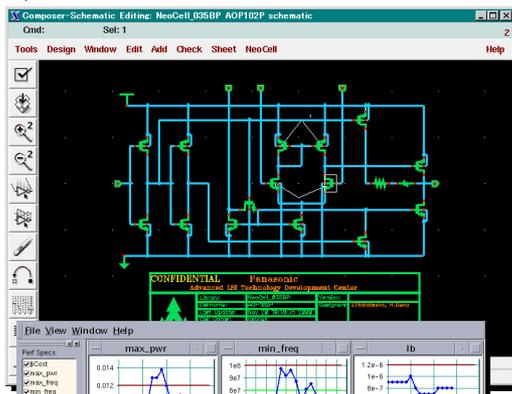
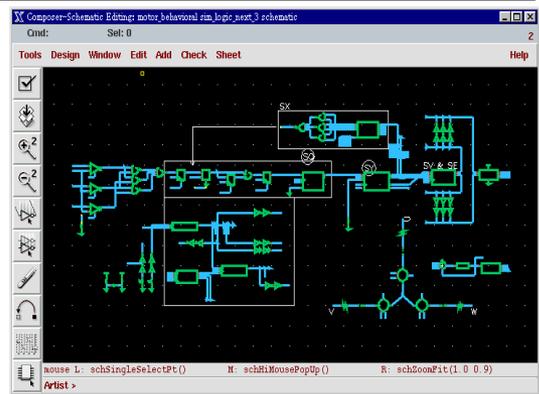
混載LSIシステム設計  
Antrim-A/MS, ACM

Specification

回路最適化  
Antrim-MSS

Simulation Results

設計統合データベース  
Antrim-ACV



システムLSI検証を  
可能にする  
アナログHDL

簡単にアナログ回路  
最適化が可能

ドキュメント  
テスト環境  
コーナ解析  
スペックシート  
AHDLモデル  
最適化  
設計手順

Sweep	Test	Measure	Conditions	Min Spec	Min Value	Max Value	Max Spec	Pass/Fail
1	Comer1	Test_TR	positive_slew		7.285M V/s	11.92M V/s		Pass
2	Comer1	Test_DC	find_when		4.801074M V	-0.28485 V		Pass
3	Comer1	Test_AC	bandwidth		116.1 Hz			Pass
4	Comer1	Test_AC	gain		92.05 dB	86.91 dB		Pass
5	Comer1	Test_AC	unity_gain_freq		4.659M Hz	14.67M Hz		Pass
6	Comer1	Test_AC	gain_margin		11.99 dB	16.45 dB		Pass
7	Comer1	Test_AC	phase_margin		63.37 Deg	76.35 Deg		Pass

システムLSIの合理的な開発・生産のためにファウンダリーの活用を決断  
当時(2001年)はTIも使用しておらず、日本メーカーとして最初の外部ファブ利用  
月1回はシリコンバレーに行っていたので、世界的な視点で半導体のビジネス構図  
が理解できたことが大きい。

- 内製ファブの課題

- 生産の数量の変動に極めて弱い(小量では赤字, 過剰では供給不足)
- ライブラリ開発に多額の費用(標準ファブ用は安価)
- 外部とのベンチマークができない
- IPベンダーやEDAベンダーから見えず, 無視される

- TSMCの採用

- 新竹(台湾)に乗り込み, TSMC, UMCと交渉
- 松下品質確保
- 安価で高性能なIPの入手やEDAの共同開発が可能に
- 自社プロセスとのベンチマークを実施
- 生産ヘッジが可能に

## 60GHz, ミリ波CMOS トランシーバの開発

総務省プロによるミリ波CMOSトランシーバの開発に注力  
難易度の高い研究開発であったが、開発に成功し、データ  
伝送速度で世界トップを連打。世界一の研究室に育てた。  
CMOSでミリ波通信システムを構築できることを示せたことは  
大きな功績であろう。

- 概要

- 60GHz帯を中心とするミリ波通信を実現し、実用化を図るプロジェクト
- 東工大3研究室＋ソニー・JRC・NEC・KDDI・Willcom・アムシスなどの産学連携による大型プロジェクト
- 予算総額:6億円/年×(5年+4年)=54億円

プロジェクトリーダー:安藤教授

- 松澤・岡田研の役割

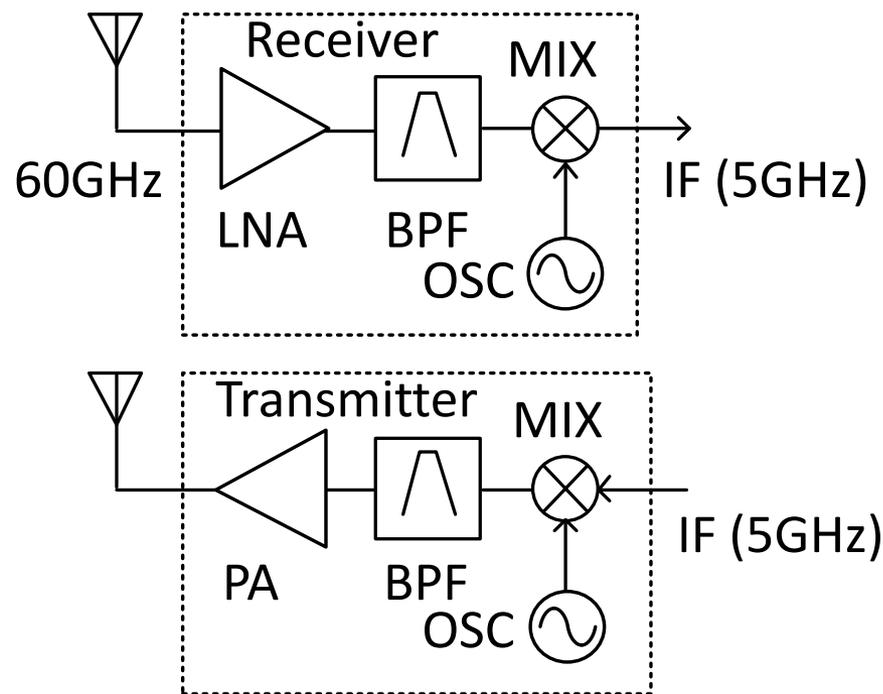
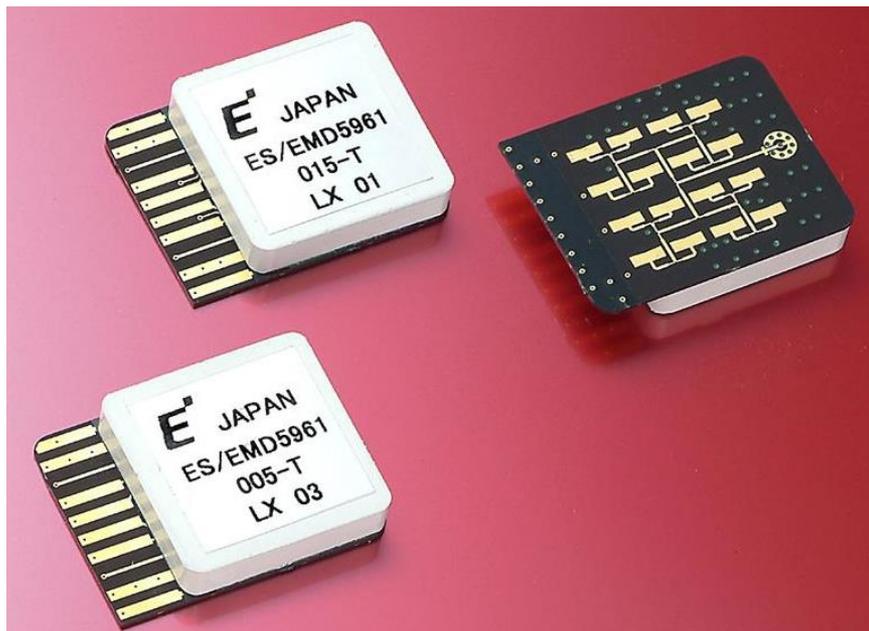
- 60GHz帯CMOSTランシーバの高周波チップの開発
- 60GHz帯CMOSTランシーバのアナログベースバンド回路の開発
- 40GHz帯, 中距離ランシーバのアナログベースバンド回路の開発

- プロジェクトの意味

- 予算規模・テーマともに研究室飛躍のきっかけ
- 技術的に超高難易度
- チップを動作させるにはベテランの技術者30人は必要
- 学生が開発し、実動作させるには高度のマネジメントが必要
- 開発に成功し、世界トップの研究室になった

# 2007年当時のミリ波トランシーバ

プロジェクト開始当時のミリ波トランシーバはGaAsなどの化合物半導体を用いたものであったが、伝送速度は実質50Mbpsと極めて低いものだった。ベースバンド回路が不十分であったのが主たる理由であるが、多値変調が使用できなかったからである。そこで高周波特性は劣るものの、将来のコストダウンと多値変調を実現する高度なベースバンド回路が可能なCMOS技術を用いて開発することを決めた。



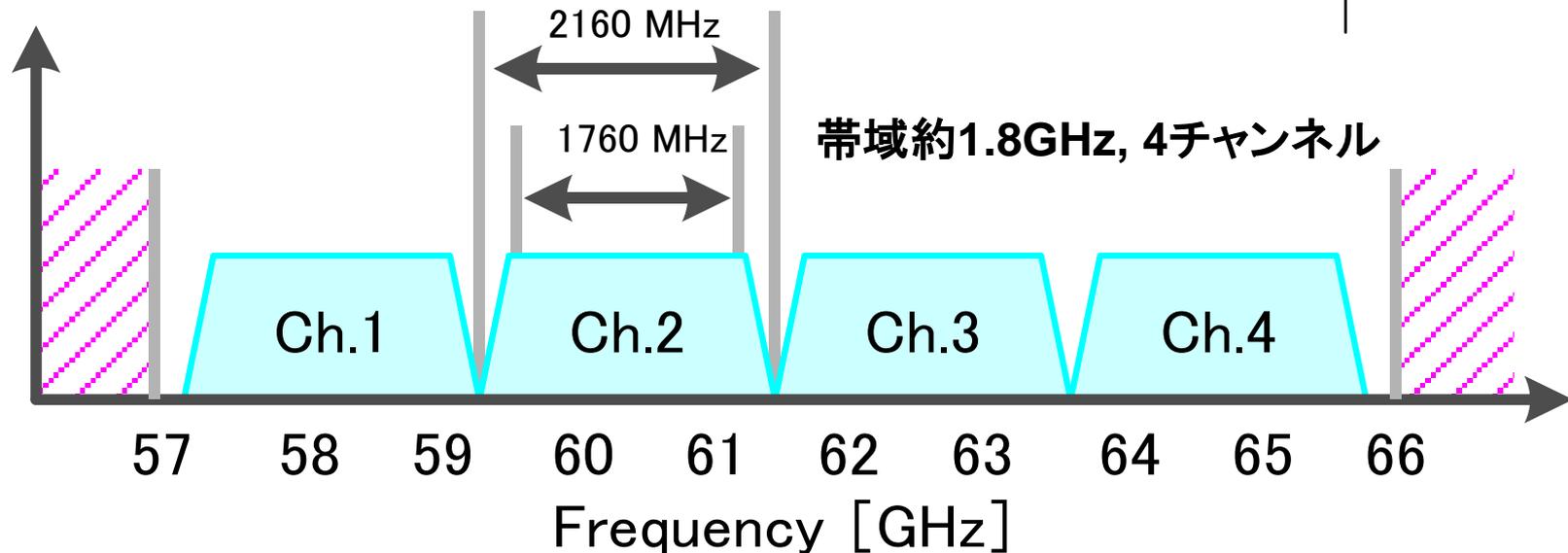
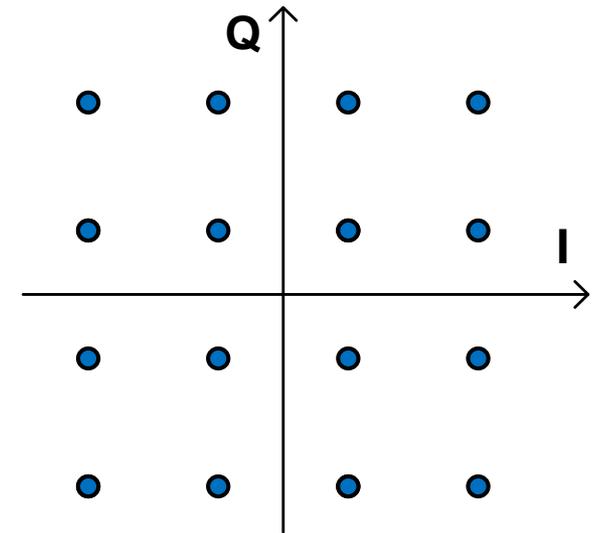
# 60GHz帯の超高速信号伝送

伝送速度を上げるには信号帯域  
と多値数Nを上げることが基本になる

BPSK: 1.7 Gbps  
QPSK: 3.5 Gbps  
16QAM: 7 Gbps  
64QAM: 10.5Gbps

$$D_{rate} \approx N \cdot BW$$

## 16QAM信号



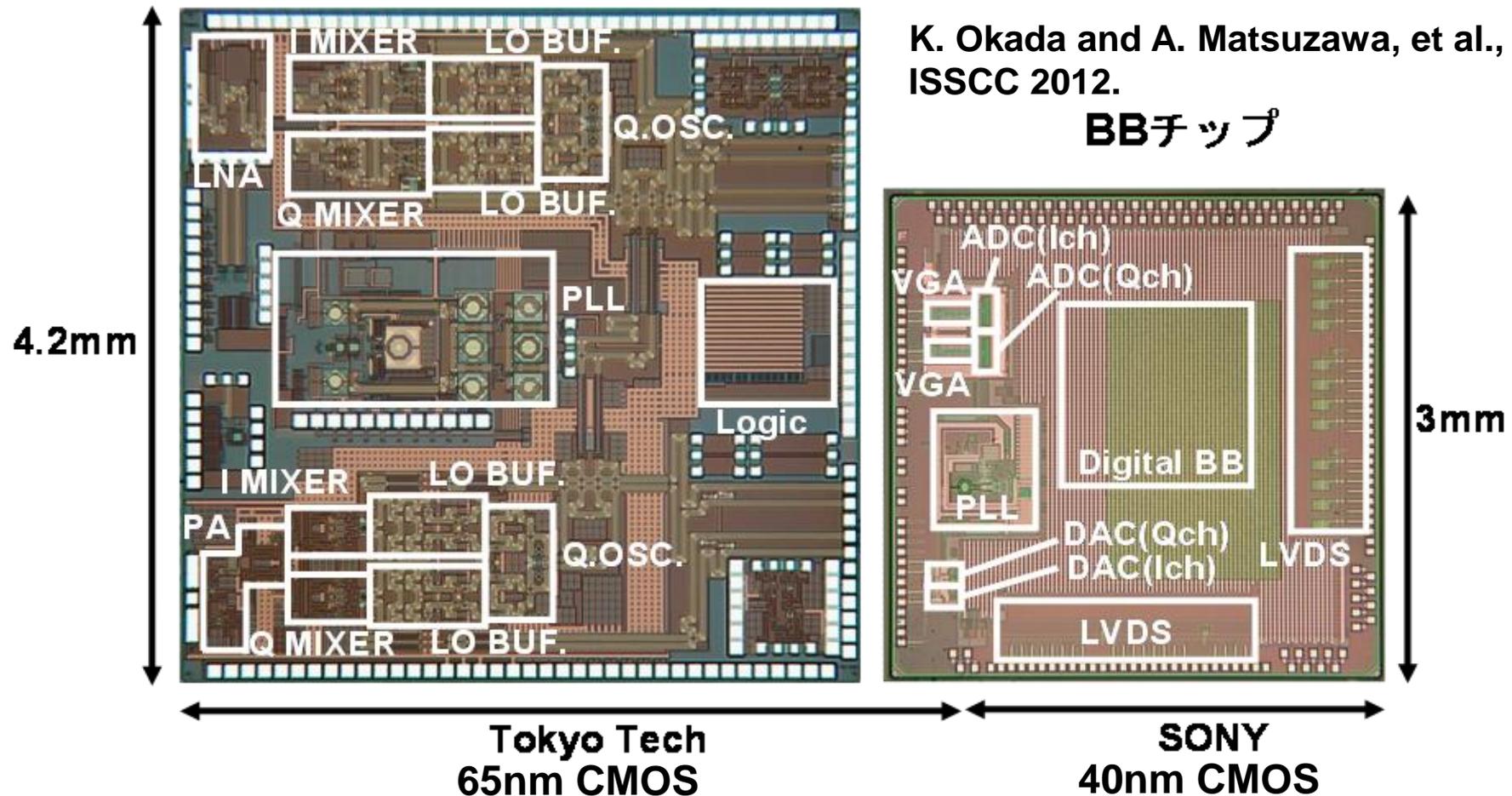
## 松澤・岡田研が開発した60GHzトランシーバ集積回路

### RFチップ

Transceiver=Transmitter+Receiver

K. Okada and A. Matsuzawa, et al.,  
ISSCC 2012.

### BBチップ



Tokyo Tech  
65nm CMOS

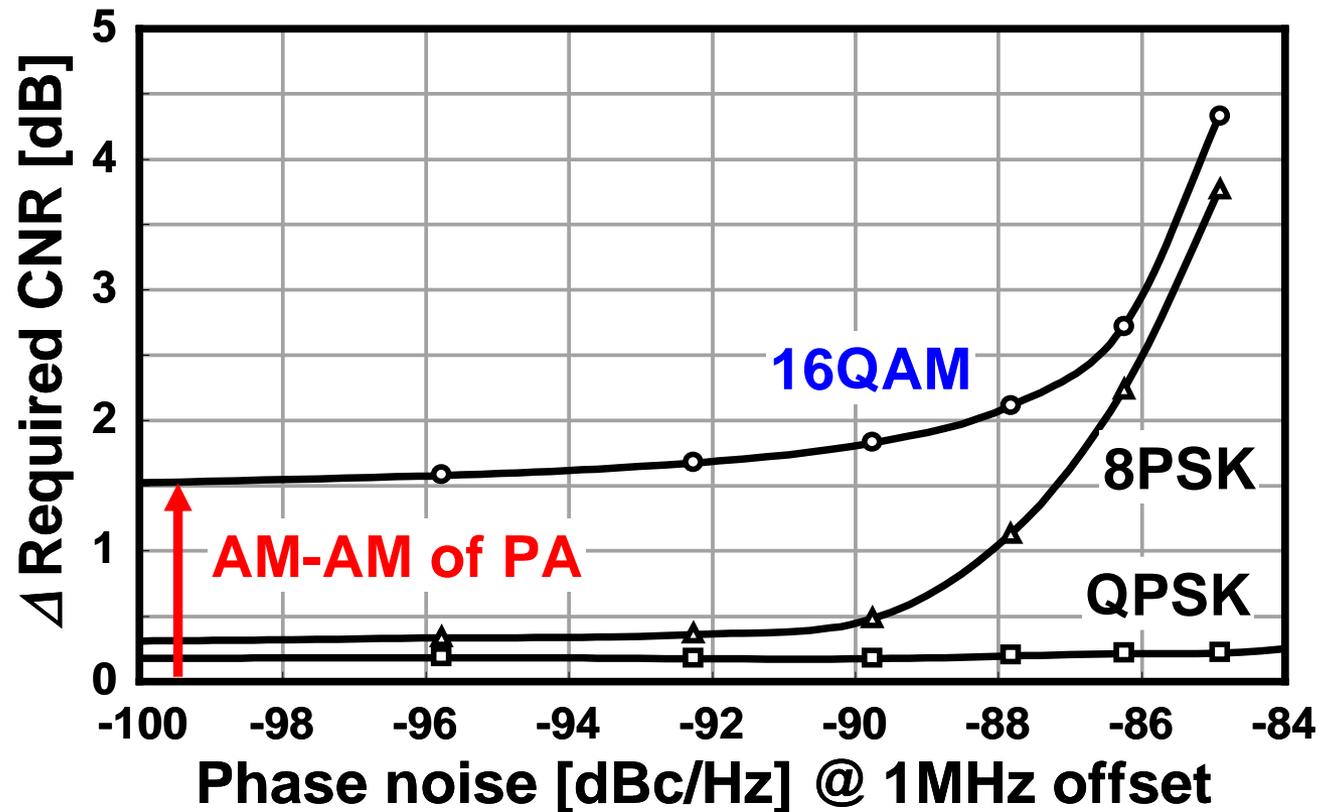
SONY  
40nm CMOS

# 必要な直交発振器の位相ノイズ

16QAMを実現するには-90dBc/Hz@1MHz以下の位相ノイズ  
が必要

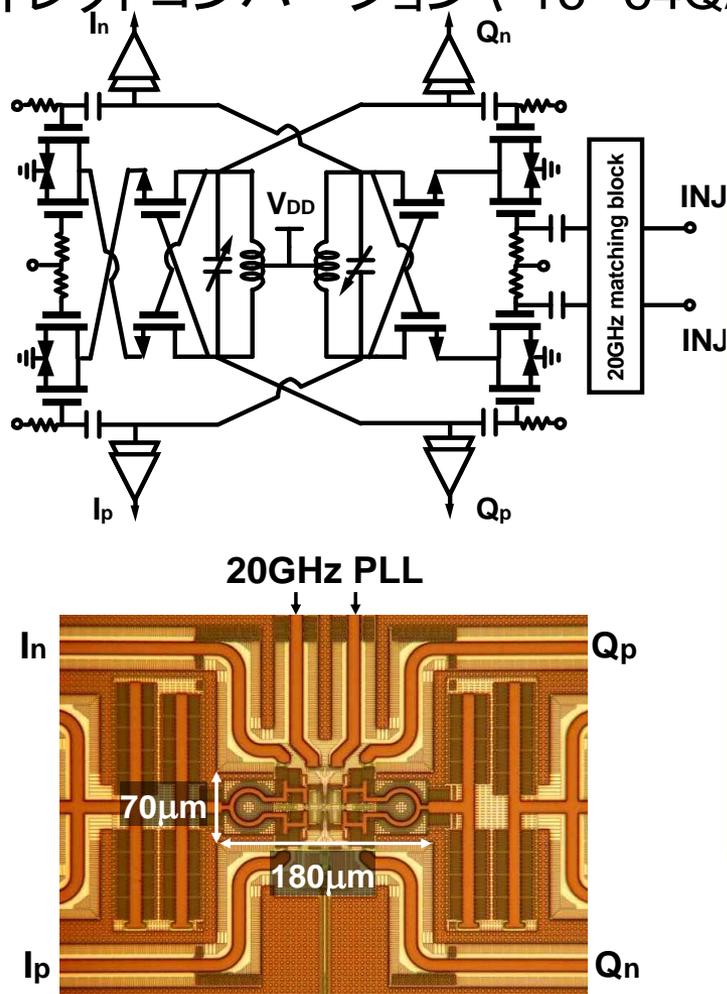
それまでの60GHz帯直交発振器は -76dBc/Hz@1MHz程度

K. Scheir, et al., ISSCC, pp. 494-495, Feb. 2009.

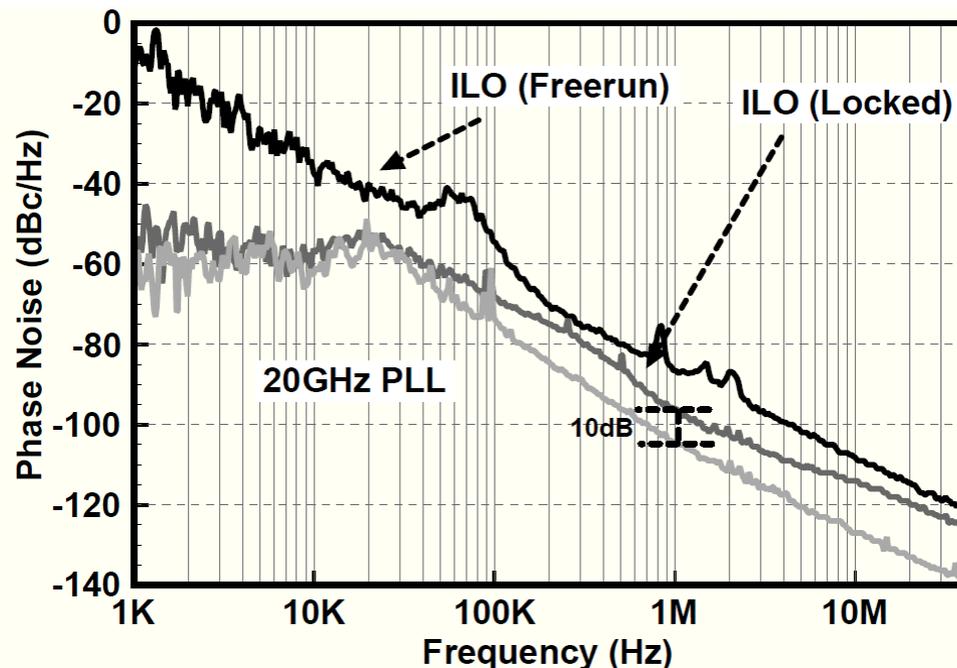


# コア技術：低位相ノイズ直交VCO

60GHzの直交VCOに20GHzのPLLでインジェクションロックをかけることで-96dBc/Hz@1MHzの良好な低位相ノイズを実現。  
ダイレクトコンバージョンや16--64QAMが可能となった。



それまでの60GHz 直交VCOの位相ノイズは-76dBc/Hz@1MHz程度



A. Musa, et al., A-SSCC Dig. Tech. Papers, pp. 101–102, Nov. 2010.

# 得られた伝送特性

複素空間上の位相の揺らぎの抑制が重要

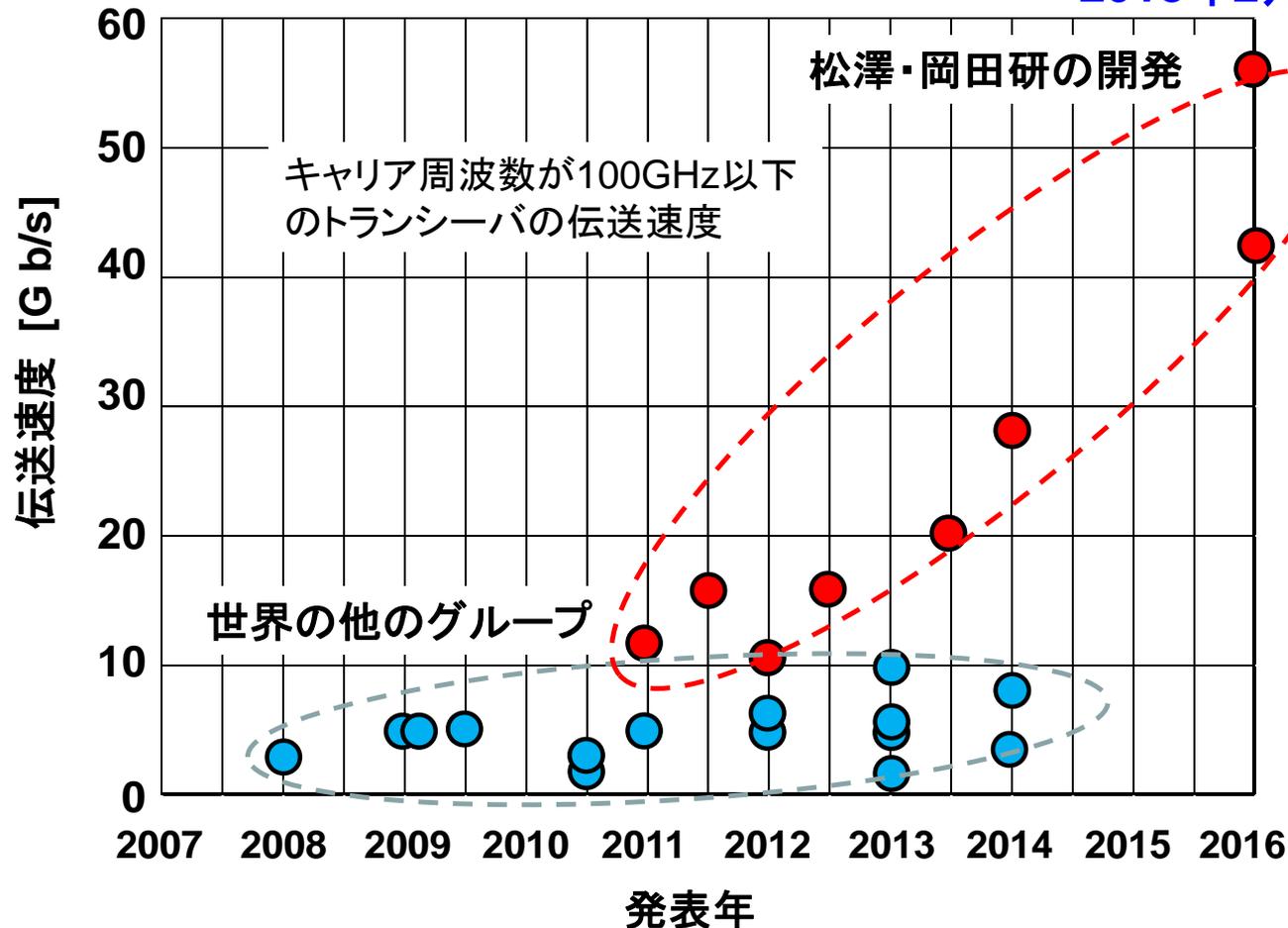
世界初の64QAMを実現

Channel/ Carrier freq.	ch.1 58.32GHz	ch.2 60.48GHz	ch.3 62.64GHz	ch.4 64.80GHz	ch.1-ch.4 Channel bond
Modulation	64QAM				16QAM
Data rate*	10.56Gb/s	10.56Gb/s	10.56Gb/s	10.56Gb/s	28.16Gb/s
Constellation**					
Spectrum**					
TX EVM**	-27.1dB	-27.5dB	-28.0dB	-28.8dB	-20.0dB
TX-to-RX EVM***	-24.6dB	-23.9dB	-24.4dB	-26.3dB	-17.2dB

# 60GHz 帯の伝送速度の進歩

松澤・岡田研究室では無線データ伝送速度の世界記録を更新

2018年2月, 120Gbpsを達成



# ミリ波トランシーバの開発メンバー

61

TOKYO TECH  
Pursuing Excellence

学部4年生から博士課程学生までのチーム

団体戦と個人戦の組み合わせが重要



# ミリ波送受信デモ

62

TOKYO TECH  
Pursuing Excellence

とても小さなパッケージにミリ波トランシーバが入っている。

実用レベルで**世界最高速** 毎秒 6.1Gビットのデータ伝送を達成

ミリ波の実用化に幾分かは貢献



超高速伝送実験の  
デモをお見せします

2016年3月2日  
東工大 本館前

V

V

<http://www.titech.ac.jp/news/2016/033575.html>

# 東工大での研究室の立ち上げと発展

# 東工大への転身

2002年、49歳の時に2003年に松下を退職しますと上司に伝えた。  
2年ほどUCLAで研究員として過ごし、帰国してから会社を設立する予定だった。  
2002年の11月中旬に東工大に来ませんかという電話をいただいた。  
11月下旬に選考面談があり、12月中旬に採用内定をいただいた。  
2003年4月に東工大に着任した。東工大への転身は日経のニュースになった。



技術管理職としてマネジメントに忙殺されていたが、大学教授になれたのは論文や国際学会発表、プログラム委員などの学会活動を継続したことも理由の一つ

- 学会の委員など
  - IEICE 英文論文誌 編集長:1993年 1997年
  - SSDM TPC Vice-chair: 1999-2000
  - SSDM System level integration, (新設) Sub-committee chair: 1999-2001
  - ISSCC Analog sub-committee chair: 2000-2004
  - IEEE Electron Devices Editor in chief: 2001
- 非常勤講師
  - 豊橋技科大: 1997-1999
  - 大阪大学 工学部: 1999-2002
  - 東北大学 工学部: 1999-2014
  - VDEC リフレッシュ講座: 1999-2003
- 論文・学会発表(筆頭, 招待論文・基調講演のみ)
  - アナ・デジ混載SoC: VLSI '97, APCHDL '99, Cool Chips '00, IEDM '00, ISQED '01, ICD'02
  - システム集積やSiP: MRS '97, ADMETA '97,
  - RFCMOS: MW研 '97, SPIE '97, ICD '97, MTTT '98, 琵琶湖WS '99, TMTT'02, 応物'02,
  - 機能集積CMOSイメセン: 映像情報 '97
  - ローパワー技術: , ASPDAC '97, SSDM '01

# 2002年 IEEE Fellowに選出

長年の友人であるUCLAのAbidi教授(RF CMOS技術の先駆者)の勧めでIEEE Fellow(会員の0.1%に制限)に推薦していただき、2002年に受賞した。それまで、そんな大それたことは考えていなかったが、この受賞が人生の大きな転機になった。



# 研究室のメンバー

67

**TOKYO TECH**  
Pursuing Excellence

学生数35名を越す大研究室に成長



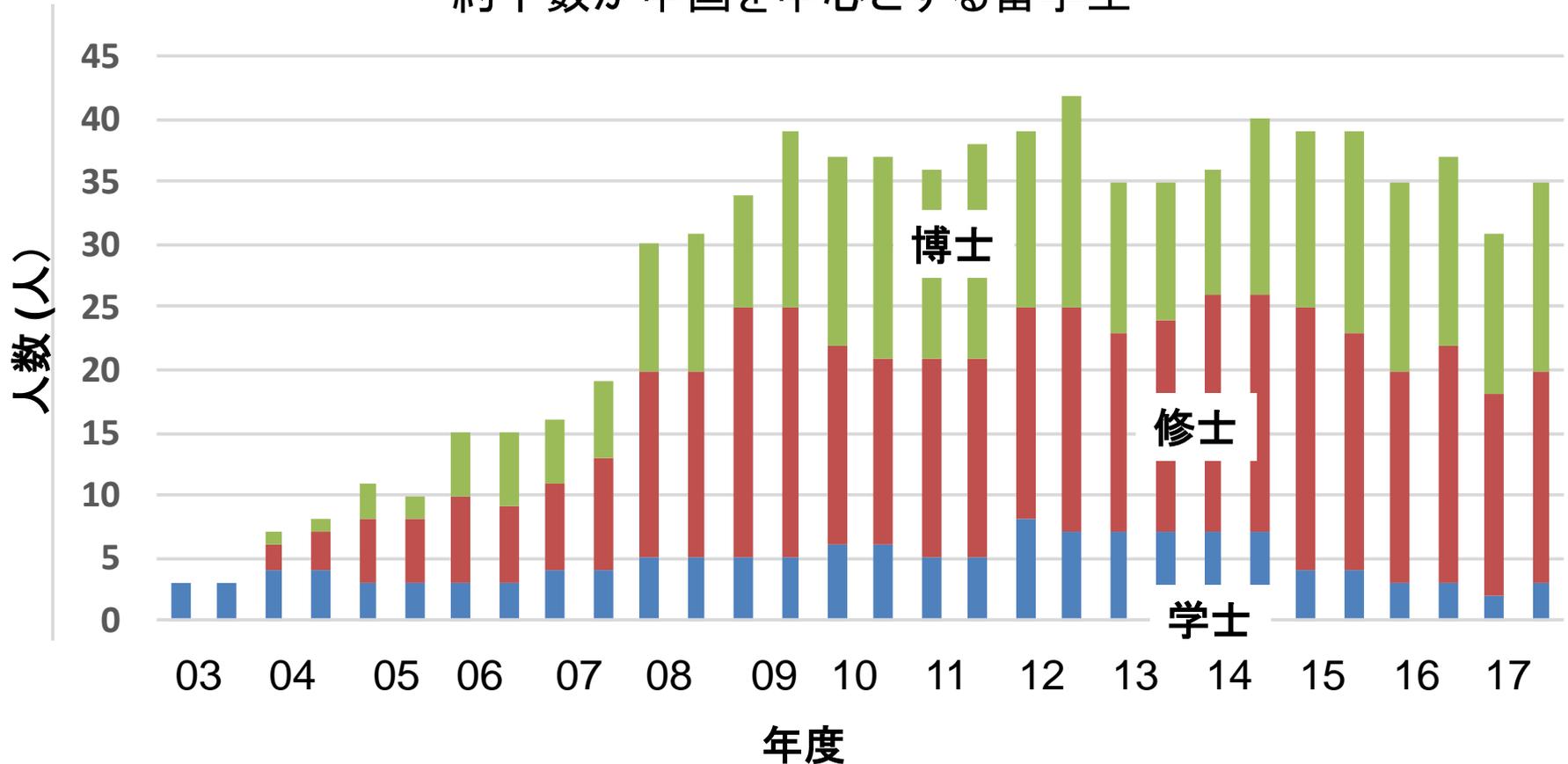
2012/6/1

# 学生数

学生数35名を越す大所帯

典型的な人数：学士6名+修士18名+博士15名

約半数が中国を中心とする留学生



# 博士号取得者

69



## 30名の博士を輩出

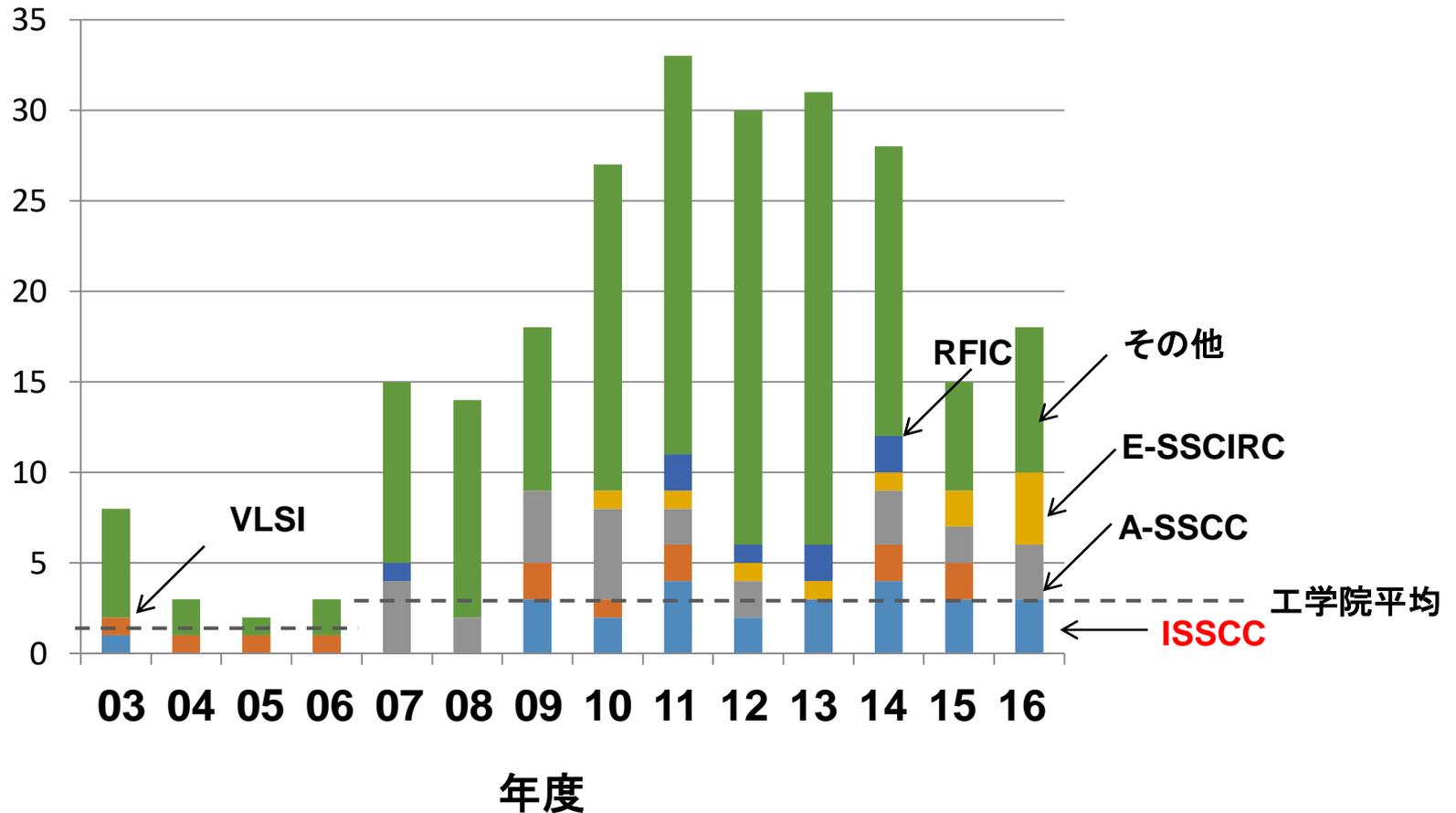
## 88名の修士修了者

取得年月	氏名
2005年9月	道正 志郎
2006年9月	伊藤 信之 (論文博士)
2009年3月	Win CHAIVIPAS
	宮原 正也
	飯塚 邦彦
2010年3月	LI Ning
2011年3月	香西 昌平
2011年6月	倉持 泰秀 (第22条適用)
2012年3月	源代 裕治
	白 戴和
2012年12月	Ahmed Magdi Hassan MUSA
	DENG Wei
	LI Fei
2013年3月	三友 敏也

2013年9月	滝波 浩二
	LEE Hyunui
2014年9月	James Tzu-Chin LIN
2015年3月	WU Rui
	徐 祖樂
2015年6月	塚本 三六
2016年3月	Teerachot SIRIBURANON
2016年9月	YU Lilan
	CHEN Zhijie
	HOU Yu
2017年3月	Aravind THARAYIL NARAYANAN
	YANG Dongsheng
2018年3月	韓 政勳 (第21条適用)
	金子 徹
	Korkut Kaan Tokgoz
	Abdel Martinez Alonso

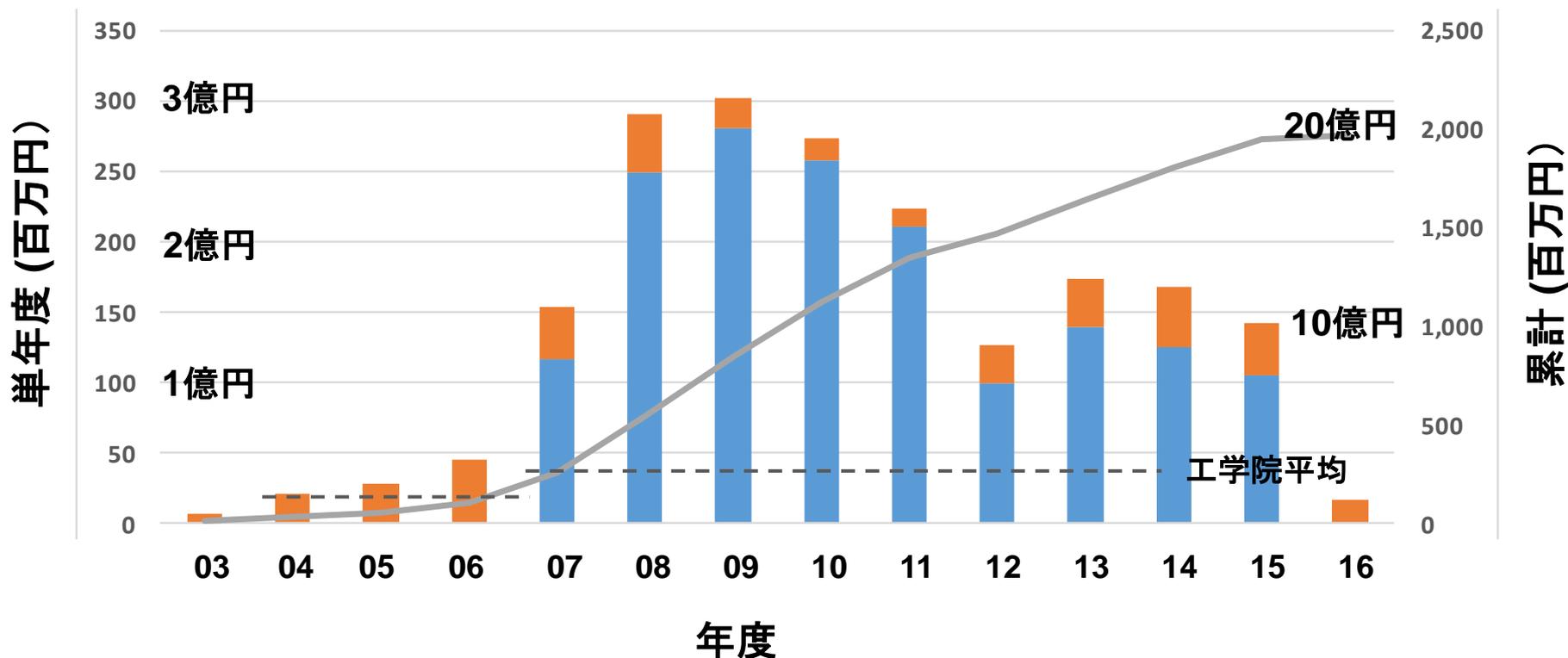
# 国際会議発表

総務省ミリ波プロ開始後、かなりの件数の国際学会発表ができるようになった。  
2009年からは世界最大の国際会議ISSCCに毎年3件は発表できるようになった。  
岡田先生の活躍が大きい。



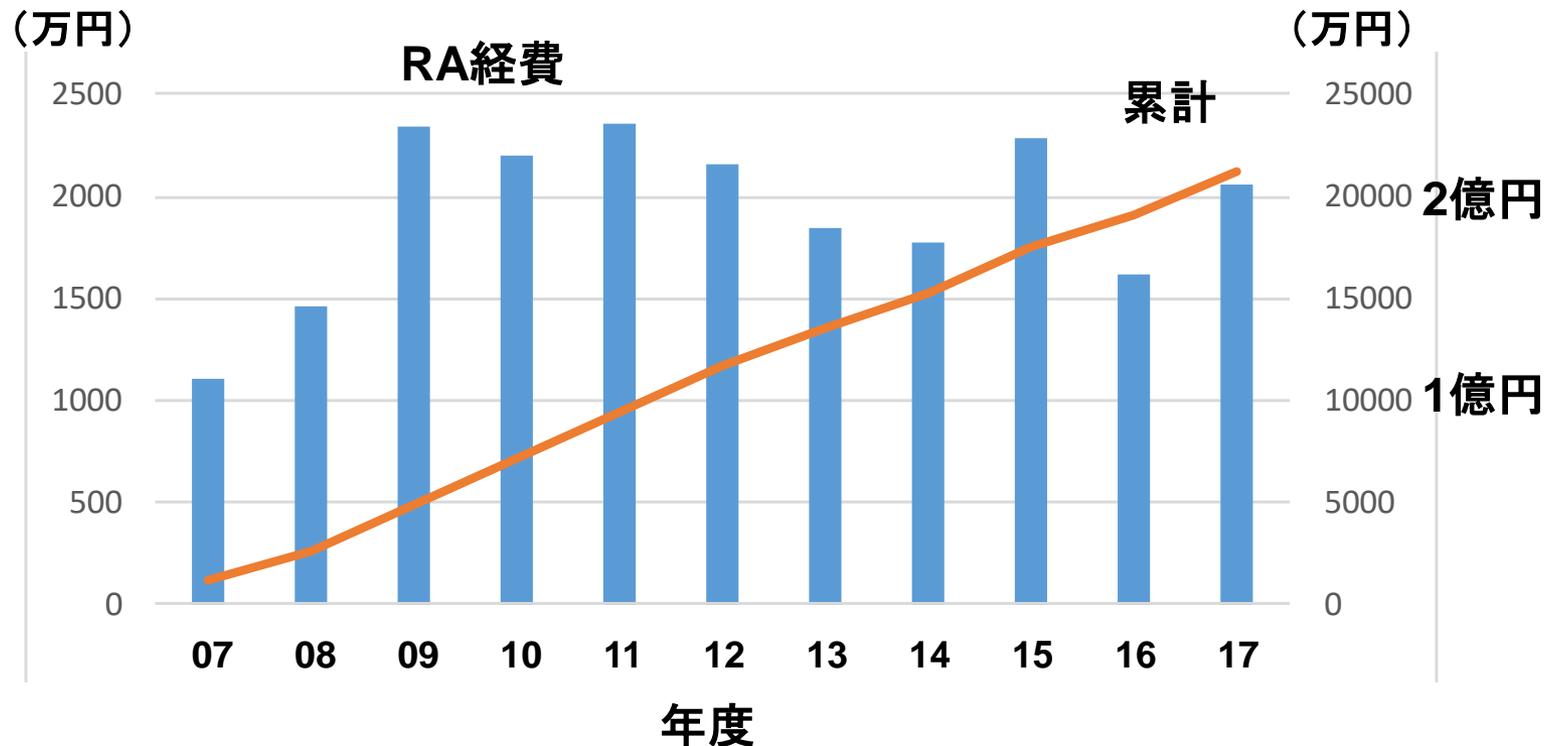
# 研究費

総務省のミリ波研究プロ開始後は9年間にわたり、平均年2億円の予算が確保できるようになった。その他のプロジェクトは平均年3000万円程度である。



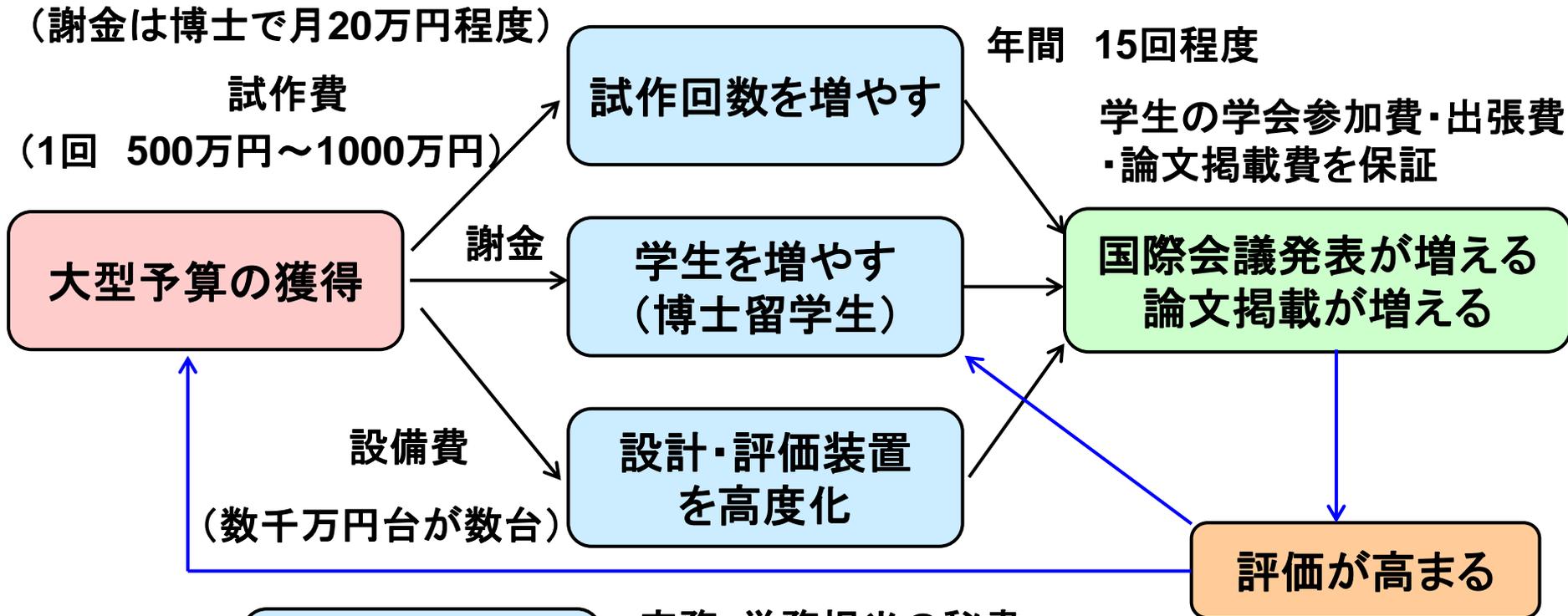
# 学生支援

研究費から年間2000万円程度をRA経費として学生に支給した。博士学生は奨学金と併せて月20～24万円，修士は月5～8万円，学士は月2万円程度を支給した。生活が困窮した場合は奨学寄付金から支出した。  
博士学生は留学生が多いため、**生活の安定が無ければ研究などできない。**



# 研究室の戦略

まずは大型の研究予算を獲得することが重要



盤石のスタッフ

- ・庶務・学務担当の秘書
- ・経費管理担当の秘書
- ・システム管理担当の技官

研究風土の醸成

- ・団体戦と個人戦
- ・学生のチームワークと技術伝承
- ・よく学びよく遊べ

# ホームパーティー

年に2度程度学生を我が家に招待し、ホームパーティーを開催

15-20 students join



# 研究室旅行

研究室旅行は豪華にした。豪華な方が士気が上がる。

2004年11月	草津温泉	1泊2日	
2005年11月	河口湖	1泊2日	
2006年11月	河口湖	1泊2日	
2007年11月	ソウル	3泊4日	
2008年10月	猪苗代湖	1泊2日	17,000円
2009年11月	台北	4泊5日	90,000円
2010年10月	沖縄・石垣	3泊4日	84,000円
2011年10月	八丈島	2泊3日(中止)	45,000円
2012年11月	石和温泉(山梨)	1泊2日	23,500円
2013年10月	札幌・小樽・旭川	2泊3日	65,000円
2014年11月	台北	3泊4日	88,700円
2015年10月	沖縄	2泊3日	60,000円
2016年10月	伊東温泉	1泊2日	25,000円
2017年 8月	河口湖	1泊2日	17,000円



2009年の台湾旅行  
国立臺灣大学を訪問

中央は C-K Wang先生

# 教育活動

教育に関しては松下時代，東工大時代を通じて熱心に取り組んだ方だと思う。自分が獲得したものはできるだけ皆に伝えていきたいと考えている。学びながら教え，教えながら学んできた。



松下時代の講義の様子

ADCやアナログCMOSのパイオニアとして、社内外の教育活動を行った。

## CDROMのビデオ教材

河崎さんのシステムLSI技術学院で、撮影、編集、販売。  
SONYでは400人くらいの技術者が利用したと聞いている。



- **デジタル信号処理技術(社内研修講師)**
  - 年2回程度:ADC, DACの部分を担当
  - 33才~40才まで担当
- **ADC, DACに関する社外の研修講師**
  - 年2回程度, 対象は他社の技術者
  - 日本でADC開発を行う技術者はたいてい受講している
- **大学の非常勤講師(集中講義)**
  - 阪大, 東北大, 豊橋技科大
  - VDECのセミナー
- **半導体グループのアナログCMOS回路設計教育**
  - 年間12テーマを設定し, 分担
  - 一部をシステムLSI学院がビデオ教材化し, 外販

アナログ, アナ・デジ, ローパワー関係の開発を担当

メンバーで手分けして,アナログCMOS設計のテキスト・CDROMを作成



2004年～2012年まで日本情報技術センターでアナログCMOS技術を中心とする技術セミナーを開催。1000名程度の技術者が受講した。

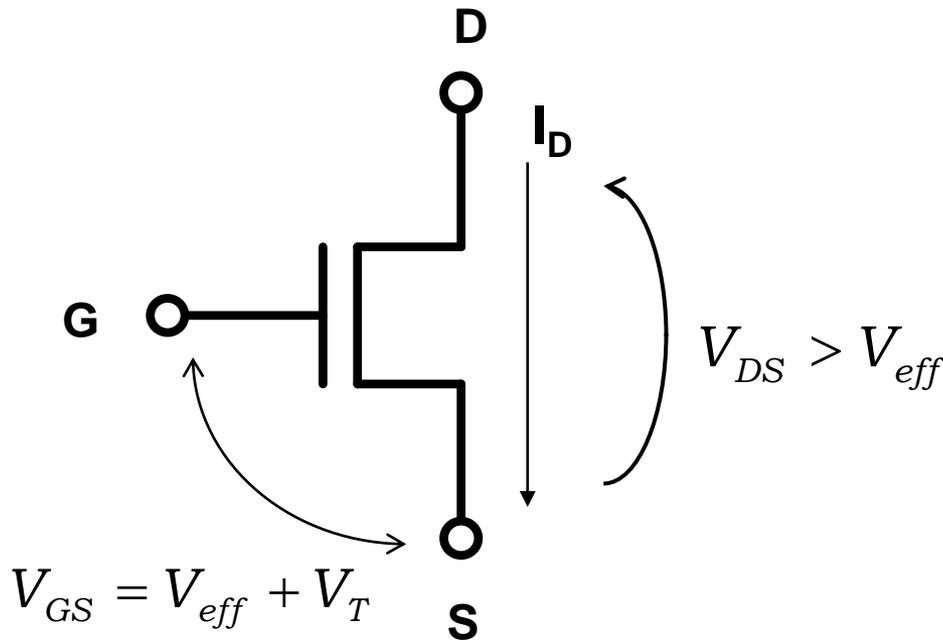
このセミナーは5回シリーズに縮小し、STARCでのセミナーに引き継がれる

- 電子回路設計とアナログ・デジタル信号処理の基礎
  - CMOSデバイス
  - アナログCMOS回路とOPアンプ設計の基礎
  - CMOS ADC/DACの基礎
  - パイプライン型CMOS ADC設計
  - シミュレータを用いたアナログCMOS回路設計1
  - アクティブCMOSフィルター設計
  - $\Sigma\Delta$ ADC, DAC設計
  - PLL設計
  - RFCMOS回路設計 1 (ワイアレスシステムとその基礎)
  - RFCMOS 設計 2 (基本RF-CMOS回路)
  - 回路・システムシミュレーション技術
  - アナ・デジ混載LSI設計とデジタルアシスト技術
  - シミュレータを用いたアナログCMOS回路設計2
- 12回通し受講 189,000円  
基礎5科目選択 97,500円  
1回選択 31,500円
- 土曜日の空いた教室を利用して、受講料を下げた

私のアナログCMOS回路設計法の最大の特徴は、それまで多くのパラメータが必要であった、 $g_m$ ,  $g_D$ の計算をドレイン電流 $I_D$ , 有効ゲート電圧 $V_{eff}$ , アーリー電圧 $V_A$ だけを用いることで簡単にできるようにしたことである。

$V_{eff}$ ,  $V_A$ は最初にトランジスタの特性抽出さえしておけば、あとは簡単に計算できる。実践的な設計経験と学問的洞察から生まれたものである。

MOSTランジスタ



$$i_D \approx g_m v_{GS} + g_D v_{DS}$$

$$g_m = \frac{2I_D}{V_{eff}}$$

$$g_D = \frac{I_D}{V_A}$$

# 書籍の出版

書籍(テキスト)の執筆は時間がかかる作業で、休日のかなりの時間を費やした。しかし、次の世代を担う若者への最大の贈り物である。



# 最近出版したテキスト

82

TOKYO TECH  
Pursuing Excellence

東工大，電気電子系の教育改革で，授業内容を見直した。  
基幹科目である「電気回路」のための新しいテキストを出版。

講談社：2021年



# 授業

青字は新設授業

授業はそれなりにやったつもりである

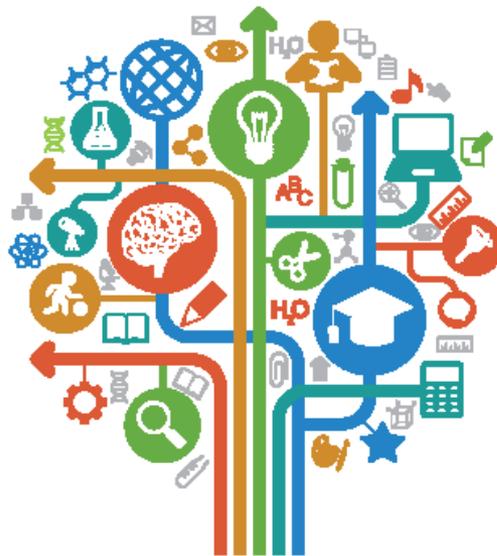


## 東工大電気電子系の教育改革の方向性を日経エレに発表

### 学生を「最強の技術者」に 東工大が挑む教育改革

松澤 昭

東京工業大学 大学院理工学研究科 電子物理工学専攻



「世界最高レベルの理工系総合大学」の実現を目指して  
2016年度の開始をめぐり教育改革を進める東京工業大学。  
その一環として同校の電気系学科は  
カリキュラムや教育法を大胆に変えようとしている。  
自動車や医療、建築、農業など多くの産業で電気系人材への需要が高まる  
動きを受け、第一線で活躍できる技術者の育成を最優先する。  
同校の松澤教授に改革の狙いと概要を解説してもらった。(本誌)

日経エレクトロニクス  
2014年8月18日号

- 現状課題の把握
  - 30名程度の学生への教育課題の聞き取り調査
  - 必修20科目のテキストや教授資料を自ら分析
  - 複数教員でのレビュー: 授業内容, 配布資料, レポート
  - 授業参観の実施
- 電気電子系の教育改革の実施
  - 基盤的知識の明確化と体系化とカリキュラムチャートの作成
  - 科目データベースの構築
  - 科目概要の作成
- シミュレータ活用の推進
  - MATLABの無料化へのプッシュ
  - MathWorks社から支援の取り付け
  - MATLAB普及のためのセミナー開催とTAの活用
- 電気系科学技術懇話会の設立
  - 年間7回程度: 教員が学生や他の先生方に専門分野を分かりやすく伝える
- 電気系若手教員FDの会の設立

理工系教育の革新において、シミュレーションプラットフォームは極めて重要である。

東工大では27年度から全ての教職員、全ての学生がフリーで世界標準の科学技術計算ツールのMATLAB® を利用できるようになった。

## 取組み

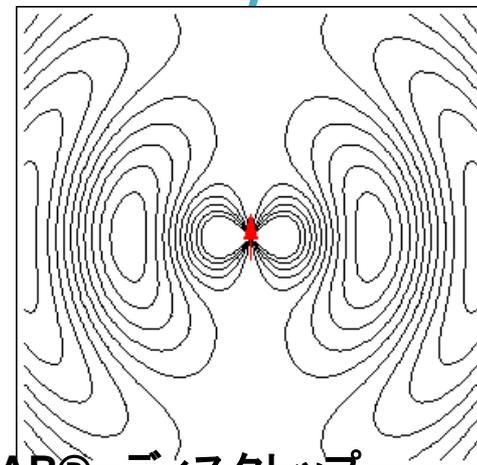
- ・2名のTAによる技術サポート
- ・教員・学生向けのセミナー開催
- ・授業・実験での使用のサポート

## ねらい

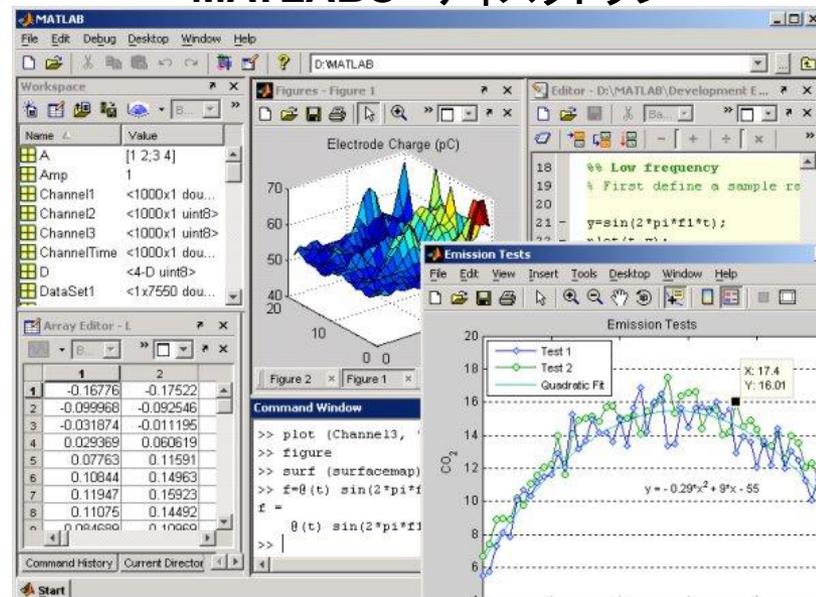
- ・理論の可視化による理解の促進
- ・ハードウェアとのリンクによる実験
- ・学生のプログラミング技術の向上
- ・意欲のある学生は自ら、プログラミングシステムを構築

**意欲的な学生をどんどん伸ばす仕組みが必要**

電磁波の様子(理論の可視化)

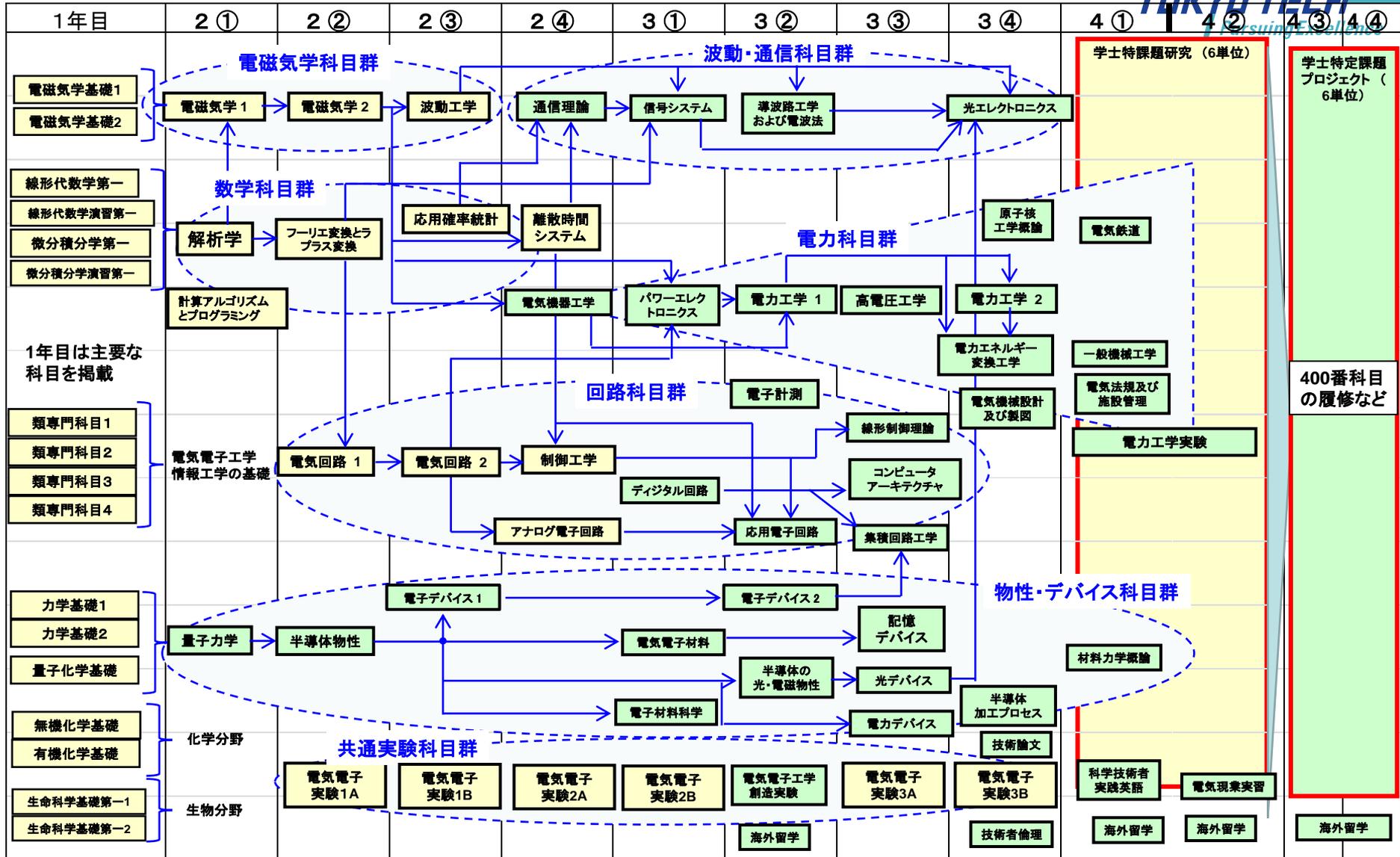


MATLAB® ディスクトップ



世界で5000校以上の大学で採用

# 電気電子系(学部)のカリキュラム体系の構築



黄塗は必修 緑塗は選択

2012年、三島学長の強いリーダーシップのもと東工大の教育改革が始まった。このときは電気電子系の教育改革に取り組んでいたが、翌2013年からは全学の教育改革に取り組んでほしいとの要請を受け、大学改革本部ディレクターとして全学の教育改革に取り組んだ。70年に一度の大学の改革に参画できたことは幸せだったと思っている。

2016年4月  
東工大の教育が  
変わります

— 東工大教育改革の骨子 —

2014年6月27日 学長 三島良直



科学・技術の力で  
世界に貢献するため

学生が自ら進んで学び、  
鍛錬する“志”を育てたい

学長 三島良直

- ・現代に適した知識体系と教育手法
- ・広い学問領域を学べる
- ・どんどん上に行ける制度
- ・シミュレータの活用
- ・自習環境の整備

- ・理工学の感動を伝える

卓越した専門性

- ・文系とわたりあえる力

- ・留学(短期を含む)
- ・国際学会発表
- ・語学力の強化
- ・国際インターシップ
- ・海外の大学との共同研究

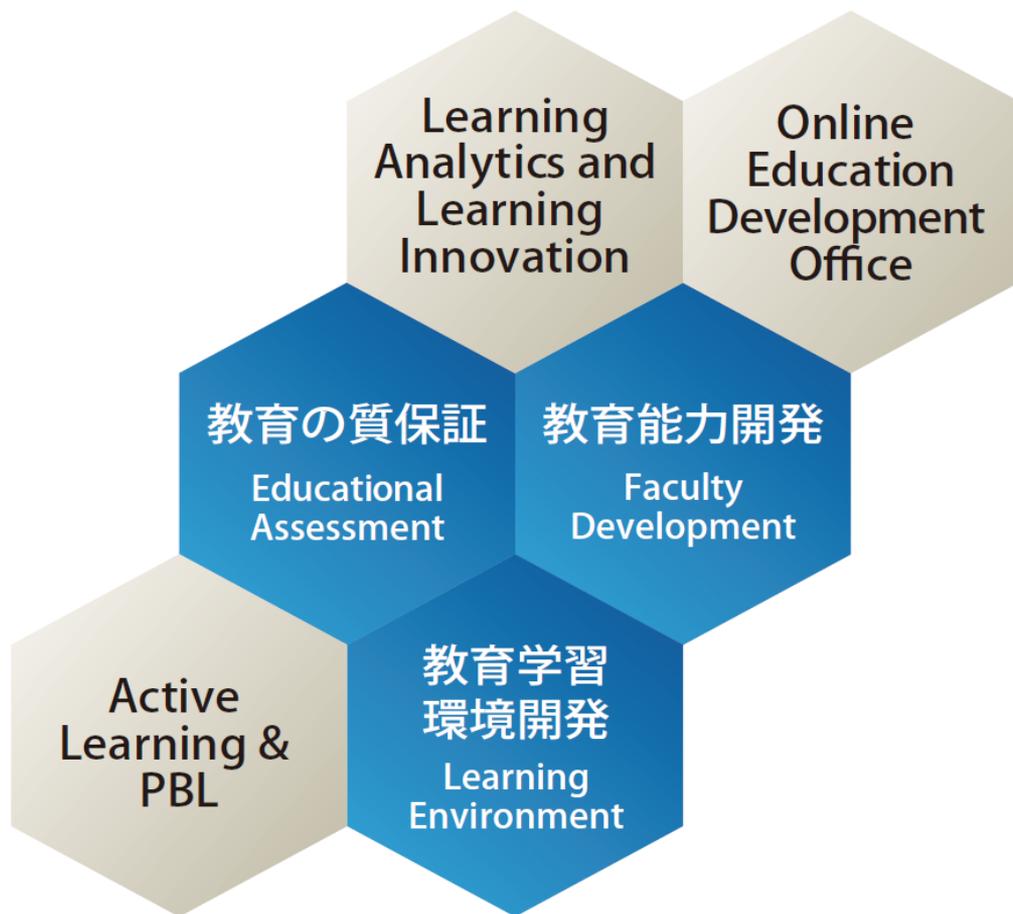
国際性

リーダーシップ

- ・リベラルアーツの充実
  - 1年次: 立志プロ
  - 3年次: 教養卒論
- ・理工系教養
  - (1年次 生物を必修)
- ・コミュニケーション力の強化

# 教育革新センターの新設

教育の質の向上を図るための新たなセンターを2015年4月に開設  
専任教員を3名採用



**OEDO**

Course production, consulting & training  
Learning outcome based research



Tokyo Tech

**Center for  
Innovative  
Teaching and  
Learning**

- 教育の質保証
  - 授業評価の実施とフィードバック
  - 成績分析の試行
- 教育方法の開発
  - アクティブ学修支援制度
  - GSA: 学生が主体的に学修に取り組む教育方法の開発
  - LPG: 学修効果を図りながら自らの育成を図る教育手法の開発
  - シミュレーターを用いた理工系教育への支援
- 教育能力の開発
  - 科目設計法セミナー
  - 新任教員および助教のためのセミナー
  - 英語で授業を行うためのセミナー
  - 学務系職員セミナー
  - 授業における動画活用のセミナー
- 学修環境の開発
  - MOOCの開発
  - アクティブ学修に適した教室環境の提案
- 国内外の有力大学との教授法に関する交流

科目設計に関するマニュアル(基礎と実践)の作成と  
オンライン配布 ビデオ教材の作成とオンライン配布を行った

実践的科目設計法は私が著述した



教育の質を上げるには、教員の教授力を上げる必要があるので各種FDセミナーを開催している。大抵の先生はセミナー受講を嫌がるが一旦受講すると、それなりに楽しんで帰られる。

## アクティブ学習に関するセミナー



## 英語表現のセミナー: British Council



## 学会活動

松下時代の初期の頃から今日まで、学会活動に従事できたことは幸せであった。初めの頃は、先輩に大変にお世話になった。40才以降は後輩にその恩返しをしているつもりである。

忙しいのによく学会活動ができましたね。と言われるが、会社の仕事だけでは気持ちが出なかつたのではないかと思う。

学会活動がもう一本の軸となつたので今日まで来ることができた。

学会は電子情報通信学会(IEICE)とIEEEがメインであった。論文発表を行い、座長や議長、副会長、編集長などを務め運営にもタッチしたが、パネルディスカッションなどによりオピニオンリーダーとしての役割を果たした。ISSCCのパネルはパネラー・オーガナイザーとして10回くらい、VLSIシンポも10回くらいは参加した。ISSCCではベストパネルアワードを3回受賞している。技術などの方向性論議は楽しい。

## パネルのテーマ

- ・ADC技術の方向性
- ・アナログ技術の方向性
- ・低電圧アナログ技術
- ・低電力技術
- ・プロセッサの低電力化
- ・CMOS RFの可能性
- ・SoC vs. SiP
- ・アナログEDAの方向性
- ・デバイス開発の方向性
- ・ミリ波技術の方向性
- ・技術者の教育
- ・創造力を発揮するには
- ・研究から事業化まで
- ・SoCのビジネスモデル

集積回路研究会発足10周年記念行事として、当時幹事であった私が提案したもの。国内では泊りがけでの交流が無かったので、2泊で開催。ラフォーレ琵琶湖は松下と提携していたので、格安で、宿泊や会場を使うことができ、夜は部屋で研究者間の論議で盛り上がった。その後、毎年開催となり、300人程度が参加する大きなワークショップに成長した。

## 現在:LSIとシステムのワークショップ

### プレステを開発した久夛良木さんも招待した

#### 講演資料集 目次

1. 「システムLSIにおけるパラダイムシフト」…………… 1  
東芝 香山晋
2. 「電子情報産業の構造変化とLSI産業へのインパクト」…………… 11  
日経BP 西村吉雄
3. 「LSI産業の課題と展望：DRAMのトレンドはいつまで続くか？」…………… 19  
ランバスタ 直野典彦
4. 「メモリLSI(DRAM)の誕生から未来まで」…………… 43  
富士通 田口真男
5. 「マイクロプロセッサの誕生から未来まで」…………… 59  
VMテクノロジー 嶋正利
6. 「エンターテインメントを支える半導体」…………… 65  
SONYエンターテインメント 久夛良木健
7. 「マイクロプロセッサの技術課題と21世紀への展望」…………… 82  
NEC 矢野陽一
8. 「メディアプロセッサ」…………… 85  
東大 桜井貴康
9. 「DRAM/ロジック混載時代および並列処理時代のLSIアーキテクチャ」…………… 109  
九大 村上和彰
10. 「混載メモリ技術」…………… 143  
三菱 熊野谷正樹
11. 「DRAM混載システムLSI技術」…………… 157  
日立 渡部隆夫
12. 「システム機能化技術」…………… 168  
松下 畑田賢造

第1回目は手作りのWS。会場準備、予稿集作成宿泊の部屋割りなど殆どすべてを自分で行った。

## 1996年, 11月, ラフォーレ琵琶湖



CMOSアナログ回路技術やシリコンRF回路技術の高まりを背景に、益先生、小野寺先生、谷口先生などの協力のもと、学生や技術者の交流や、技術知識の共有を狙いに信学会・エレソの時限研究会を提案。2004年にスタートしその後、集積回路研究会傘下の研究会として2016年まで継続した。

- 年4回程度の開催
- 学生間の交流を重視
- 設計・評価などのノウハウを議論できるようにする
- 成果を競うだけでなく、全体の技術レベルを上げる
  
- 通常の研究会は6ページ程度の予稿が必要であるが、半ページの要旨で、かつ提出が1週間前と、**発表のハードルを大幅に下げた。**  
(研究者の交流が目的の研究会の原点に還った)

- CMOSイメージセン用超低ノイズ・低電力ADCの開発
- アナ・デジ技術を用いたAIプロセッサー用超低電力積和演算器の開発
- ソフトウェアアナログ技術
  - プログラムでアナログ回路を設計する

# 応答線形化RDACを用いた 部分多重変換シングルスロープADC

松澤 昭, アブデル アロンソ, ユ リラン, サン ミヒュク, 宮原正也

(株) テックイデア

- 開発目的
  - CIS用超低ノイズコラムADCの実現
  - 通常のSS-ADCのピッチ, 変換時間を維持し, 消費電力を下げる
- 開発技術
  - 部分多重変換技術(PMC)
    - 約66mVの限られた信号範囲をスイープし多重変換を行う
    - リセット変換時間は増えるが信号変換時間は変わらない
    - 信号全域で読出しノイズをショットノイズ以下に保つ
  - 応答線形化RDAC
    - デジタルステップの印加により消費電力増なしで高速・高精度なランプ波を発生
    - RDACの採用で更なる低消費電力化を図る
- 得られた結果
  - CDS後変換時間4 $\mu$ sで**32.5 $\mu$ V**の読出しノイズ。ADCの消費電力は34 $\mu$ W
  - DACはADC 1個あたり**0.9 $\mu$ W**の低消費電力
  - **90dB**のダイナミックレンジと**183dB**の高いFoMs(DR)

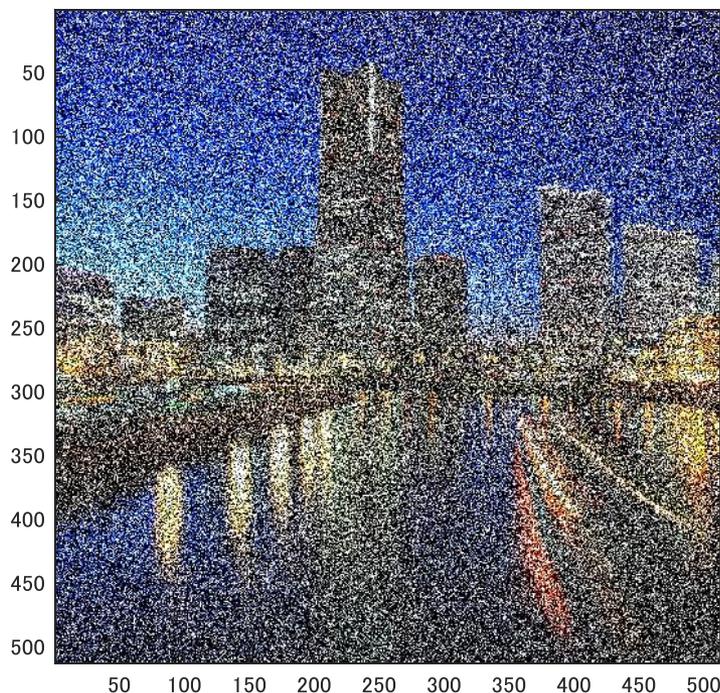
# 低ノイズADCの必要性

CIS用ADCはまだ十分な低ノイズに達していない  
消費電力と変換速度を犠牲にしない低ノイズ化が求められる

## 電子10個レベルでの画像シミュレーション

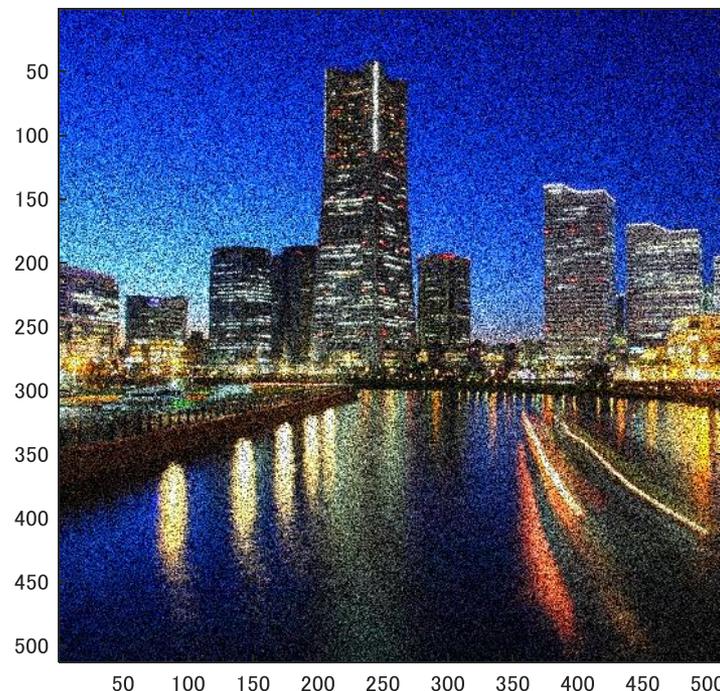
読出し noise: 150 $\mu$ V (現行)

物体が判別できない



読出し noise: 30 $\mu$ V (目標)

物体が判別できる



SS-ADCのノイズは比較器で決定され、ランプ波のスロープや容量の依存性は小さいので、従来の方法では読出しノイズは容易には下がらない

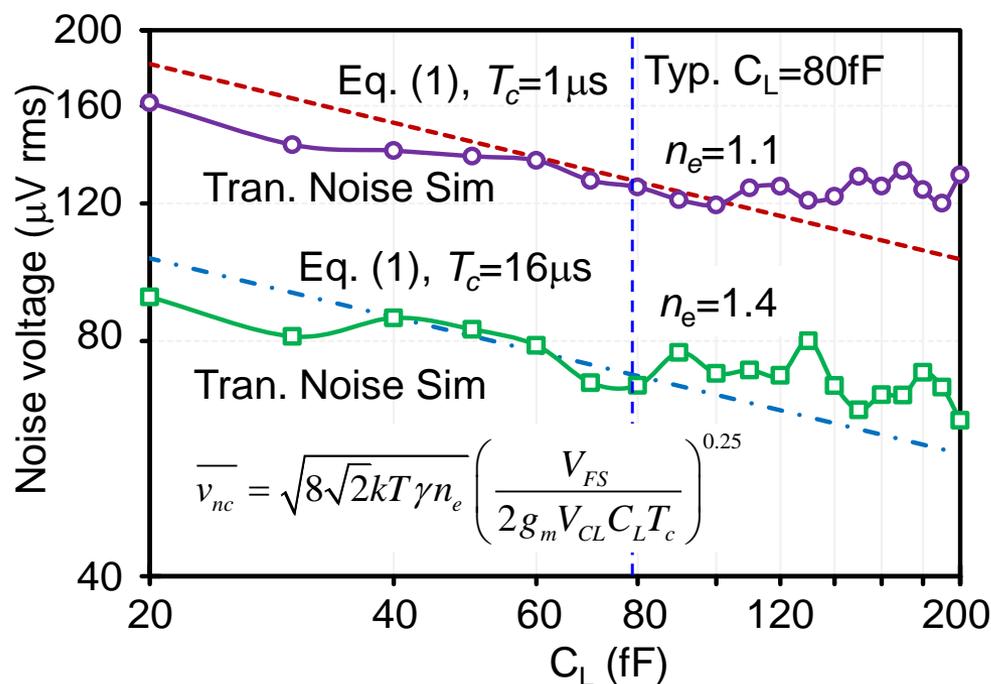
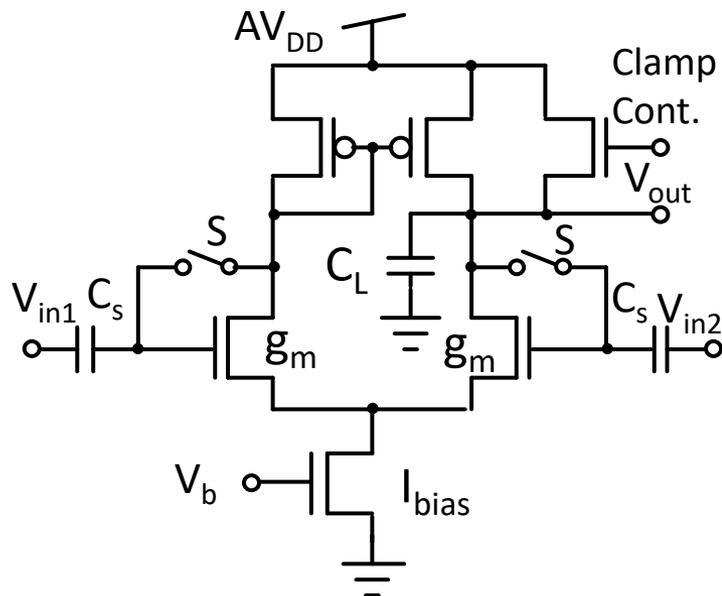
現行のSS-ADCのノイズレベルは**140 $\mu$ V**程度

導出したノイズ式

$$\overline{v_{nc}} = \sqrt{8\sqrt{2}kT\gamma n_e} \left( \frac{V_{FS}}{2g_m V_{CL} C_L T_c} \right)^{0.25}$$

ADCのクロック周波数を上げててもノイズは下がらない  
 パラメータの0.25乗なのでパラメータ依存が小さい

$T=300^\circ\text{K}$ ,  $\gamma=2/3$ ,  $V_{CL}=0.55\text{V}$ ,  $V_{FS}=1.0\text{V}$ ,  $g_m=50\mu\text{S}$

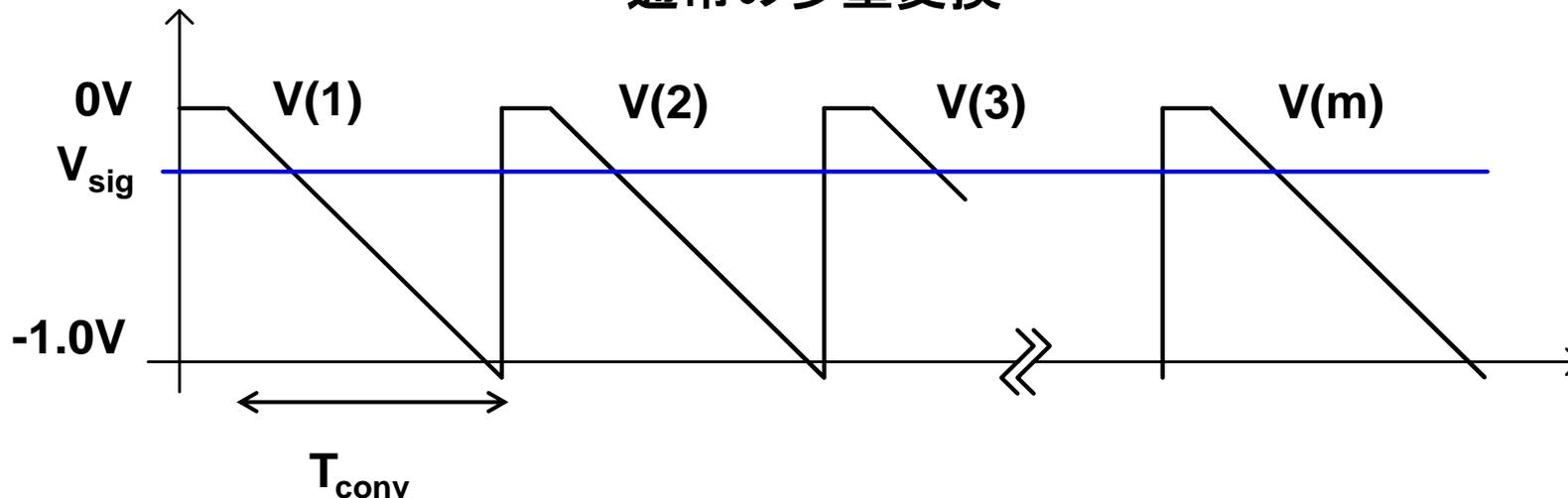


多重変換によりノイズは下がるが、フレームレートが下がり、消費電力が増大する

$$M \text{ conversion} \rightarrow V_{noise} \propto \frac{1}{\sqrt{m}}, f_{conv} \propto \frac{1}{M}, P_d \propto M$$

m=16, 変換時間 32us  
CDS で更に2倍 64us

通常の多重変換



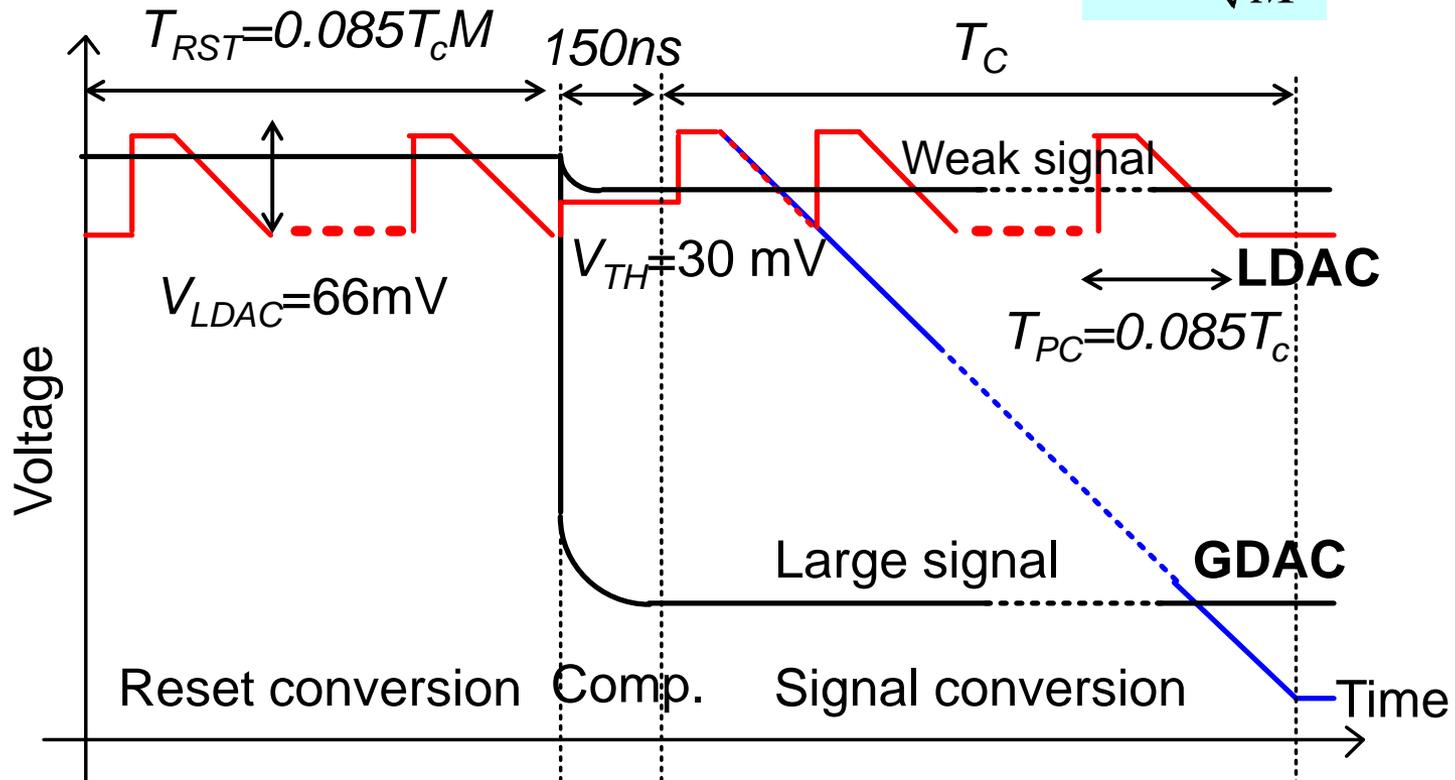
# 部分マルチ変換

30mV程度の微小信号にのみマルチ変換を行うことで、変換速度を落とさずにノイズレベルを下げる事ができる  
(スイープのオーバーヘッドがあるので、スイープ範囲は66mV)

## アナログ+デジタルCDS

$$V_n \propto \frac{1}{\sqrt{M}}$$

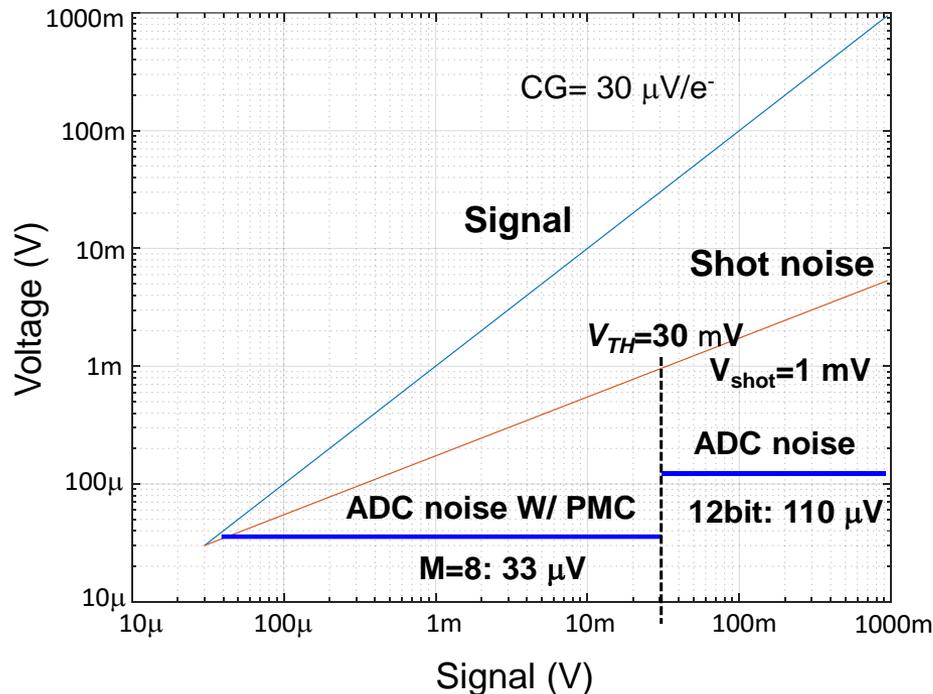
M: 変換数



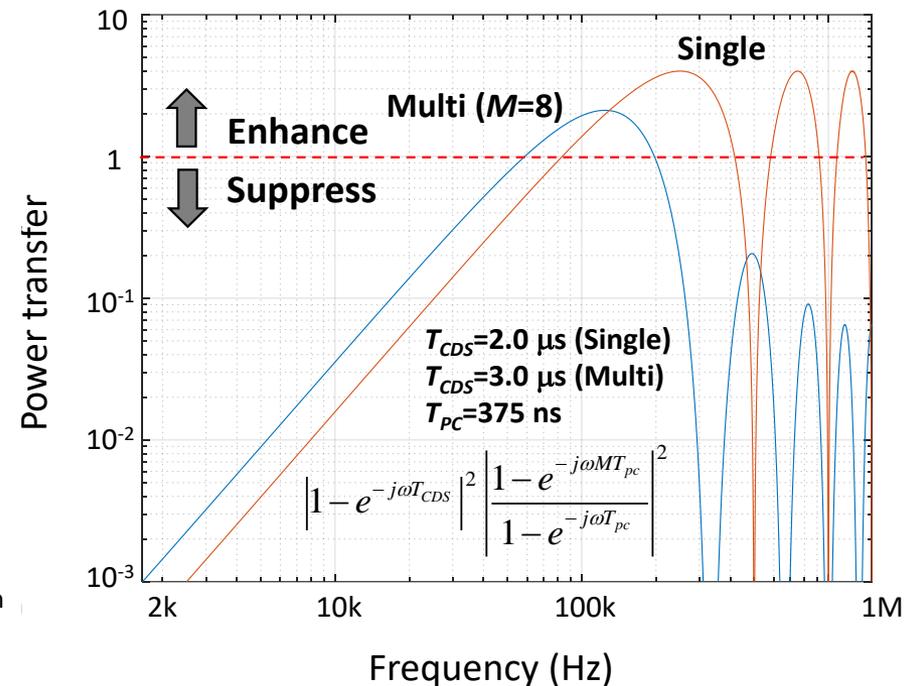
# 部分マルチ変換の効果

部分マルチ変換により変換速度を犠牲にすることなく、微弱信号領域のノイズを下げるができる。また画素を含む $1/f$ ノイズの高周波成分を抑制することができる。

### 読出しノイズはショットノイズ以下

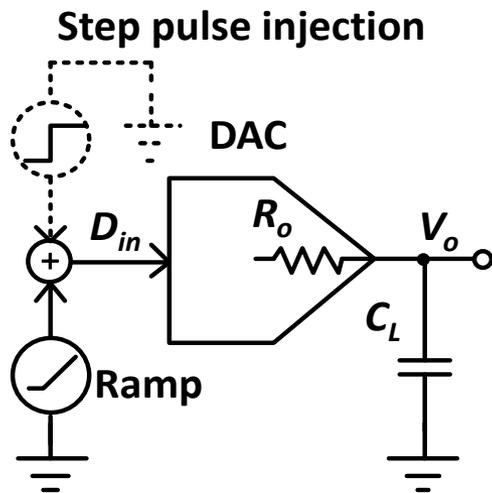


### $1/f$ ノイズの高周波成分が減衰する



# 応答を線形化したDACによるランプ波発生 107

部分マルチ変換には、高速で高精度なランプ波の発生が必要。通常の回路ではRC積分効果により遅延と歪が発生。抵抗を下げれば高速化にはなるが、消費電力が増大。そこでDACにデジタル的にステップ波を重畳して電力増大なしで、高速化・低歪化を実現した。

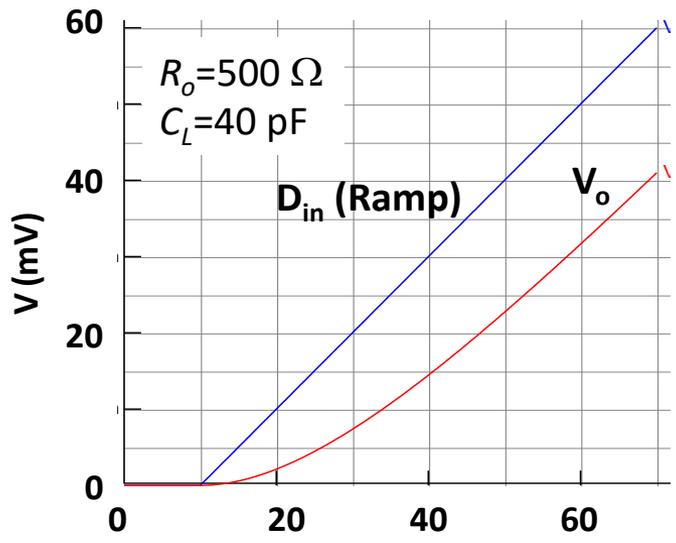


$$V_o(t) = S_R \cdot t - S_R \cdot \tau \left( 1 - e^{-\frac{t}{\tau}} \right)$$

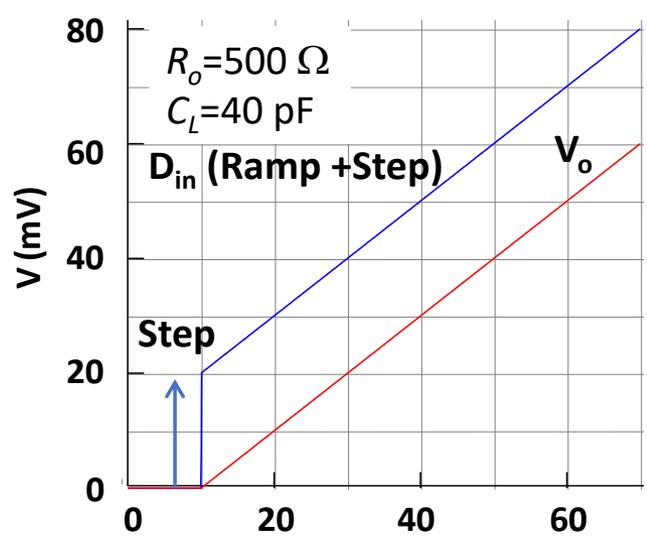
ランプ波の応答

ステップ波重畳でキャンセルできる

Conventional



Proposed

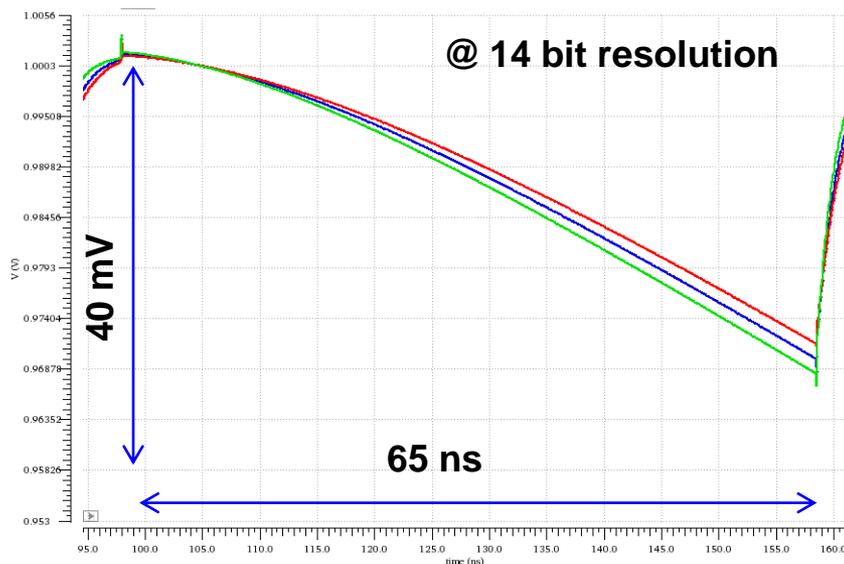


ステップ波を注入したランプ波発生により高速かつ高精度な

ランプ波が低電力で得られる

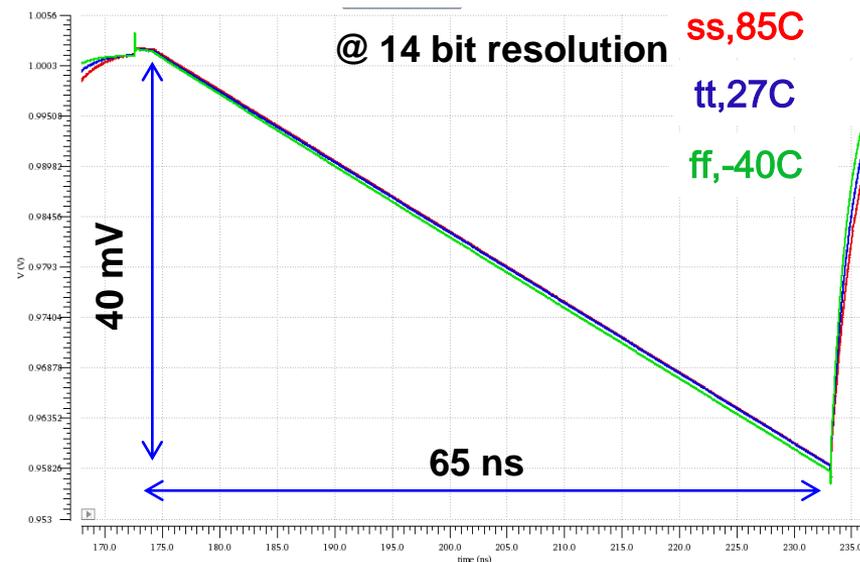
通常のランプ波発生回路

最大誤差：50 LSB

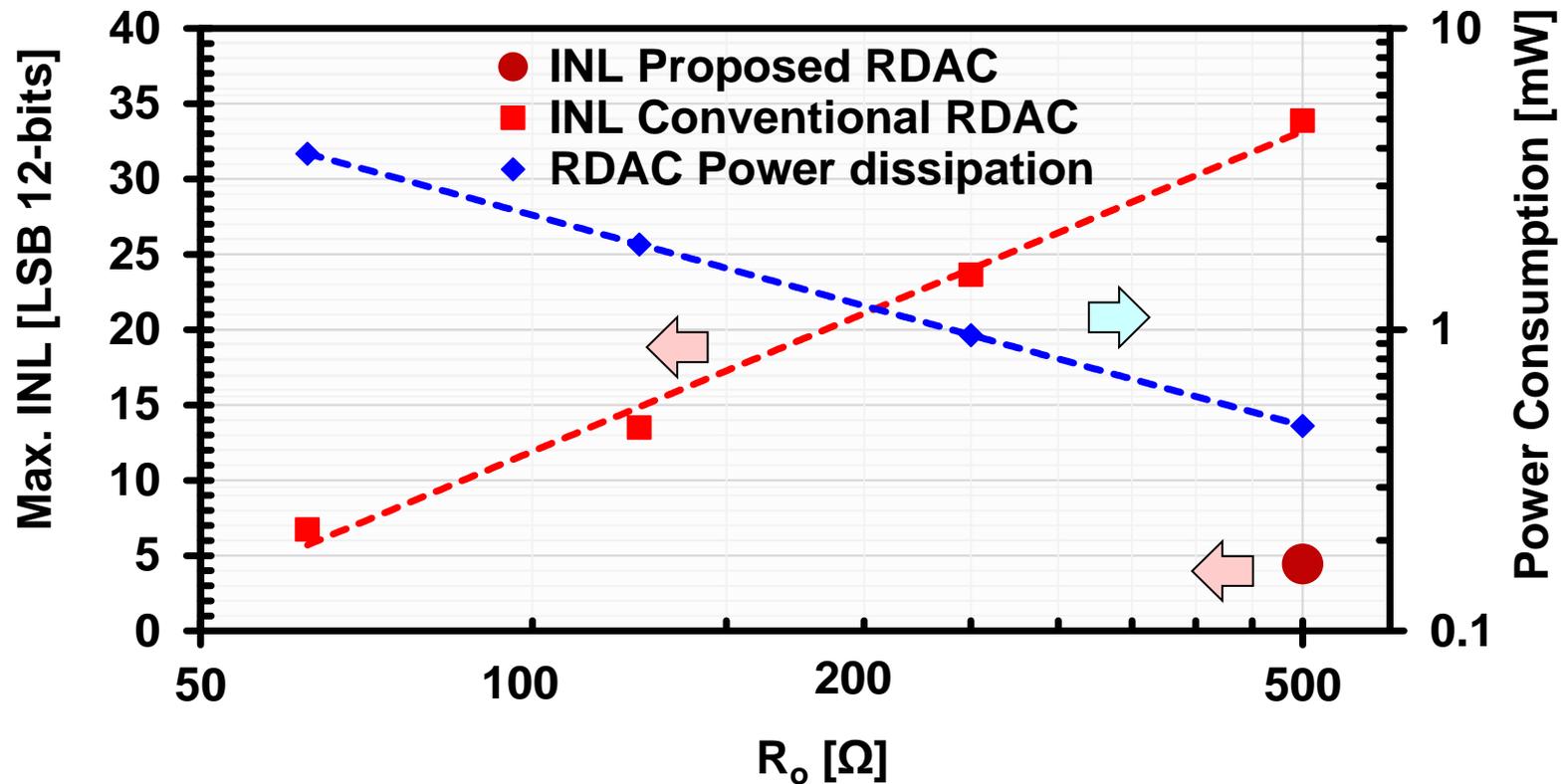


ステップ波を注入したランプ波発生

最大誤差：1 LSB

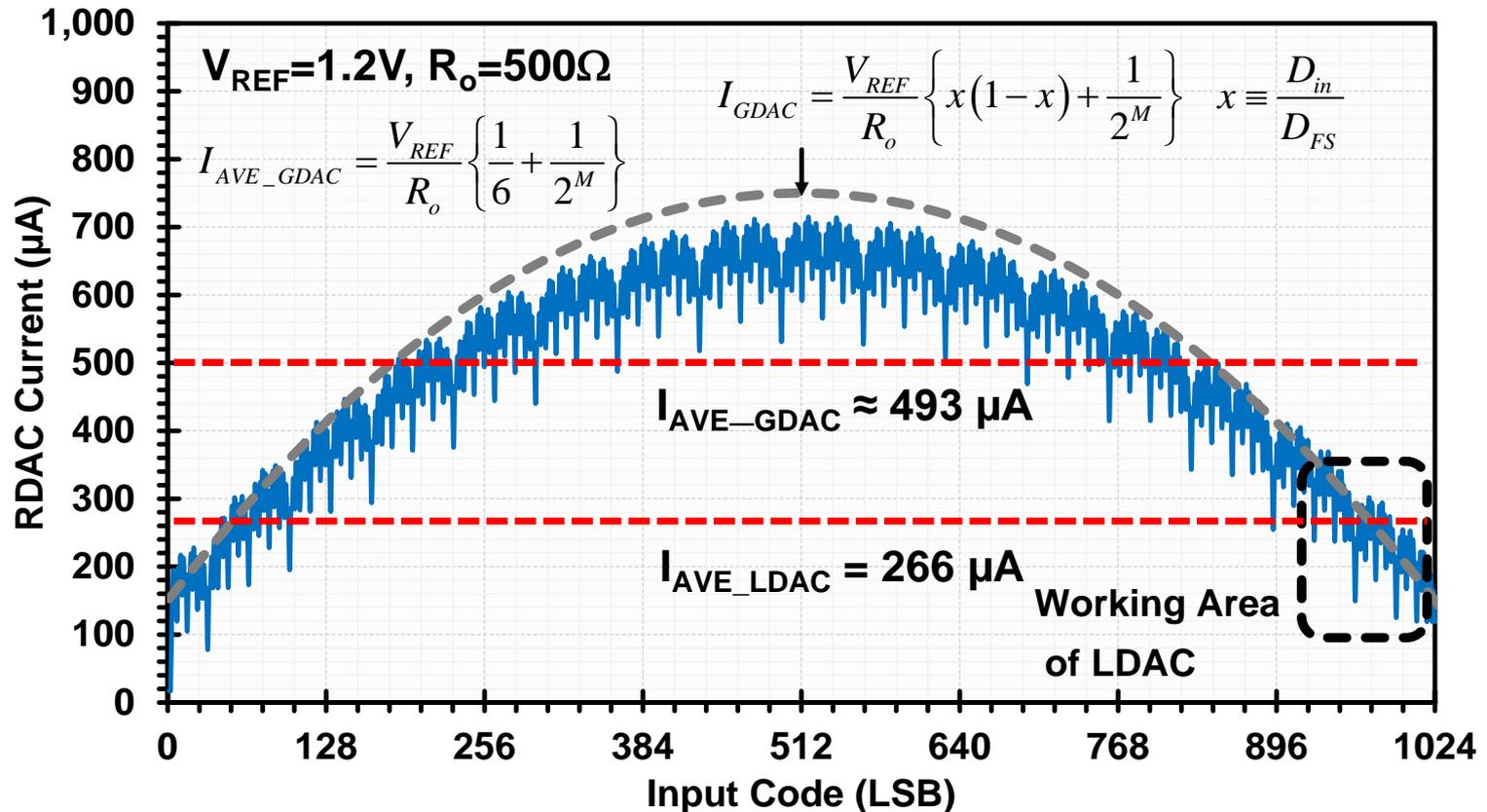


ステップ波の重畳で同一のINLを得る消費電力は1/10で済む



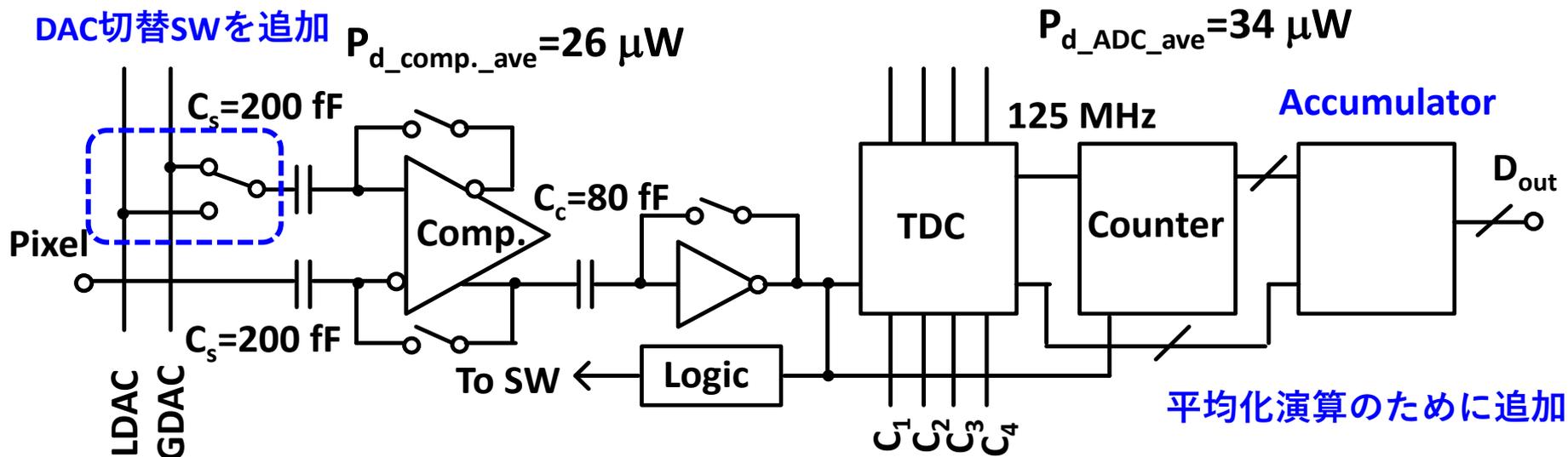
# 抵抗型DACの使用による低電力化

SS-ADCには電流型DACが用いられるが、抵抗型DACを用いることで  
**1/4の消費電力**になる。DACを2つ用いても消費電力増大は殆ど生じない。



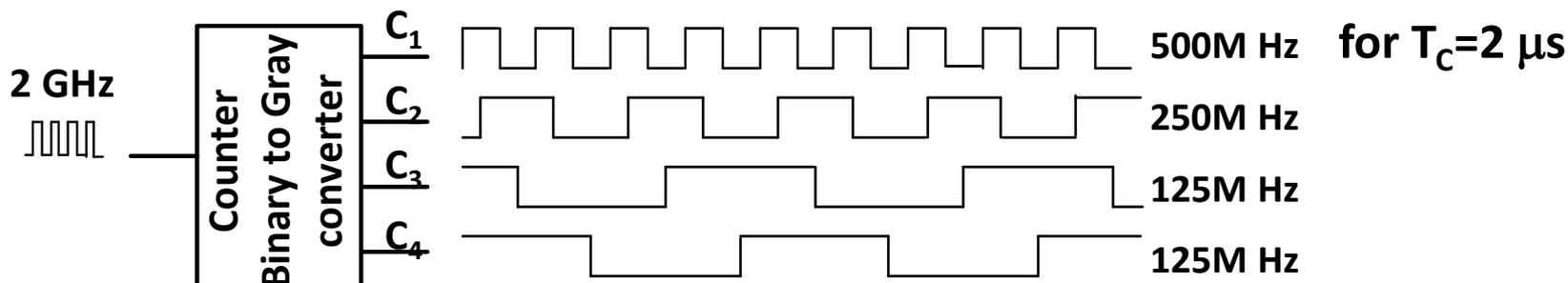
# CIS用コラムADC回路

基本構成はCISで主流のSingle Slope型ADCである  
比較器はカスコード増幅器



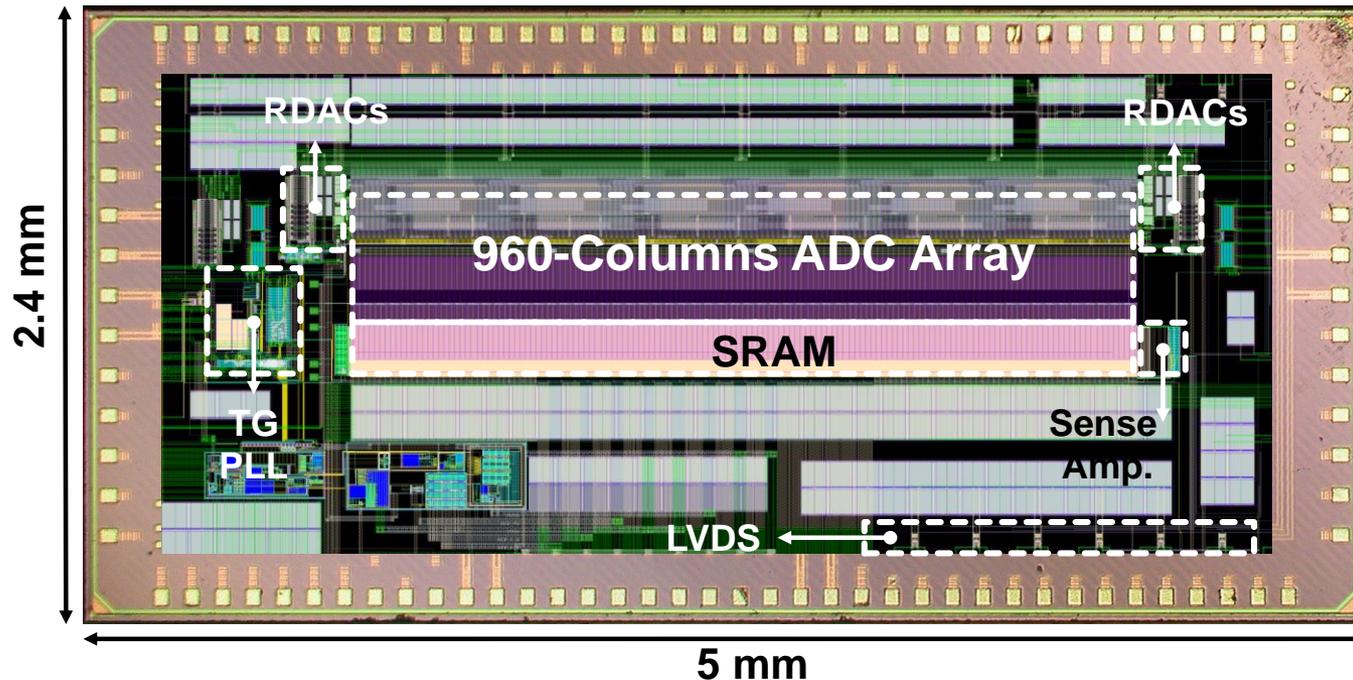
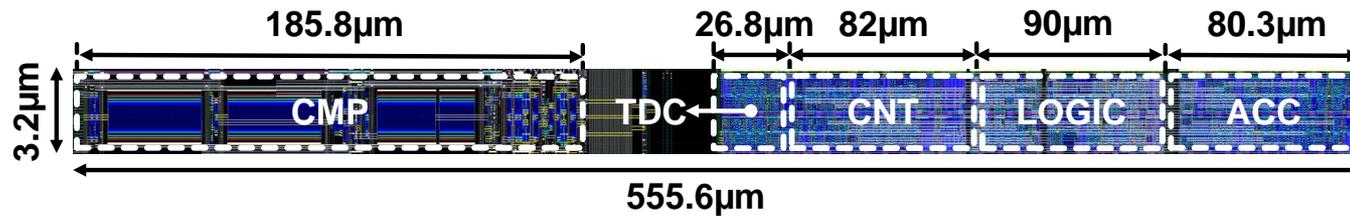
Dual-edge Gray-code clk.

Effective clock freq. = 2 GHz



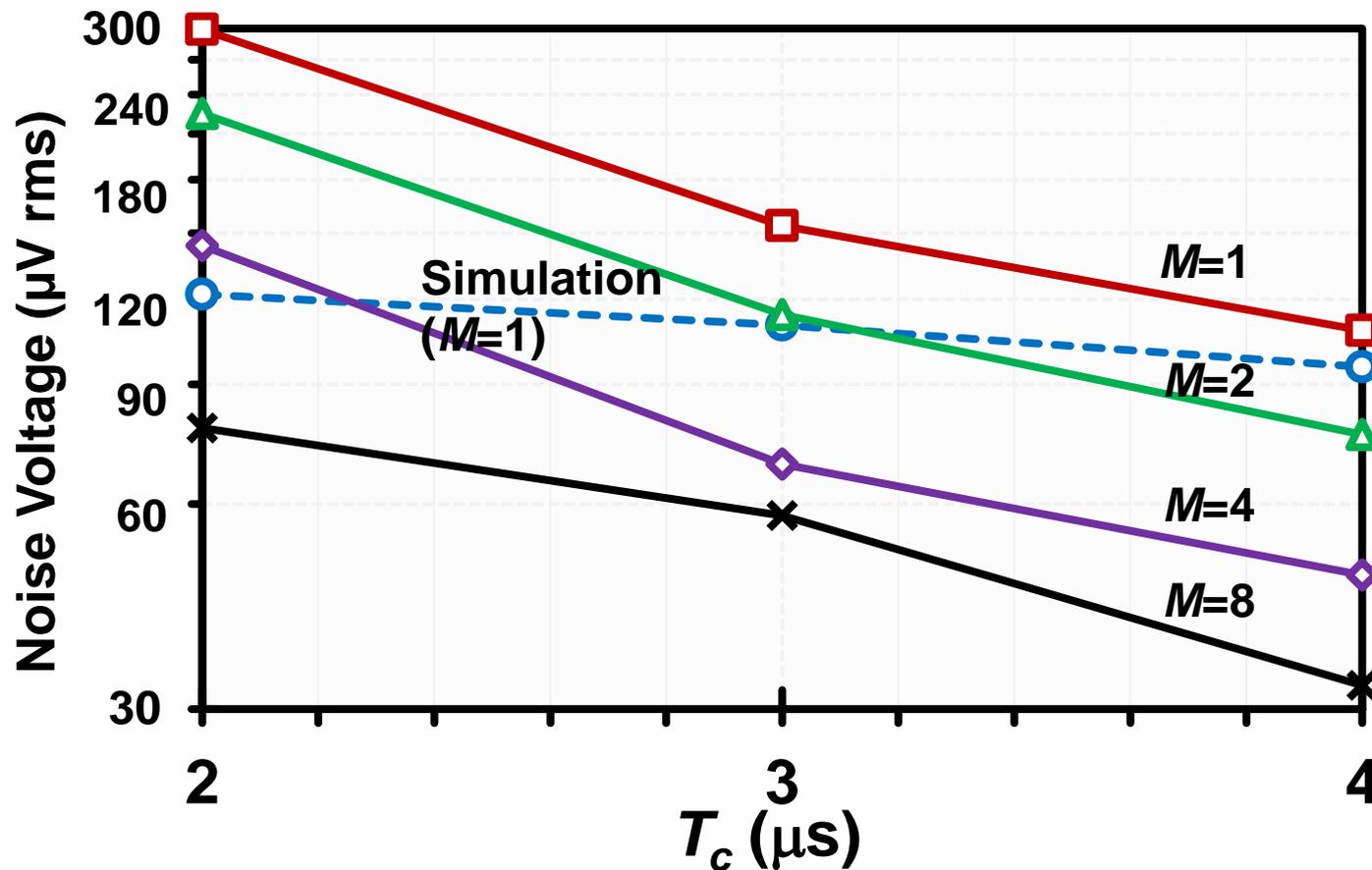
# CIS用コラムADCの開発

TSMC 65nm CMOSシヤトルにより試作  
実動作に近い 960個のコラムADCを集積



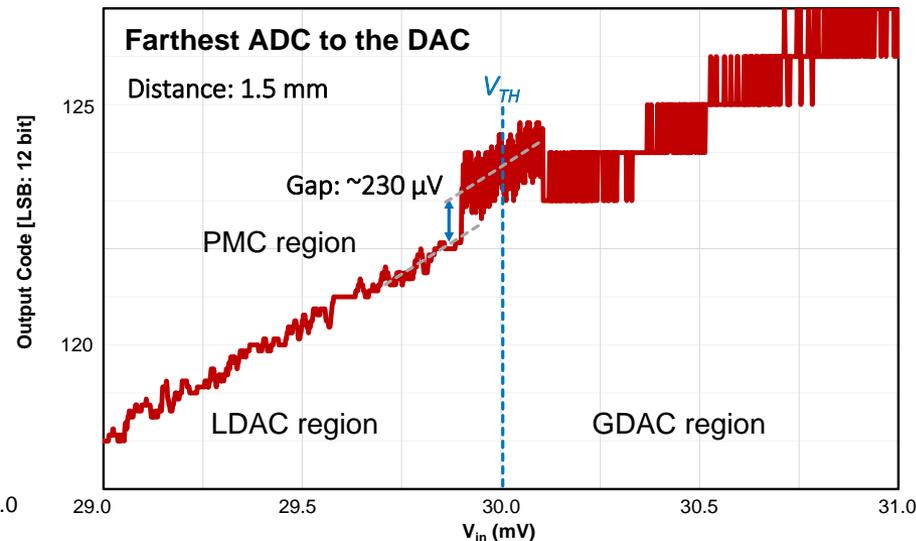
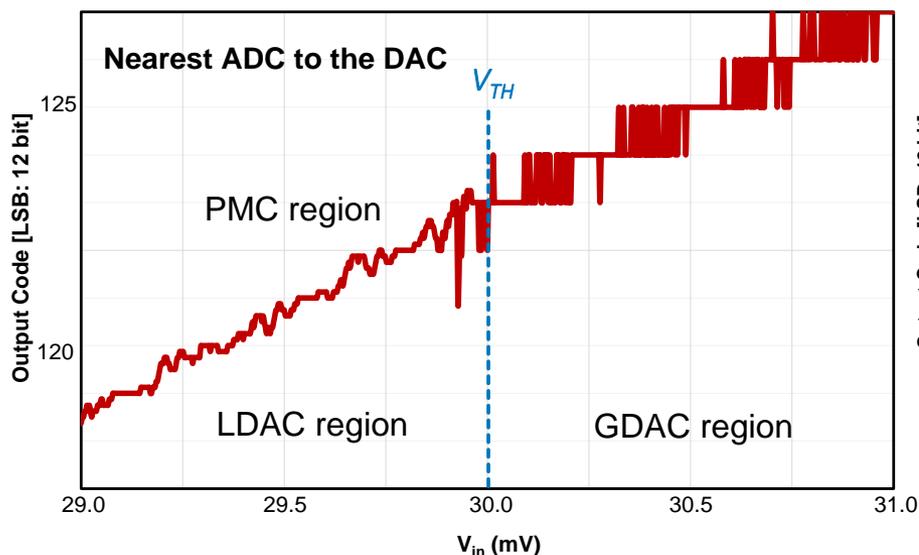
# 得られたノイズレベル

コラムADCとして従来の**1/4以下の32 $\mu$ V**の低読出しノイズを実現



DACに近いところのADCでは切替ポイントの誤差は殆ど生じない  
最も遠いところ(1.5mm)での誤差は $230\mu\text{V}$ 程度でショットノイズ  
( $1\text{mV}$ )よりも十分に小さく、検知が困難。

30mVのしきい値電圧以上では12ビット分解能だが、それ以下では14ビット相当



従来のCIS用ADCのノイズ**140 $\mu$ V**の**1/4**のノイズ**32.5 $\mu$ V**を低電力で実現  
 センサー用CT $\Delta\Sigma$ ADCをしのぐ**FoMs(DR)=183 dB**を達成, 面積は**1/150**  
 ランプ波用DACの消費電力は**1/30**

$$\text{FoM(DR)} = \text{DR (dB)} - 10 \log(2 \times E_c)$$

- [1] Y. Oike et al., IEEE JSSC, pp. 958-992, April. 2017.  
 [4] S-F. Yeh et al., IEEE JSSC, pp. 527-537, Feb. 2018.  
 [5] MH. Jang et al., IEEE Symp. on VLSI circuits 2017

	This work			[1]	[2]	[3]
ADC architecture	SS			SS in CIS	SS in CIS	CT $\Delta\Sigma$
Resolution (bit)	12			12	11	
Full scale voltage and LSB voltage:	1.0 V(Full), 244 $\mu$ V (LSB)			923 mV, 225 $\mu$ V		
INL: p-p (LSB) and DNL: $\sigma$ (LSB)	-2.4/2.2 (INL), 0.08 (DNL)					
Channel mismatch voltage: $\sigma$ (LSB)	0.08					
Worst-case voltage gap at $V_{TH}$ for $T_c=4 \mu$ s: p-p ( $\mu$ V)	230					
$P_d$ of GDAC+LDAC and $P_d$ for one comparator	0.9 mW, 0.9 $\mu$ W/comp.			32 $\mu$ W/comp.		
Period of reset conversion for $T_c=4 \mu$ s and $M=8$ ( $\mu$ s)	3.0					
$P_d$ ( $\mu$ W) and $E_d$ (pJ/conv.) of ADC w/ CDS for $T_c=4 \mu$ s and $M=8$	34 ( $P_d$ ), 237 ( $E_d$ )			48.8, 341 estim.		55, 1375
Area of ADC ( $\mu$ m <sup>2</sup> )	3.2 x 556 =1,778					270,000
Conversion time $T_c$ : ( $\mu$ s)	2.0	3.0	4.0	1.53	27.6	25
$V_n$ ( $\mu$ V) rms at $M=1$	299.0	154.0	108.0	140.0		
$V_n$ ( $\mu$ V) rms at $M=2$	225.0	114.0	75.9			
$V_n$ ( $\mu$ V) rms at $M=4$	143.9	68.7	47.2		73 (M=5)	
$V_n$ ( $\mu$ V) rms at $M=8$	77.6	57.7	32.5			
Dynamic range and SNR for $T_c=4 \mu$ s and $M=8$ (dB)	90 (DR), 81 (SNR)			76.3 (DR)		93 (DR)
FoMs(DR) and FoMs(SNR) w/ CDS for $T_c=4 \mu$ s and $M=8$ (dB)	183 (DR), 174 (SNR)			167 (DR) estim.		179 (DR)

- 達成したこと
  - CIS用超低ノイズコラムADCを実現
  - 通常のSS-ADCのピッチ, 変換時間を維持し, 消費電力を下げた
- 開発技術
  - 部分多重変換技術(PMC)
    - 約66mVの限られた信号範囲をスイープし多重変換を行う
    - リセット変換時間は増えるが信号変換時間は変わらない
    - 信号全域で読出しノイズをショットノイズ以下に保つ
  - 応答線形化RDAC
    - デジタルステップの印加により消費電力増なしで高速・高精度なランプ波を発生
    - RDACの採用で更なる低消費電力化を図る
- 得られた結果
  - CDS後変換時間4 $\mu$ sで**32.5 $\mu$ V**の読出しノイズ。ADCの消費電力は34 $\mu$ W
  - DACはADC 1個あたり**0.9 $\mu$ W**の低消費電力
  - **90dB**のダイナミックレンジと**183dB**の高いFoMs(DR)

# アナ・デジ技術を用いた AIプロセッサ用 超低電力積和演算器の開発

松澤 昭

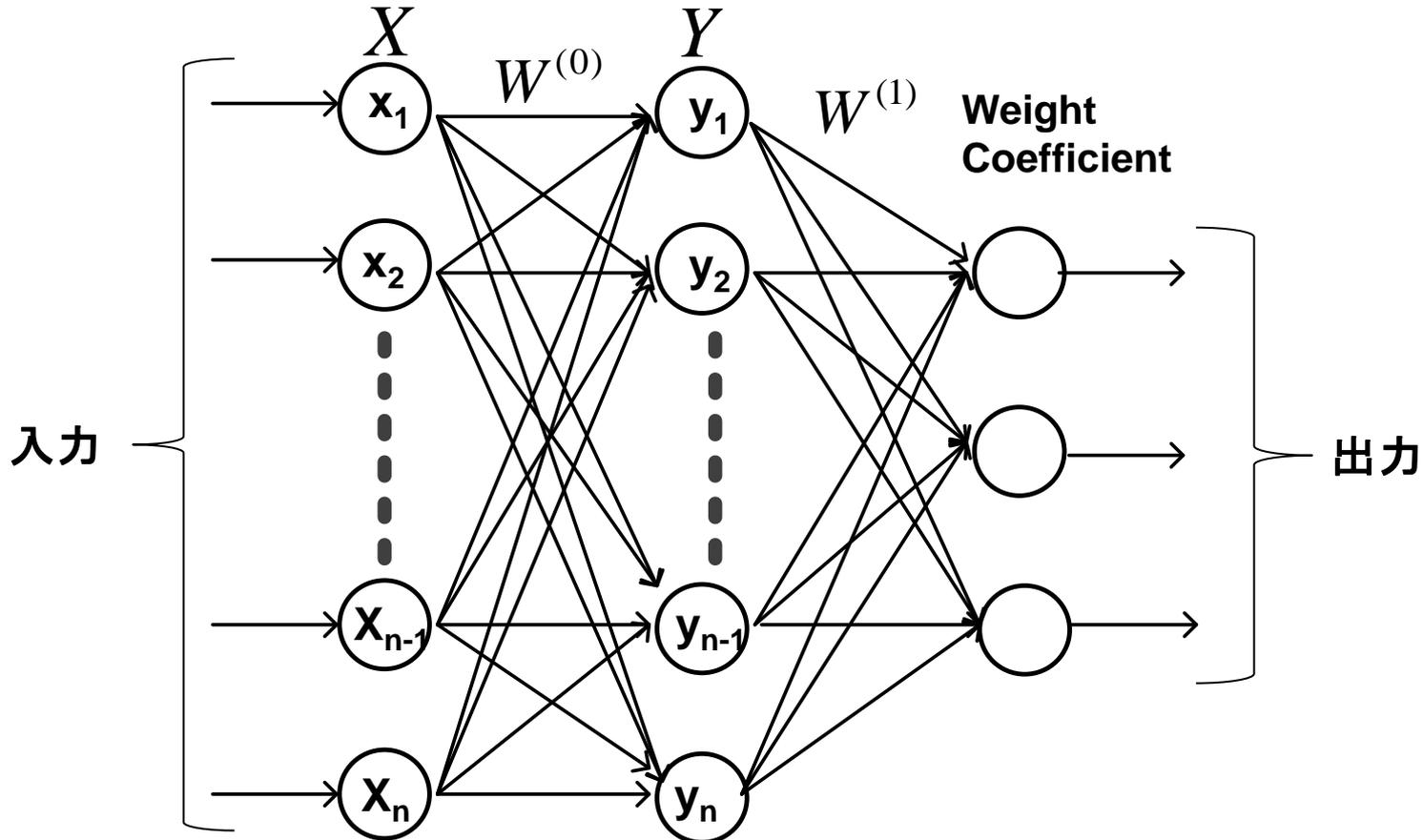
(株)テックイデア

積和演算が基本

$$y_j = (w_{j1}x_1 + w_{j2}x_2 + \dots + w_{jn}x_n) = \sum_{i=1}^n w_{ji}x_i$$

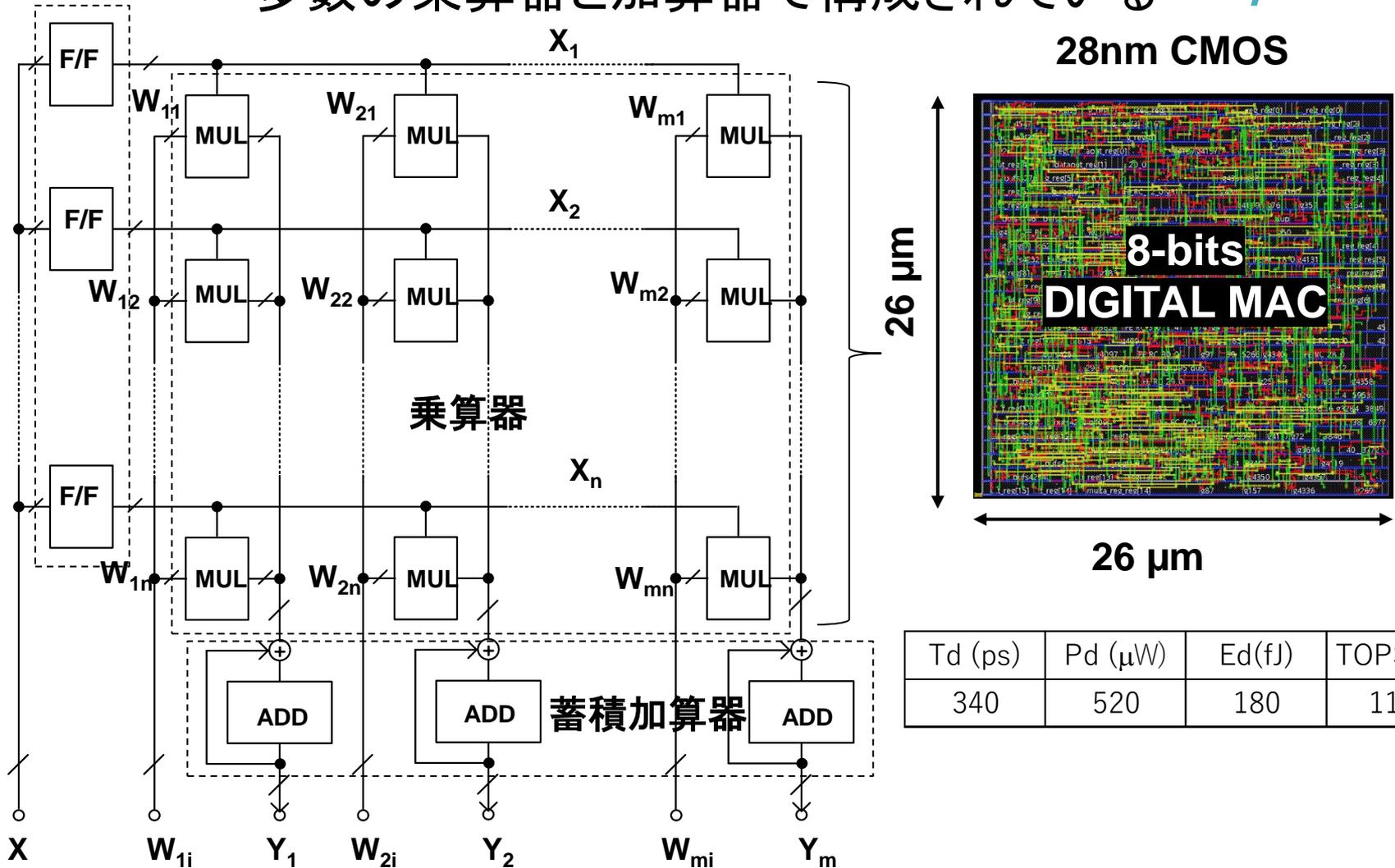
超大なMACが必要

入力層      隠れ層      出力層      **MAC: 積和演算器**



多数の乗算器と加算器で構成されている

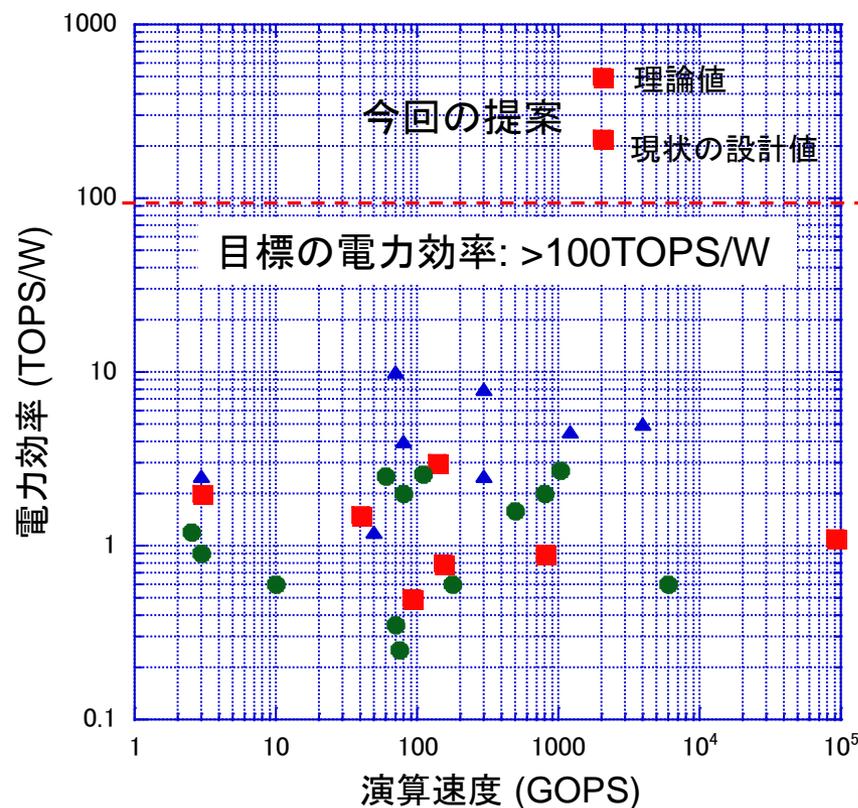
28nm CMOS



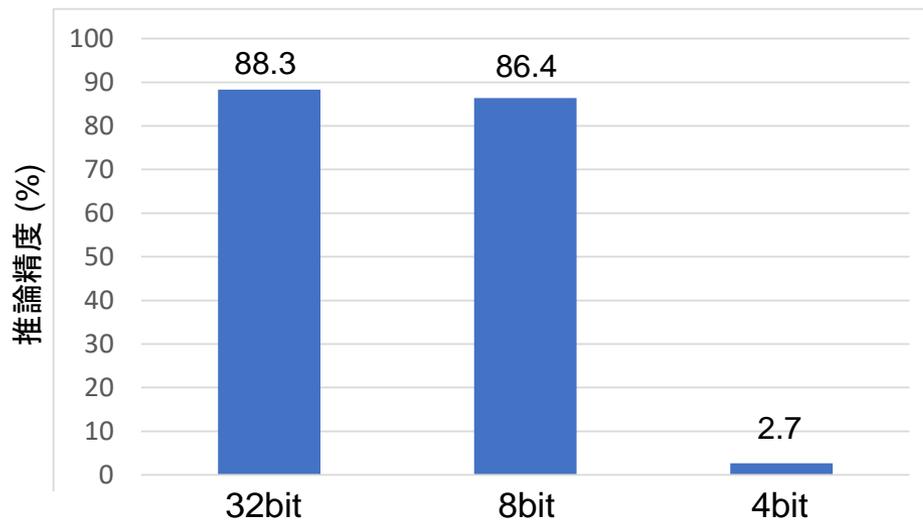
Td (ps)	Pd ( $\mu$ W)	Ed (fJ)	TOPS/W
340	520	180	11.1

# 現在のニューロプロセッサの課題

現在のニューロプロセッサの課題は電力消費が大きく、TOPS/Wが10以下なこと。自動運転やIoTなどに適用するには100TOPS/W以上にしたい。低精度では低電力だが、汎用的に高推論精度を得るには入出力8 x 8ビットが必要。



▲ 4bit 8ビットで十分な推論精度が得られるが  
■ 8bit 4ビットでは不十分  
● 16bit



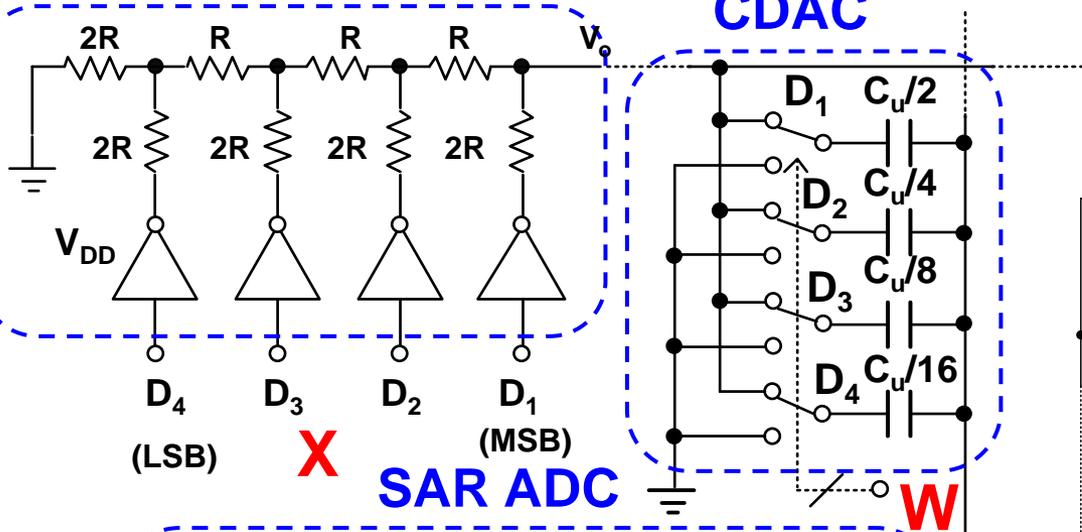
R. Kawamoto, et al., IEEE Journal of Selected Topics in Signal Processing, DOI: 10.1109/JSTSP.2020.2966331,

# アナ・デジ技術を用いたMAC

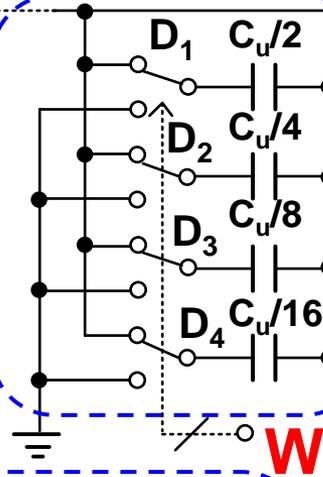
RDAC, CDAC and SAR ADCなどのアナ・デジ技術を用いて  
入出力8ビットのMixed Signal MACを考案

入出力データはデジタル, 演算がアナログなので現行システムと完全互換

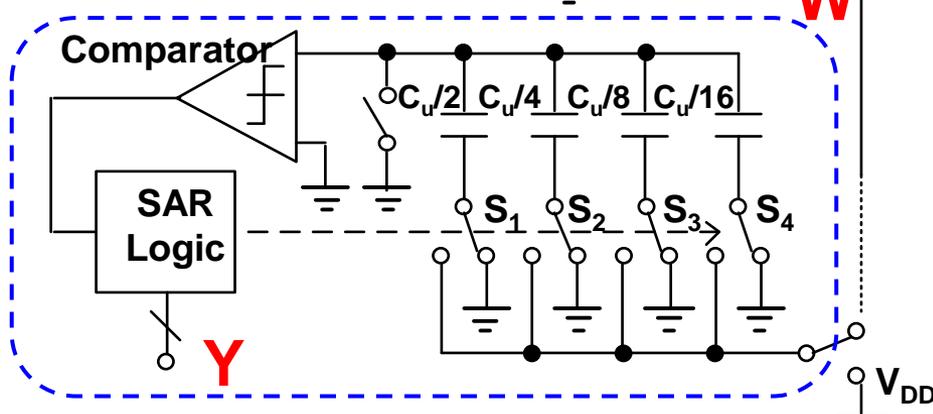
## RDAC



## CDAC

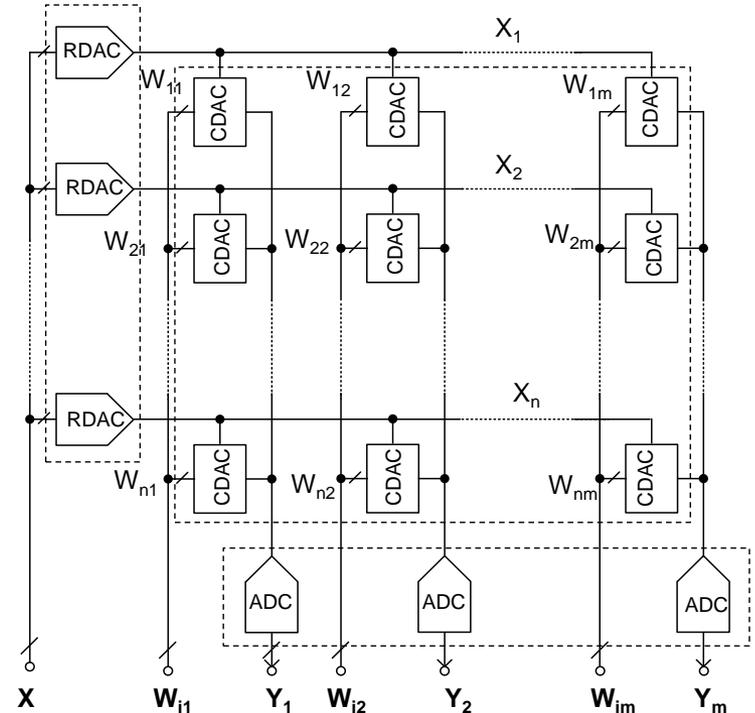


## SAR ADC



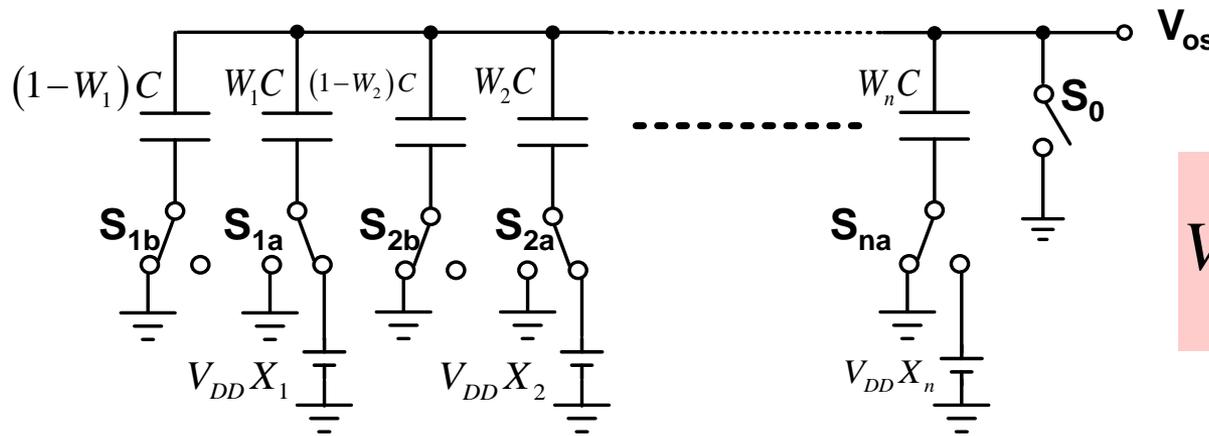
実際のビットは 8bit

## 具体構成



電荷保存則により積和演算結果が低エネルギーで瞬時に出現する

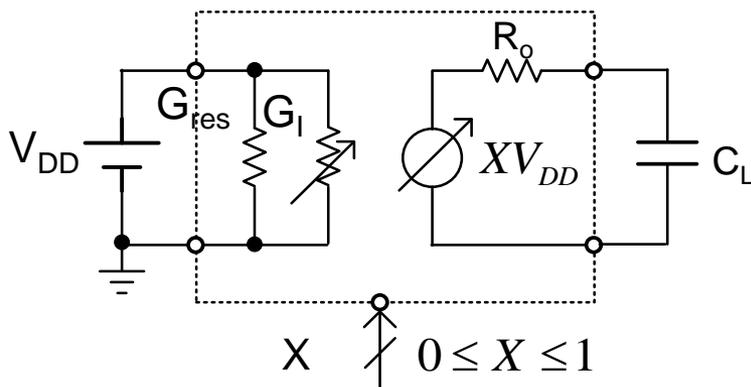
$$V_{os} = \frac{V_{DD}}{n} (X_1 W_1 + X_2 W_2 + \dots + X_n W_n) = \frac{V_{DD}}{n} \sum_{i=1}^n X_i W_i$$



$$V_{os} = \frac{V_{DD}}{n} \sum_{i=1}^n X_i W_i$$

性能推定モデル

RDAC



C=3.5fF

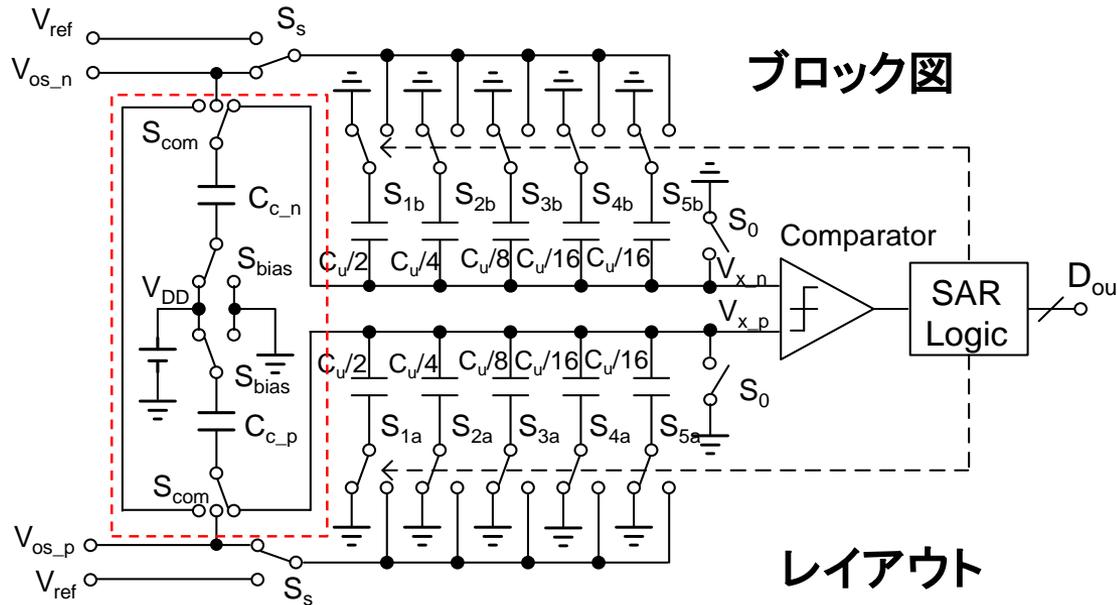
$$E_D = V_{DD} I_{ave} \cdot 5\tau = \frac{5}{3} \left( \frac{1}{6} + \frac{1}{8} \right) C V_{DD}^2 \approx 1.1 fJ$$

$$E_{AD} = \frac{E_{ADC}}{m} = \frac{1 pJ}{128} = 7.8 fJ$$

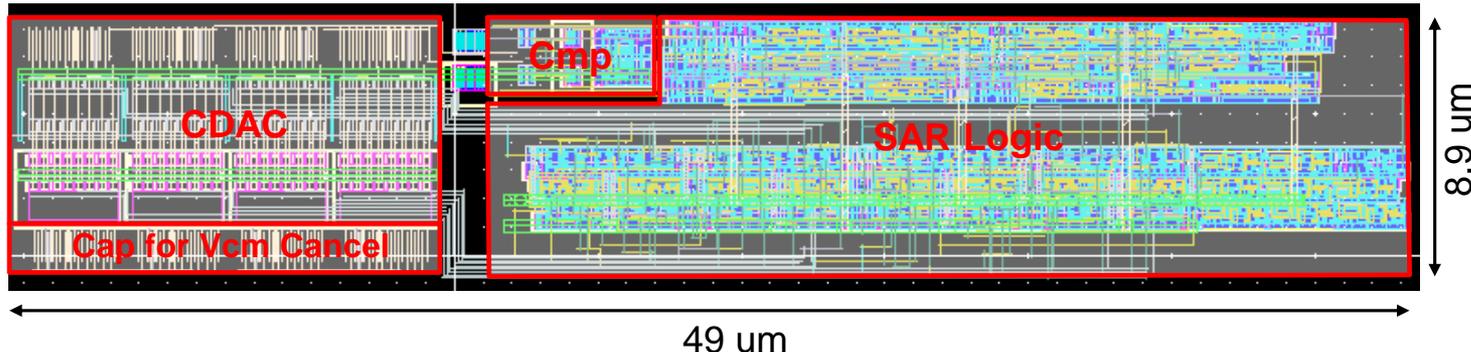
$$TOPS / W = \frac{2}{E_D}$$

224 TOPS / W

電荷保存則により発生した電圧をSAR ADCで8ビットのデジタルデータに変換するADCの変換エネルギーが全体のTOPS/Wを決定する。  
 現在の変換エネルギーは1.0pJであるが、0.5pJまで低減させる予定。



$F_s \text{ max: } 200\text{MS/s}$   
 $V_{DD}=0.8\text{V}$   
 $P_d: 210\mu\text{W}$   
 $E_{ADC}=1.0\text{pJ} \rightarrow 0.5\text{pJ} \sim$



# デジタル方式との比較

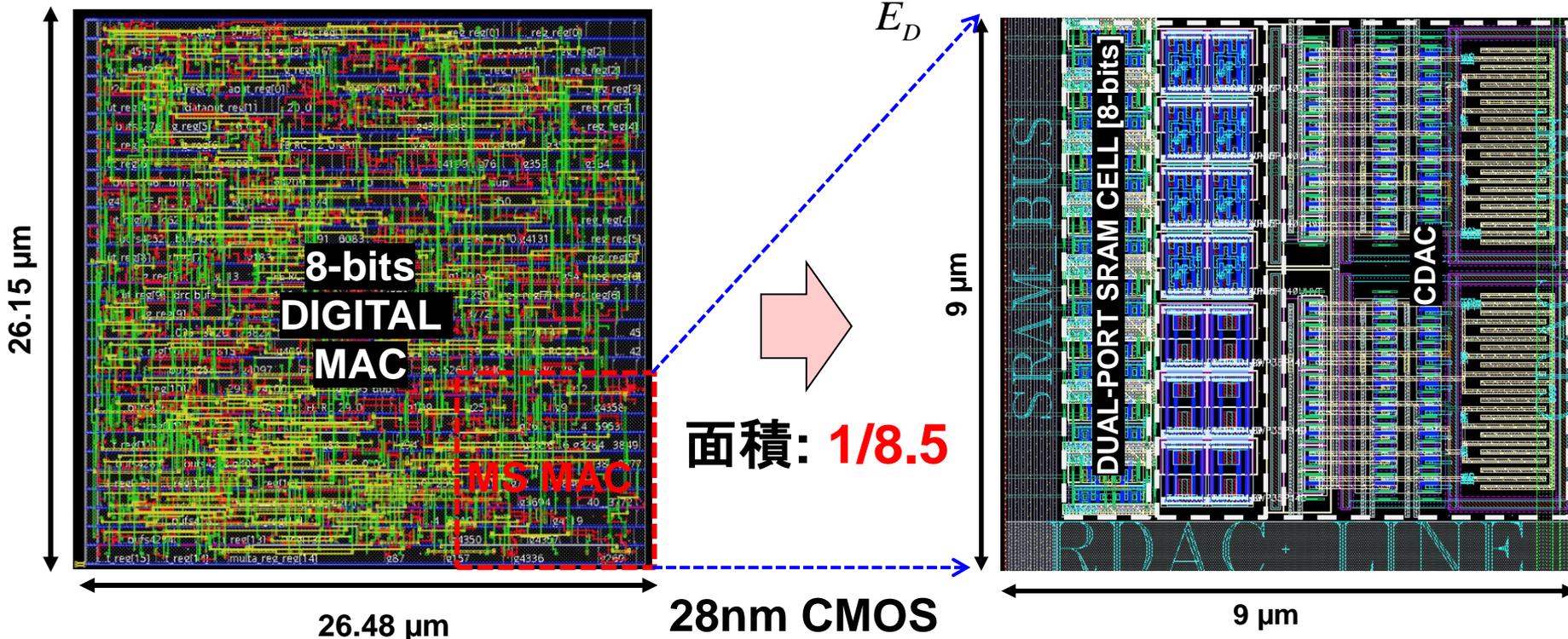
面積で**1/8.5**，消費エネルギーで**1/160**，TOPS/W で**160倍**の性能と推定  
デザインルールを縮小しても優位性は変わらない。

## 8b x 8b デジタル MAC

$E_D=180\text{fJ}$     11TOPS/W

$$\text{TOPS/W} = \frac{2}{E_D} \quad E_D=1.1\text{fJ} \quad 1800\text{TOPS/W}$$

## 8b x 8b アナ・デジMAC



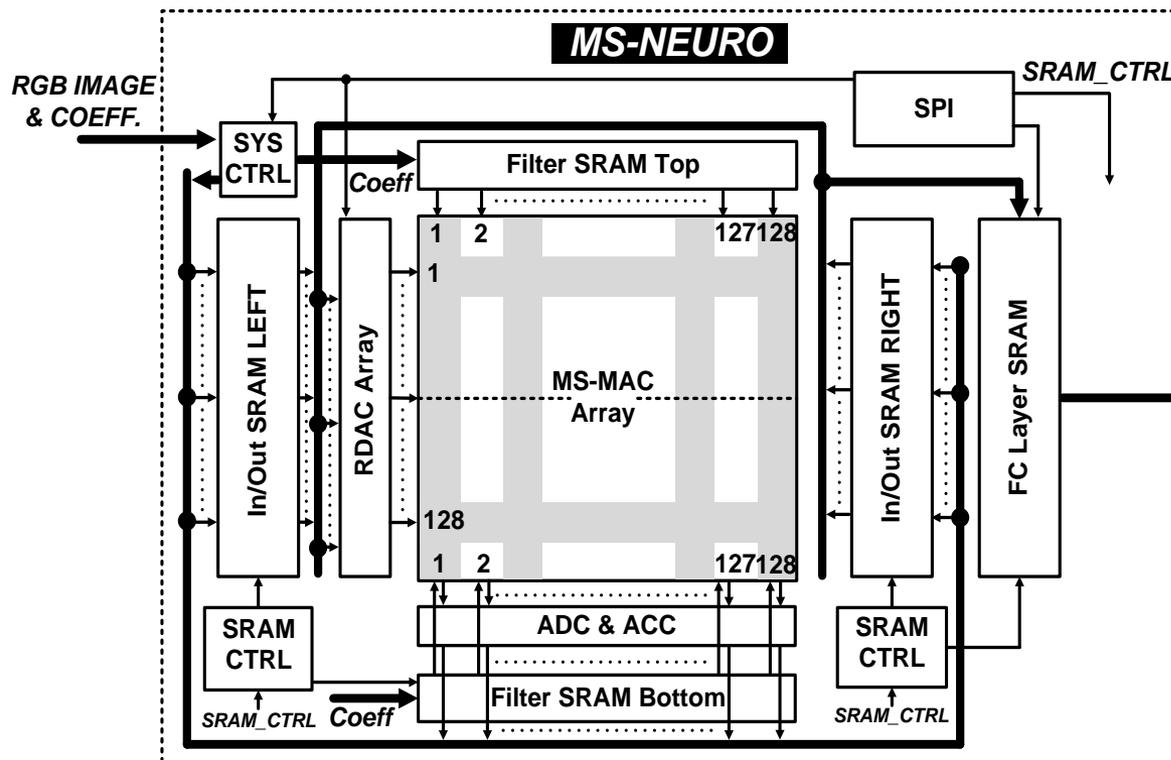
# チップ設計とIP化

125  
125

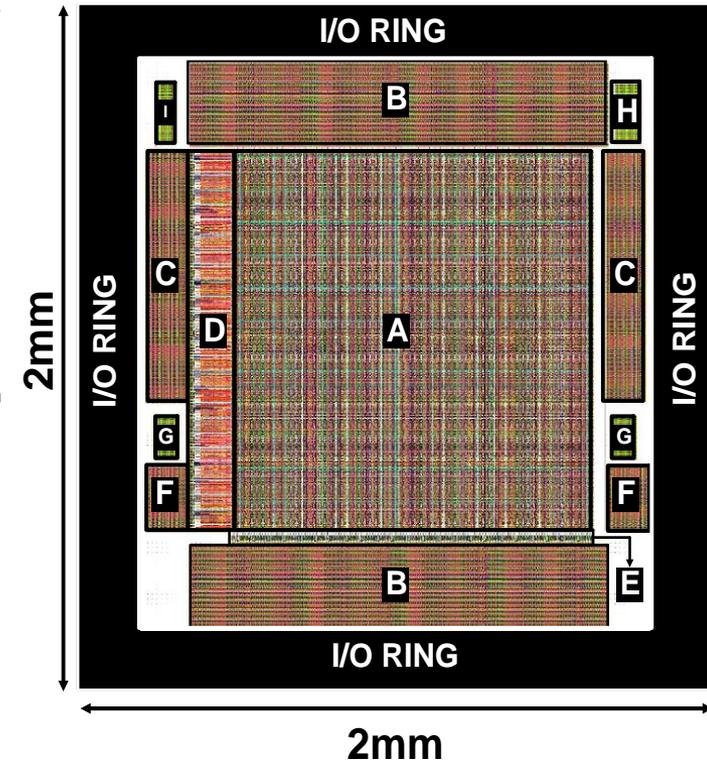
**TOKYO TECH**  
Pursuing Excellence

28nm CMOSを用いて、128 x 128のアナ・デジ-MAC を集積したテストチップを設計中。

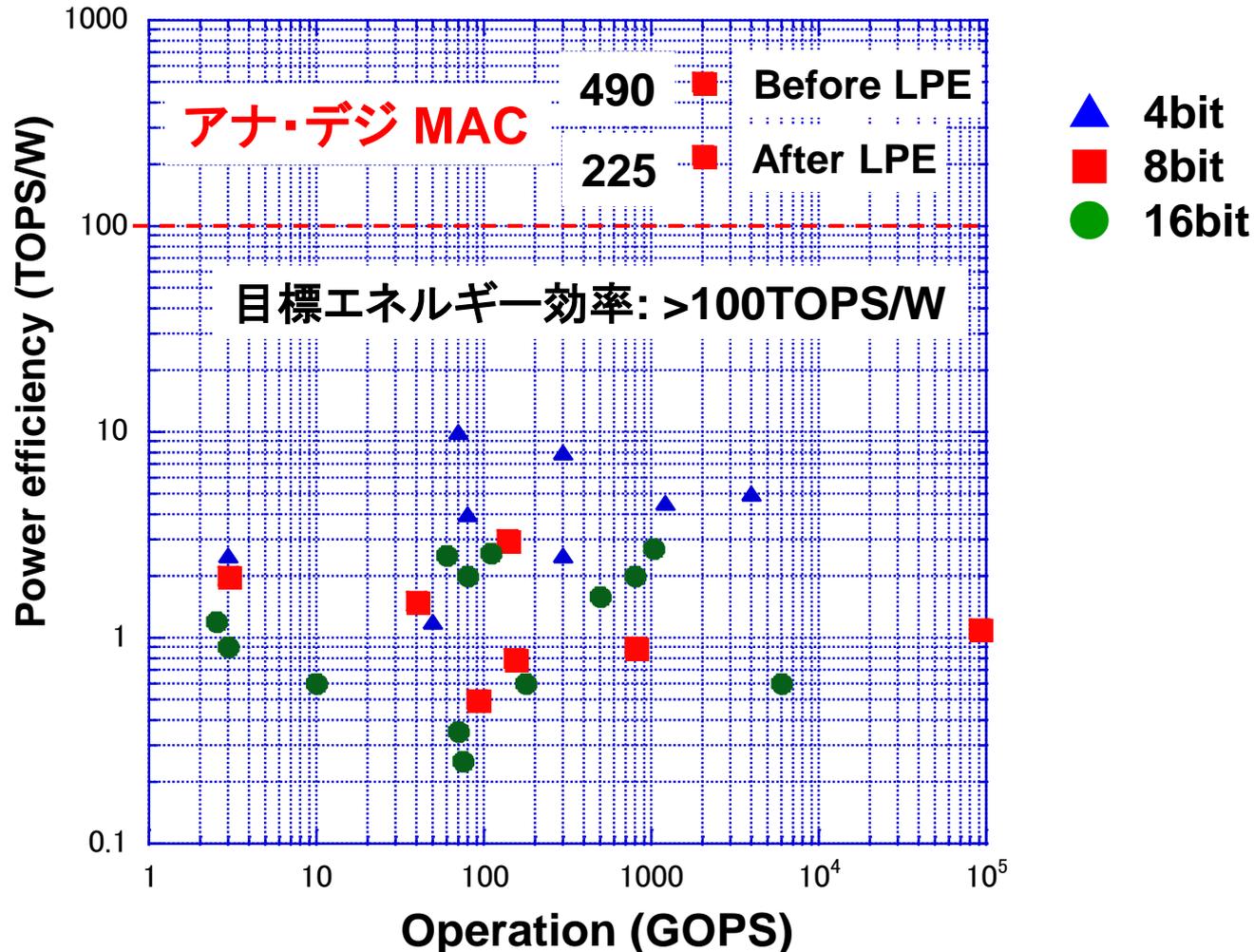
## ブロック図



## レイアウト



現在のシミュレーションでは **225TOPS/W** が見積もれるが、更に**500TOPS/W** を目指して回路の最適化を図る予定。



# ソフトウェアアナログ技術

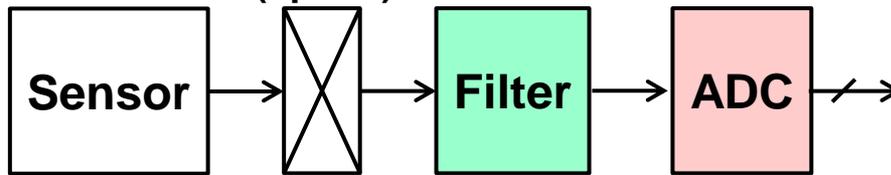
(株)テックイデア

松澤 昭

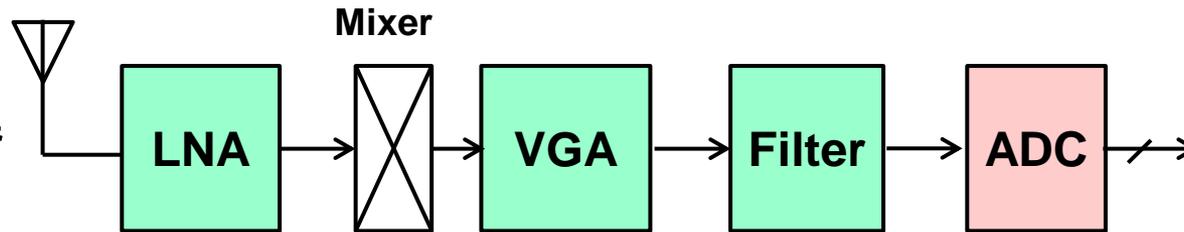
# アナログフロントエンド

センサーシステム, 有線・無線通信システムにはアナログフロントエンドが不可欠  
ADC, DAC, PLL, フィルタなどがコアアナログIPである。

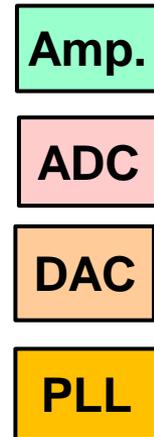
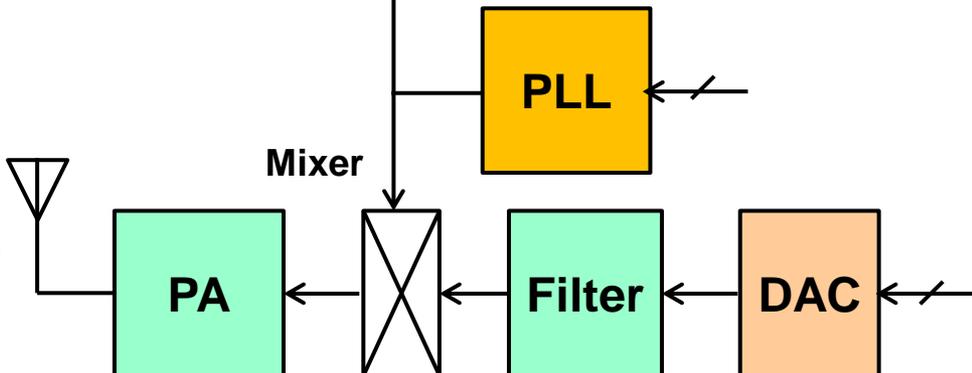
## 1) センサーシステム Chopper (option)



## 2) 受信器



## 3) 送信機

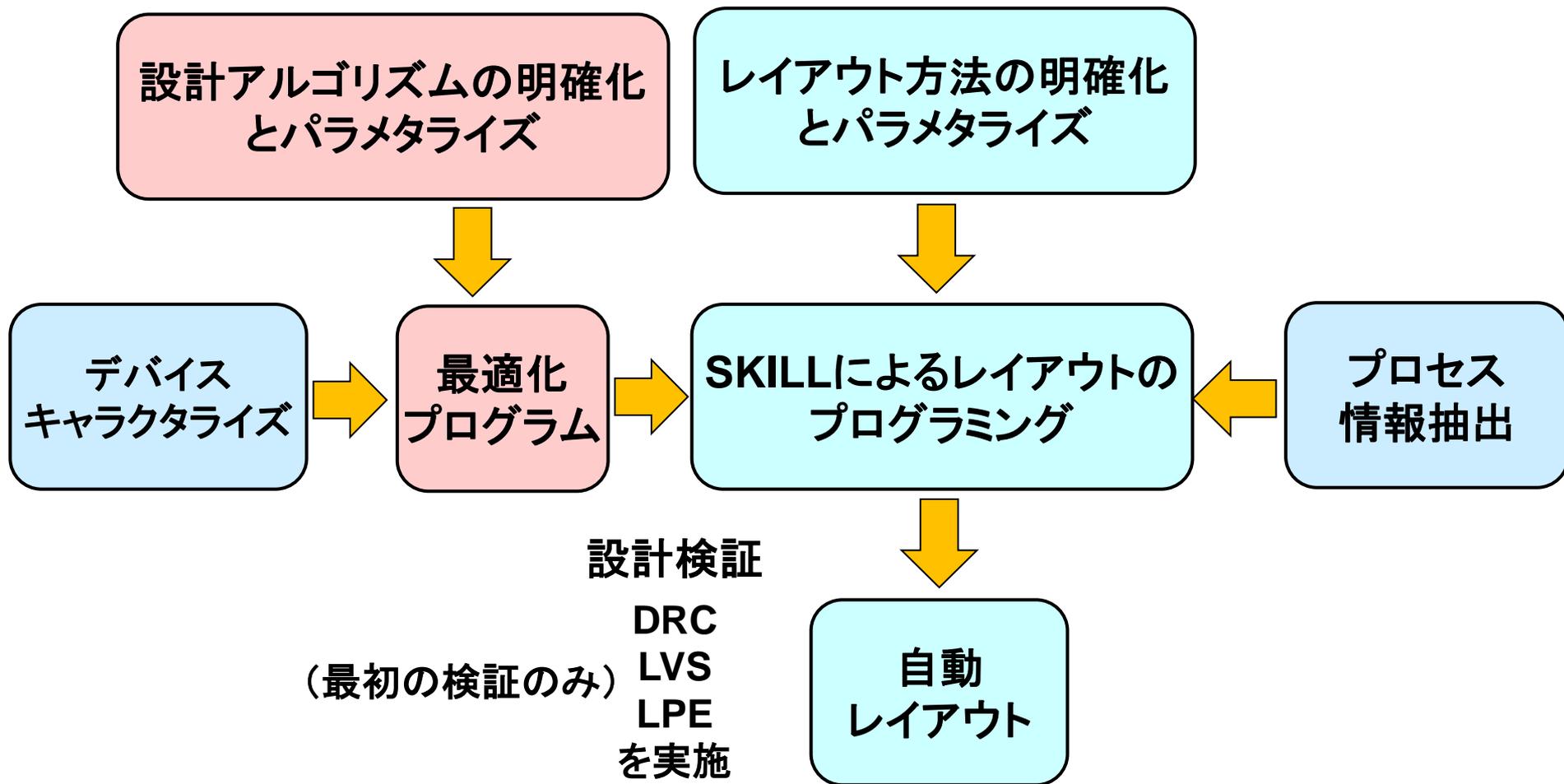


- アナログ回路は今後とも必要
  - 5G/6G: ADC, DAC, RF, PLL, LDOなど
  - IoT: センサー信号処理, アクチュエータ駆動, 無線通信
  - 車載: ADC, DAC, センサー, ミリ波レーダー, RIDAR
  - イメージング: CMOSイメセン, コラムADC, 画像用ADC
- 技術的困難さの増大
  - 微細化による複雑さの増大(ルール数の増大)
  - 低電圧化(1V以下のアナログ動作電圧)と動作マージンの減少
  - 要求性能の増大: 6Gでは100GHz以上の周波数
- 設計自動化の遅れ, 人手設計が100%
  - できる設計者(高度技能者)数の減少
  - 開発期間の増大(合理化が進まず)
  - 経験知が“人”にしか集積されず, 発展が遅い

- 高度技能者の養成は困難に
  - アナログ設計者の育成には10年以上を要す
  - 国内では従事者は減少(電機・半導体の凋落)
  - 失敗が許されなくなり(チップ開発コストの増大)チャレンジができない
  - ハードウェア離れと半導体産業の凋落で優秀な人材が集まらない
  - 技術と経験が「人」に集積されるので、後世に残らない
- 金型職人からNCマシンに
  - 金型作成には高度技能者が不可欠だが、人数は減少
  - 金型職人の技能をNCマシンにソフトウェアとして集積
  - 一度、高度技能をソフトウェア化すれば、何度でも使用でき「ロボット」が自動で物づくりを行うことができる。
  - 設計のソフトウェア化により技術のプラットフォームができることにより設計技術蓄積が飛躍的に進展する

- 高性能・低電力・高密度なアナログIPをソフトウェアで自動設計して提供する
- 熟達者が最善と思われる設計法で設計したIPを提供する
  - 提供物はIPであってEDAではない
- 性能可変およびプロセス可変に対応
  - 性能可変: 分解能, 最高動作周波数, 出力抵抗(DACの場合)など
  - プロセス可変: ファウンドリー, デザインルール, プロセス(HP, G, LP)
- 超短期間設計
  - 数秒でGDSを合成(後程デモします)

設計アルゴリズムとレイアウト方法が明確であれば多くの回路をソフトウェアアナログ化できる

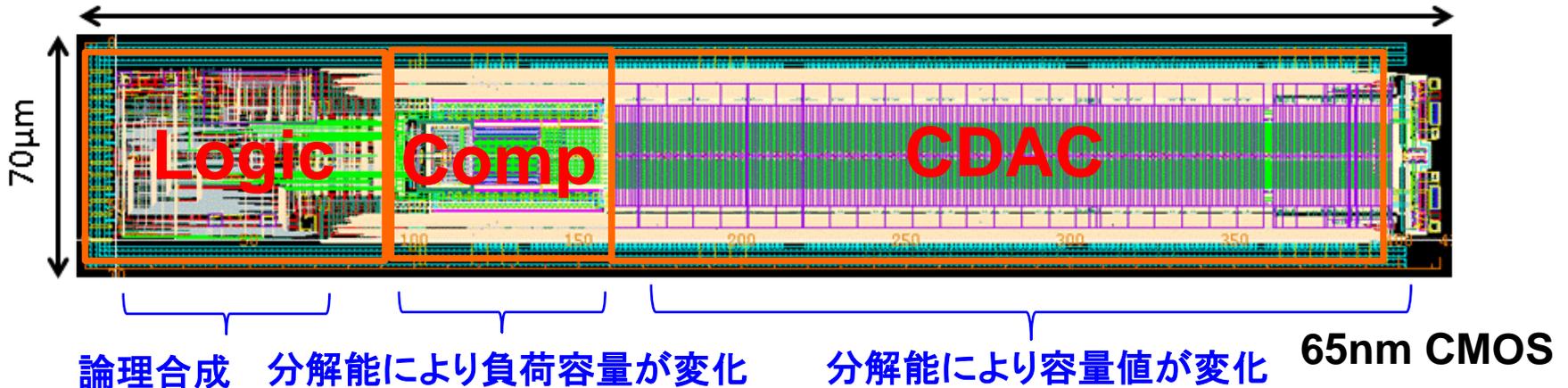
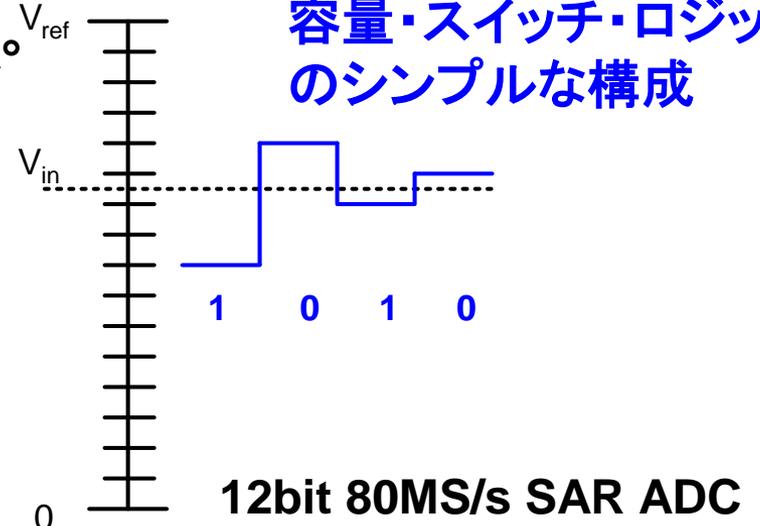
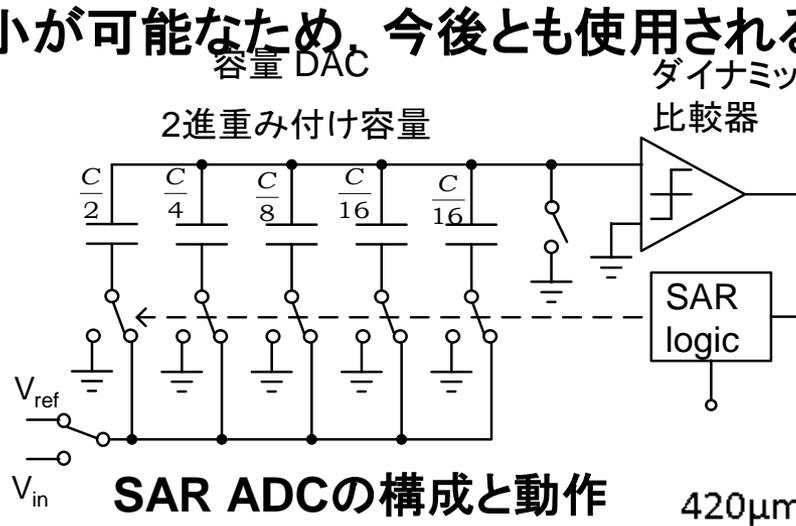


- ユーザーメリット
  - 超短期間でアナログIPが入手可能(半年→数秒)
  - プロセスポーティングが容易
  - 性能が保証されている
  - 安価(数が出る場合)
- ベンダーメリット
  - 短期間で提供できるので開発数を増やせる
  - 技術がプログラムにストックできるので, 再利用可能
- 社会的意義
  - アナログIP不足にある程度対応できる
  - 少人数で開発可能
  - 技術の伝承ができるので, 世代を繋ぐことができる

# アナログIP開発の考え方の一例

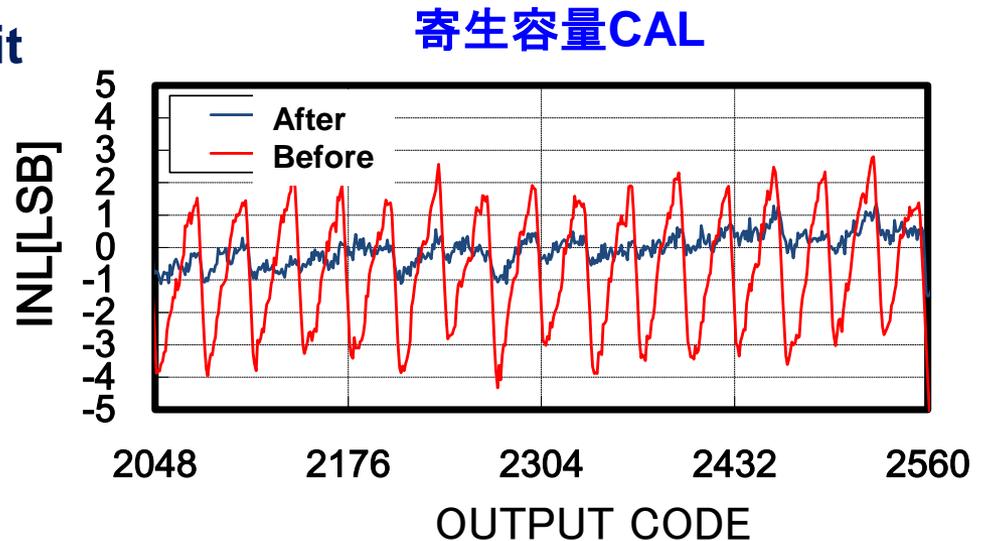
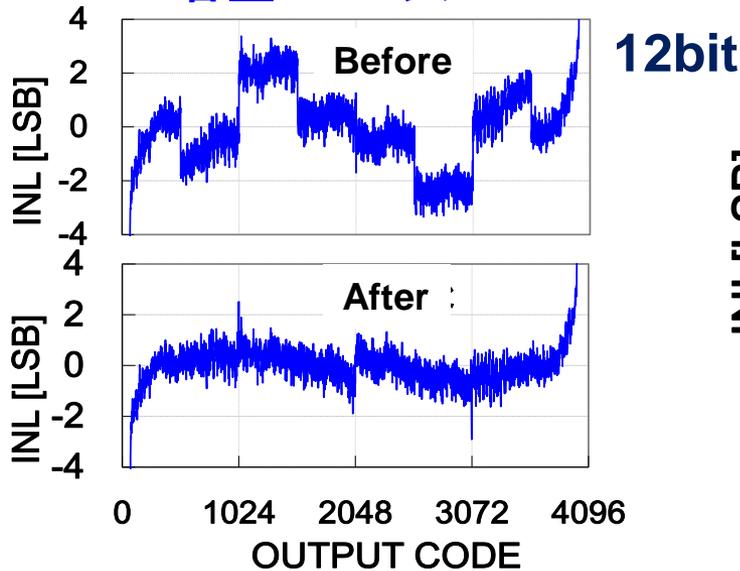
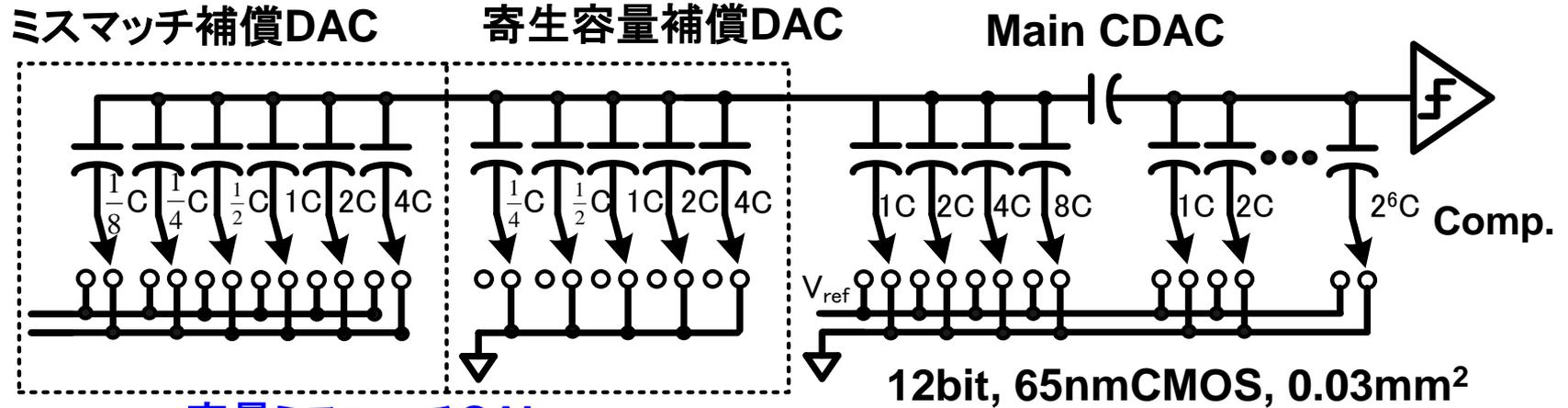
SAR ADCは分解能12ビット以下で広く使用されている。100GS/sの光通信用ADC

もSARを並列動作することで実現可能。低電圧動作が可能で、微細化とともに面積縮小が可能のため、今後とも使用される。  
**容量・スイッチ・ロジックのシンプルな構成**



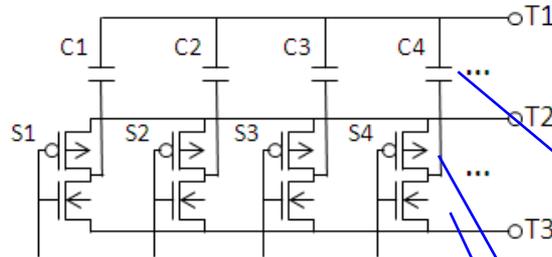
# 12bit SAR ADCの構成

全てMOM容量を用いたCDACから構成されている



SAR ADCはシンプルだが設計は簡単ではない, 特にレイアウト依存が大きい

## 回路設計



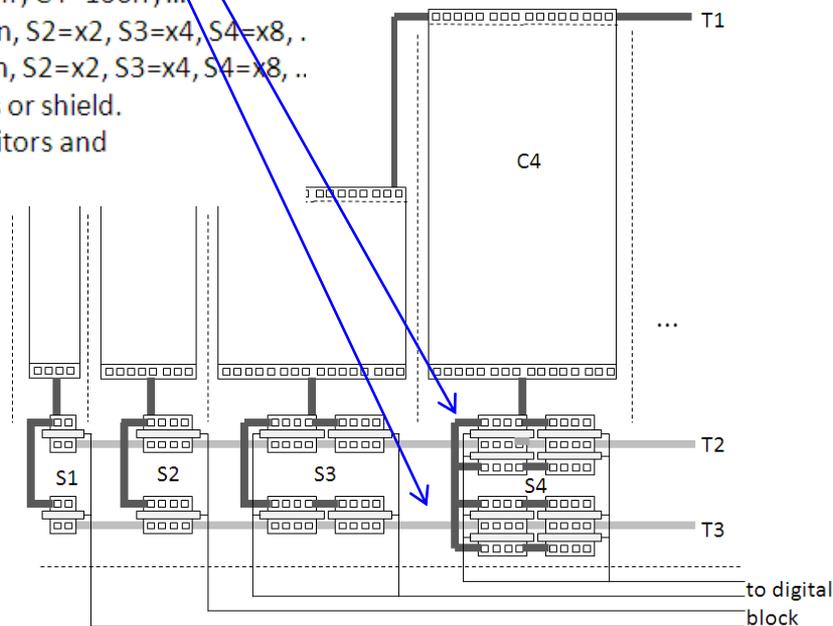
to digital block

1.  $C_1=20\text{fF}, C_2=40\text{fF}, C_3=80\text{fF}, C_4=160\text{fF}, \dots$
2.  $S_1$  NMOS  $W/L=2\mu\text{m}/L_{\text{min}}, S_2=x_2, S_3=x_4, S_4=x_8, \dots$
3.  $S_1$  PMOS  $W/L=2\mu\text{m}/L_{\text{min}}, S_2=x_2, S_3=x_4, S_4=x_8, \dots$
4. Separate each capacitors or shield.
5. Separate between capacitors and digital block or shield.

## 従来の設計手法

回路設計があり, セルを発生し  
配線結合するという方法

## レイアウト設計

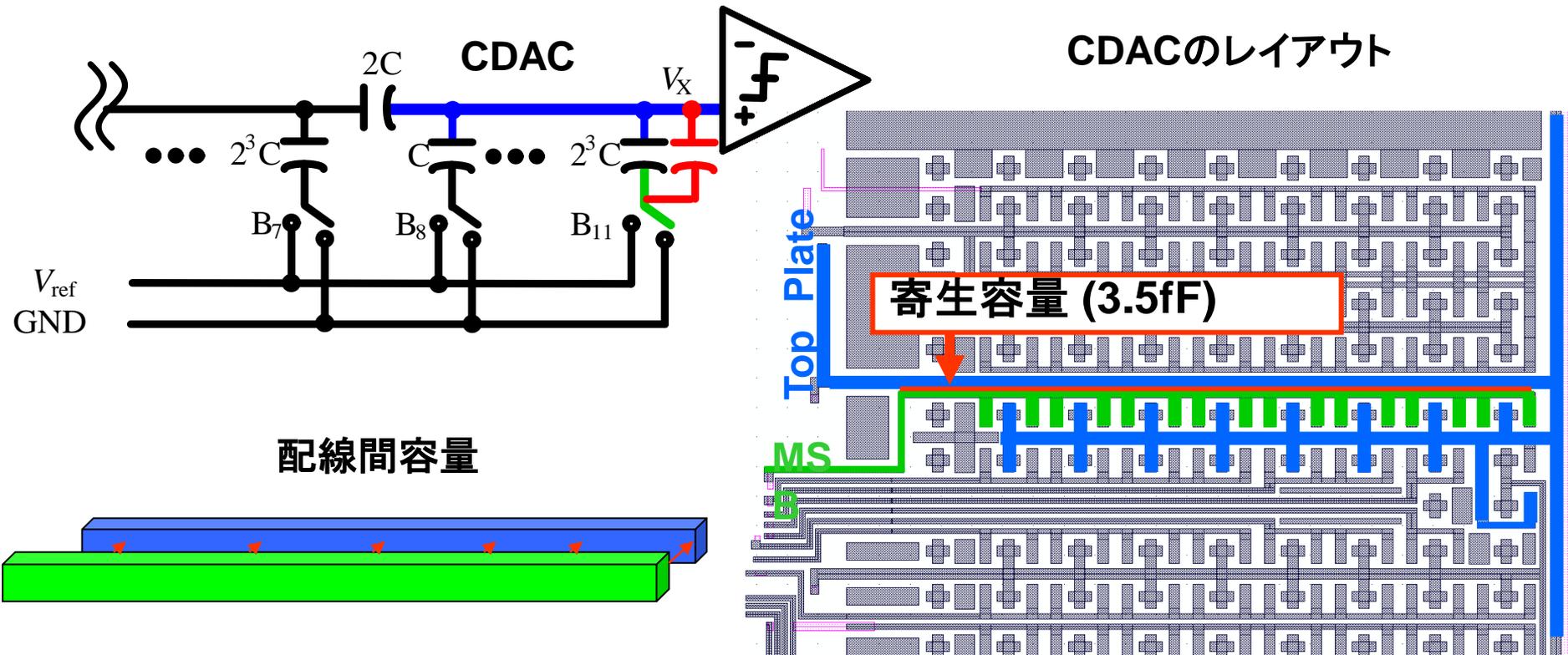


to digital  
block

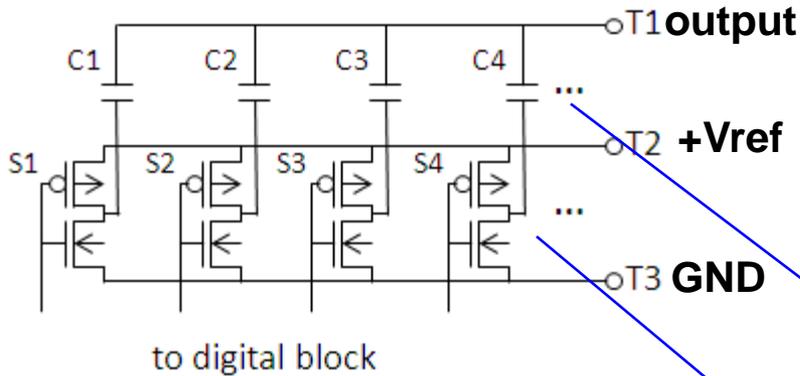
# 従来のアナログ設計の課題

従来のアナログ設計では配線自体が寄生容量を持つのでADCの変換誤差を発生させる。配線を設計に組み込む必要あり。  
設計とレイアウトを分けない一体設計が不可欠

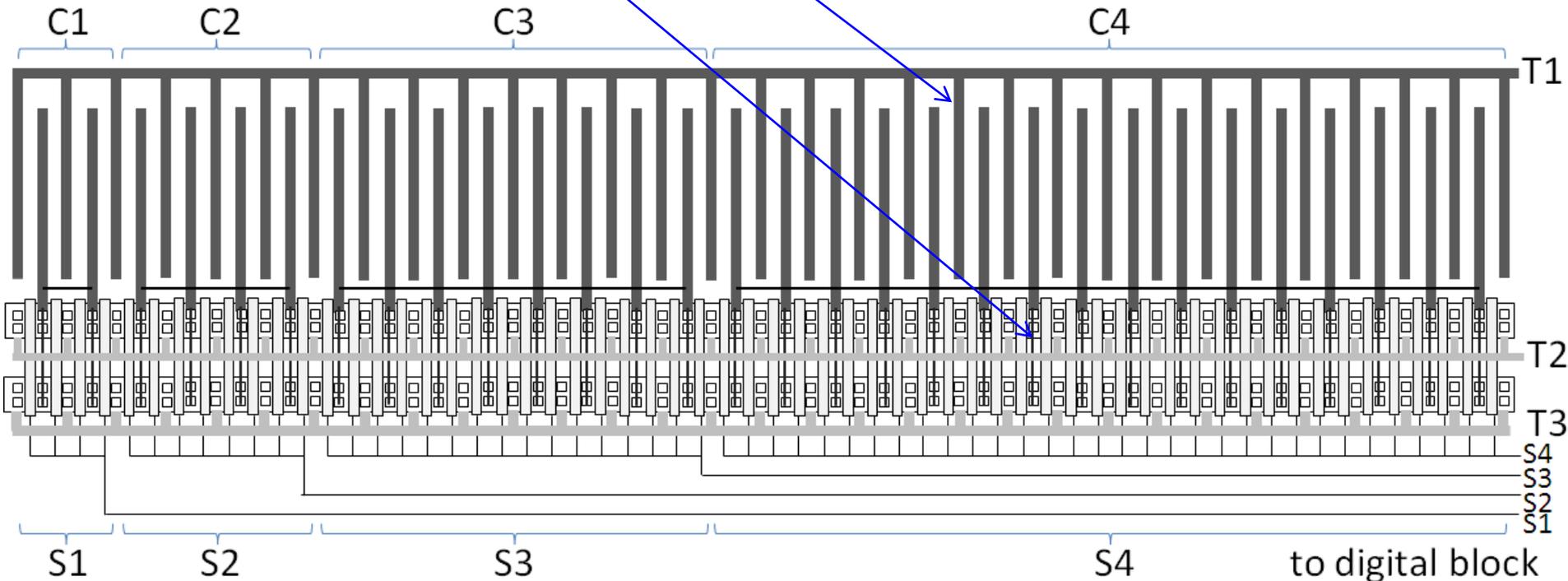
配線による寄生容量により直線性が3ビットも悪化



# 配線を用いた容量形成と等ピッチレイアウト 138



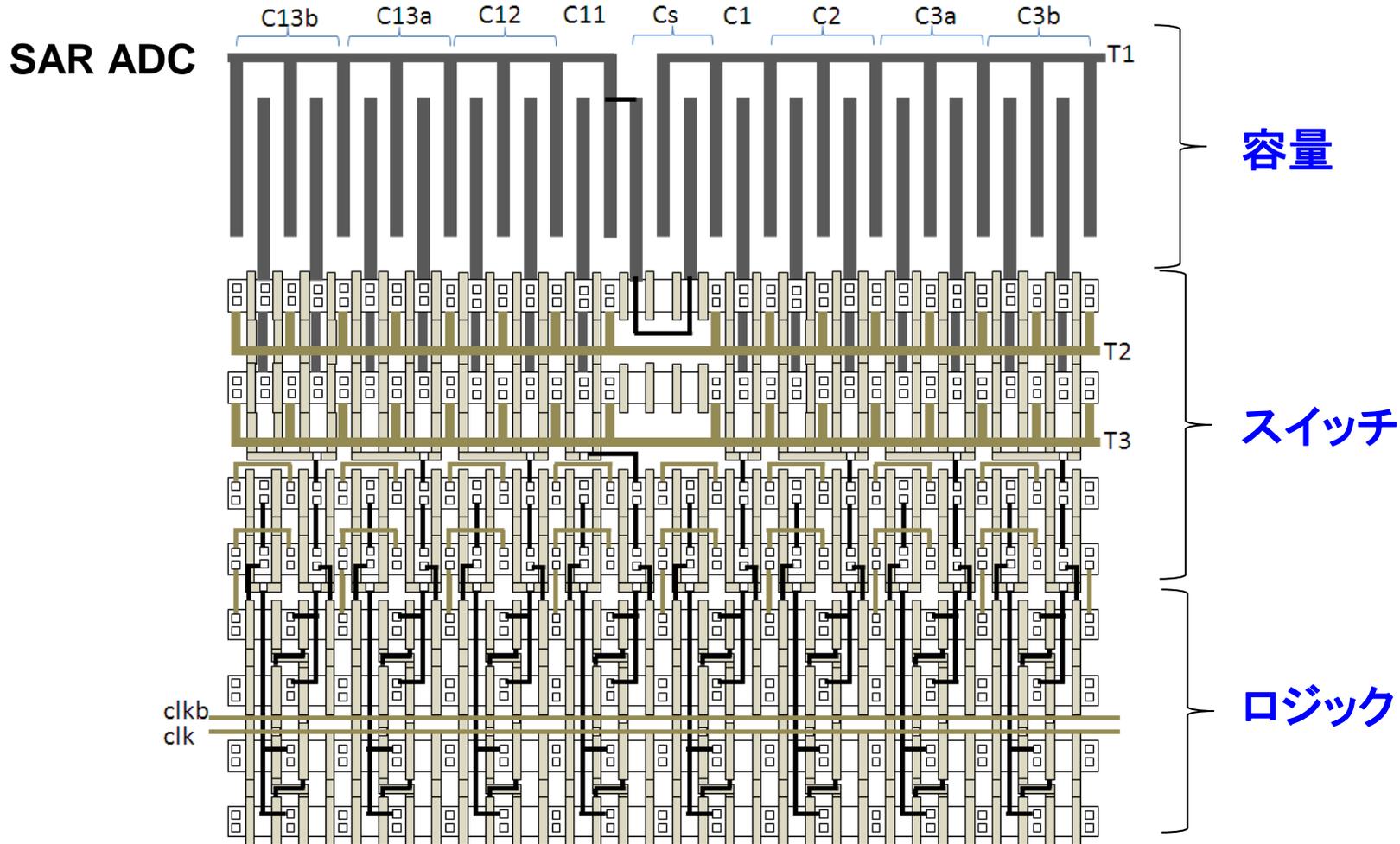
近年のアナログ回路では配線を用いた MOM容量が用いられる。等ピッチにして、最初から配線容量を設計に組み込めば寄生容量による誤差は殆どなくなる



菅原, 松澤 他, アナログRF 研究会, 2013年11月

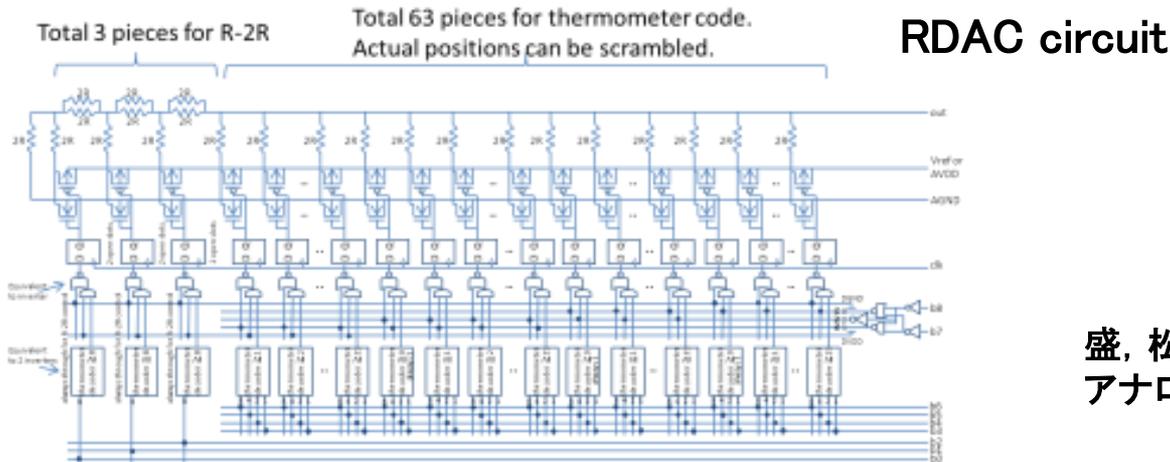
# 理想的なアナログレイアウト

容量ピッチとトランジスタピッチを一致させると最も高密度で寄生容量の影響が少なく、高速・高精度な回路が実現できる

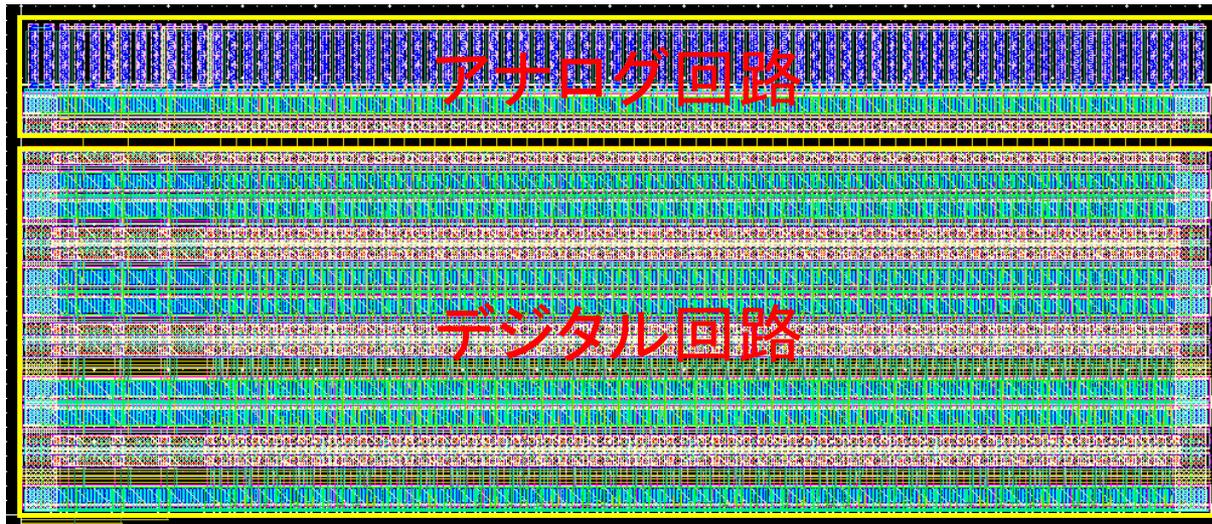


## RDACの開発

## SKILL言語を用いてRDACのレイアウトを発生させた例



盛, 松澤 他, "9ビットRDACの自動合成"  
アナログRF 研究会, 2013年8月

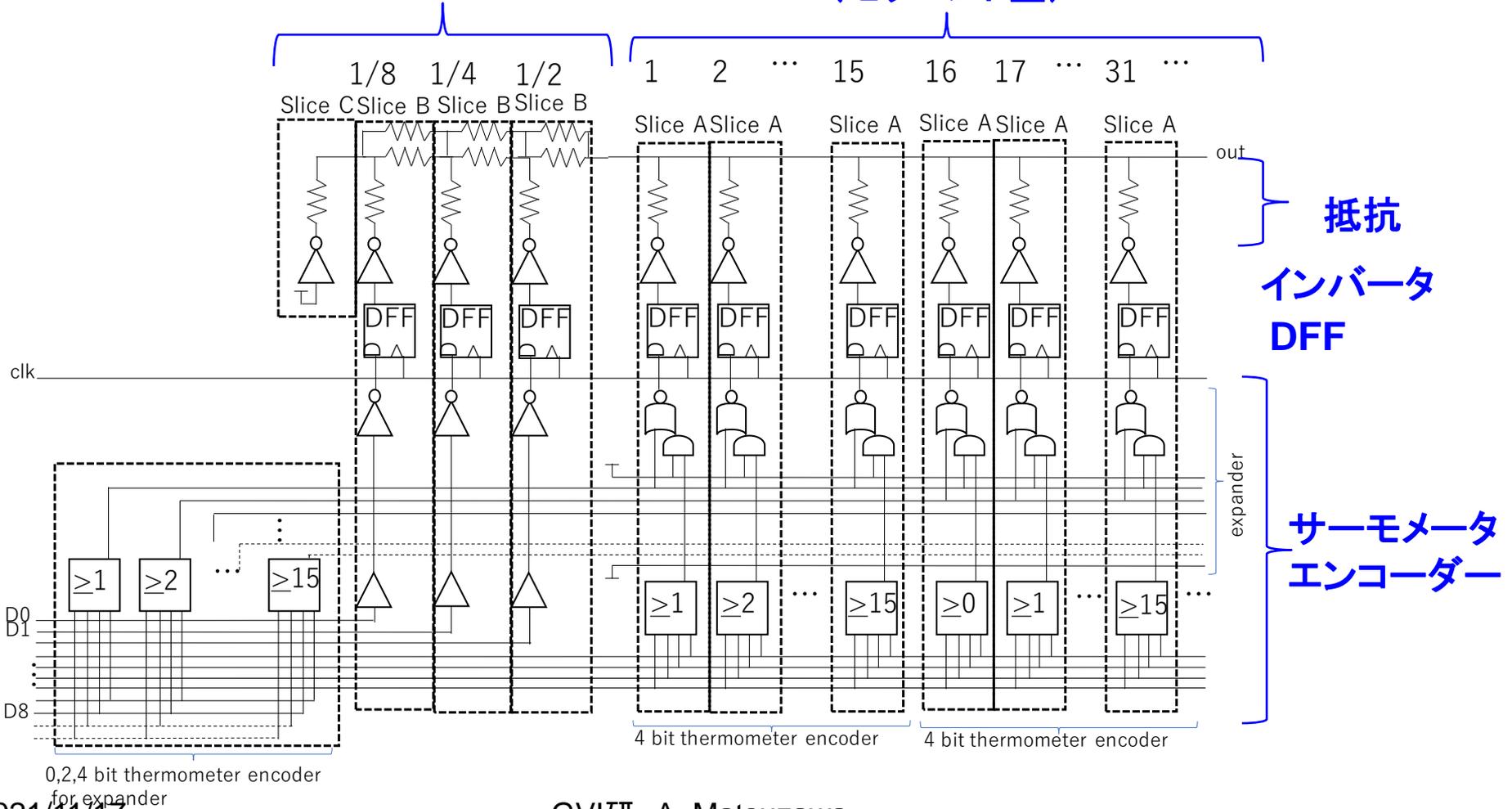


# RADCの構成

RDACは抵抗, インバータ, DFF, デコーダロジックから構成される

下位変換部  
(R-2R型)

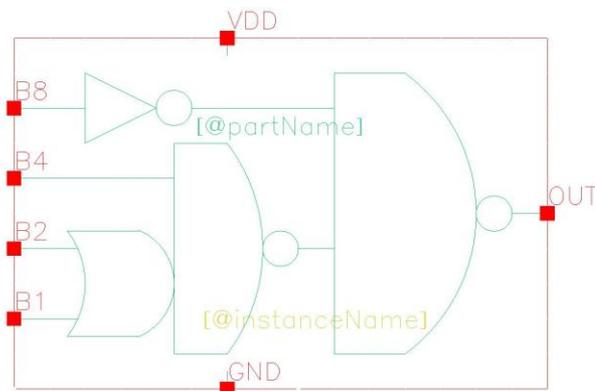
上位変換部 同一抵抗  
(セグメント型)



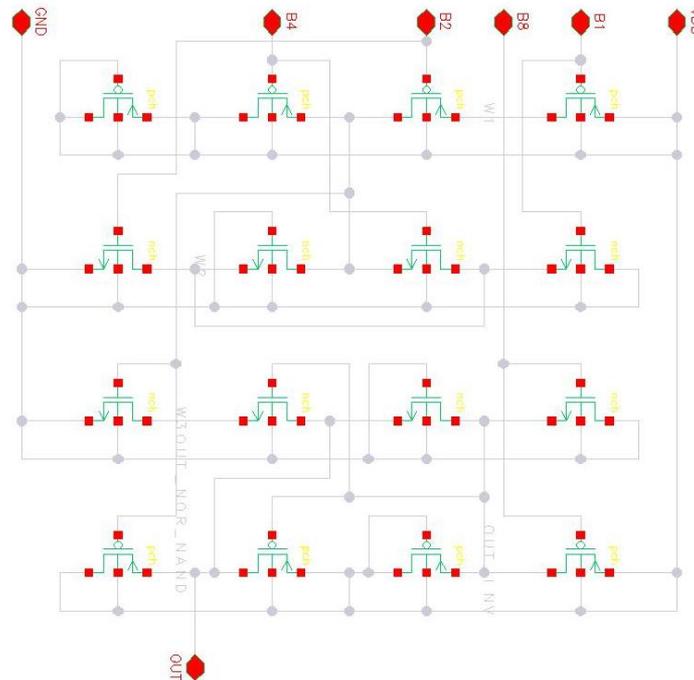
# 横4TR限定のレイアウト <sup>143</sup>

ユニットセルを横4TRに限定すれば、全ての回路を構成できる

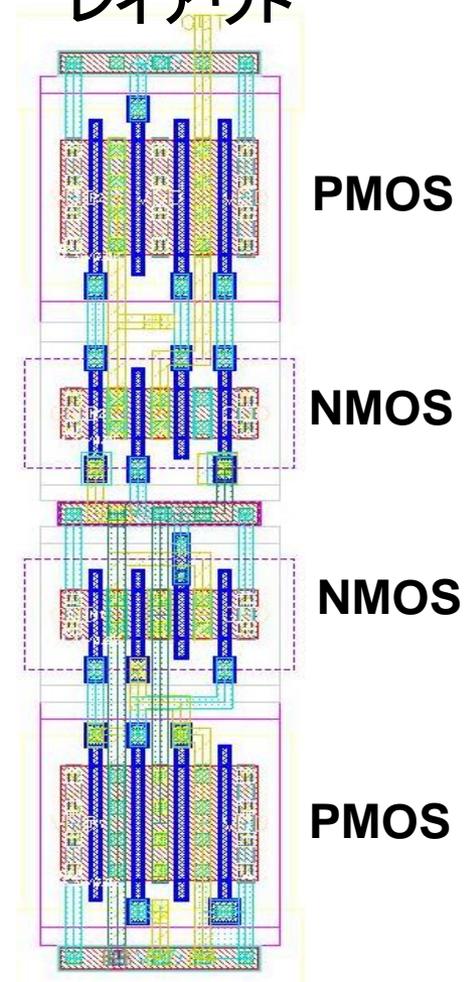
## デコーダロジック



## トランジスタ



## レイアウト



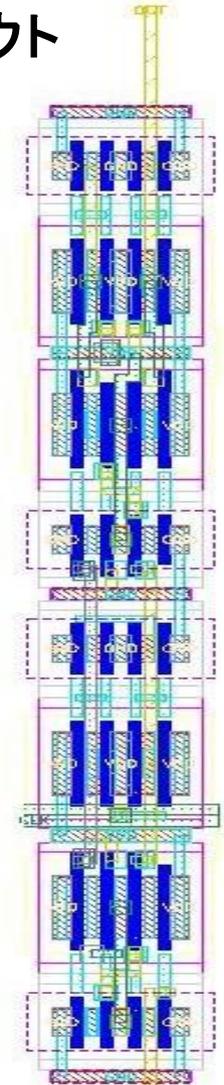
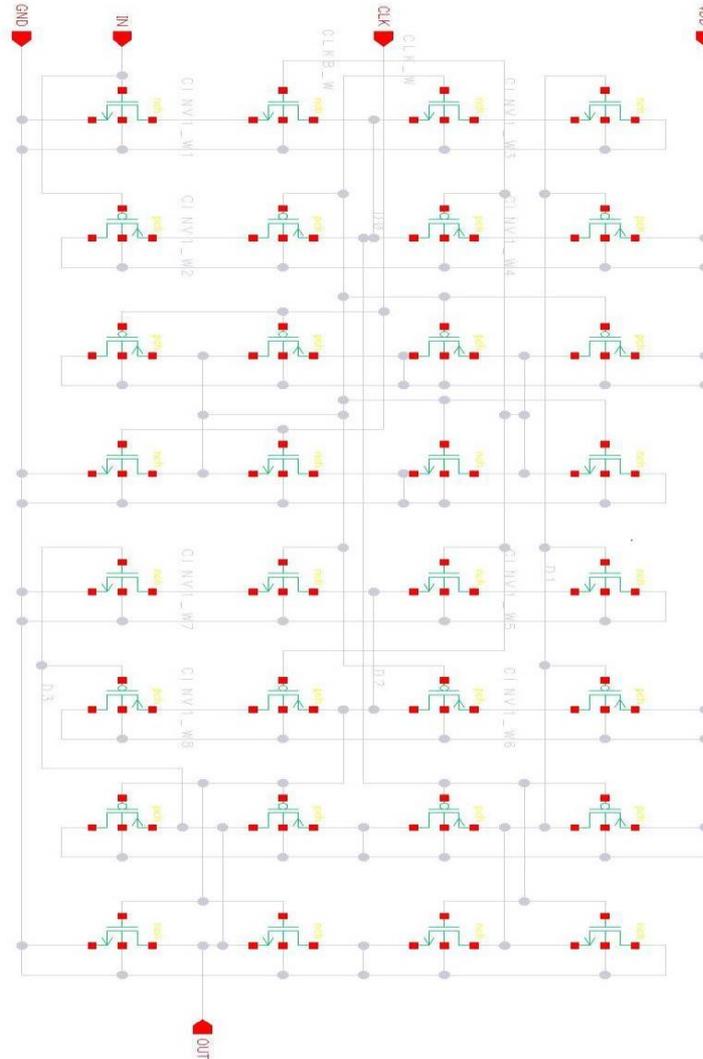
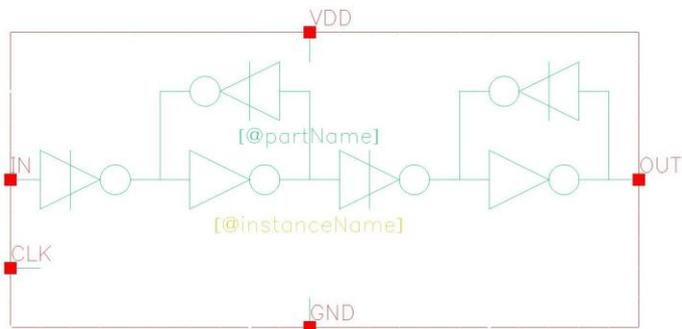
# 横 4 TR 限定のレイアウト

複雑なDFFも4TRで実現できる

トランジスタ

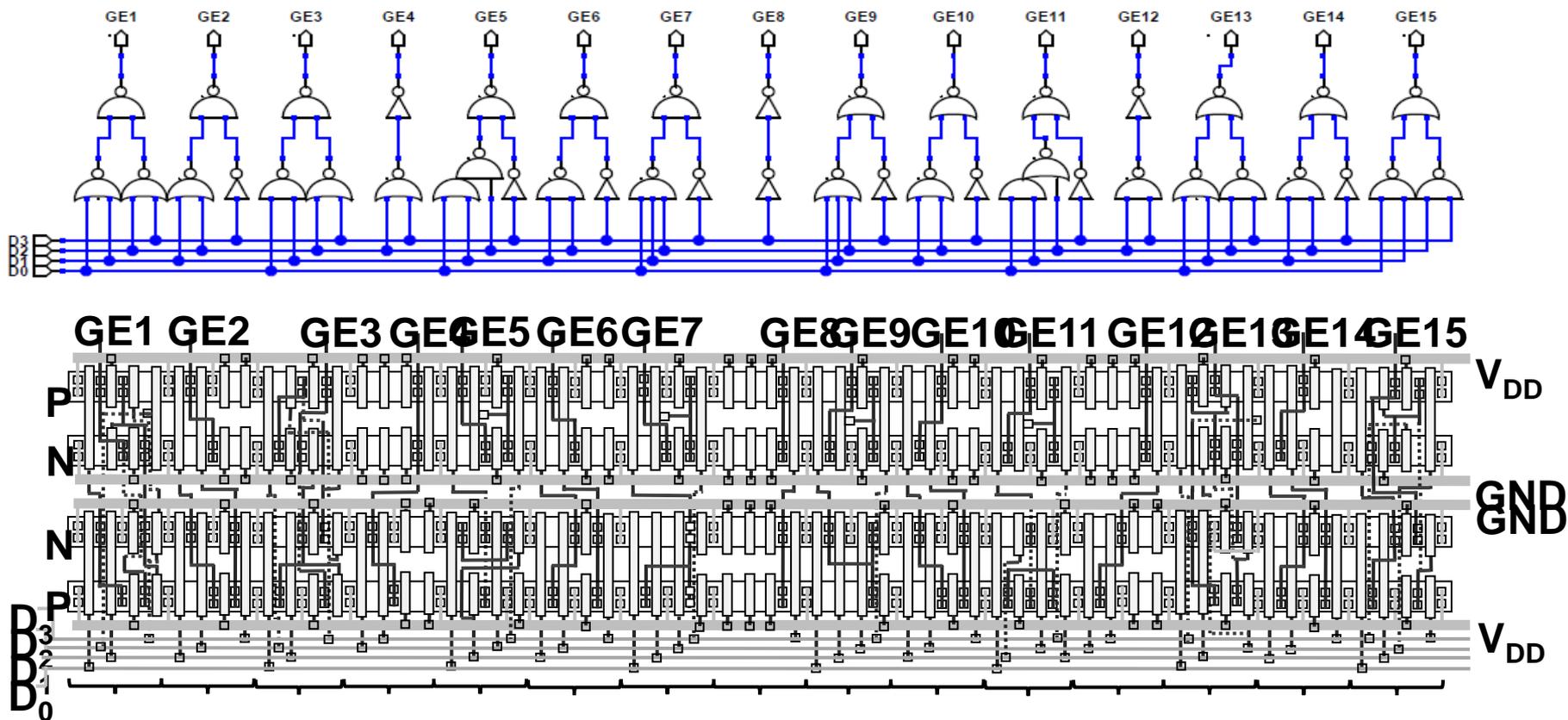
レイアウト

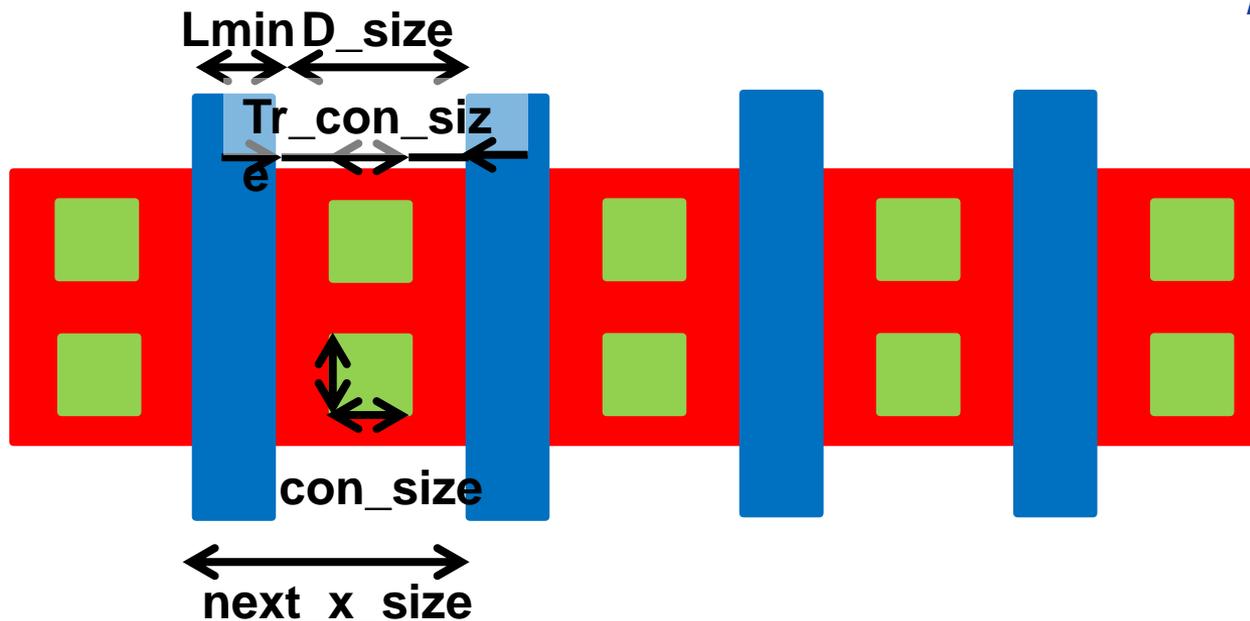
## フリップフロップ



# サーモメータエンコーダ

DACにおいて、サーモメータエンコーダはセルと接続の規則性が崩れるので配線のプログラミング化での対応が特に必要なブロックである





**Lmin**: 設計データ

**D\_size**: デザインルールより計算

$next\_x\_size = Lmin + D\_size$

$D\_size = 2 * Tr\_con\_size + con\_size$

$C00X = ORG\_X$                        $T01X = C00X + D\_size/2$                        $G01X = T01X + Lmin/2$

$C01X = C00X + next\_x\_size$                        $T02X = C01X + D\_size/2$

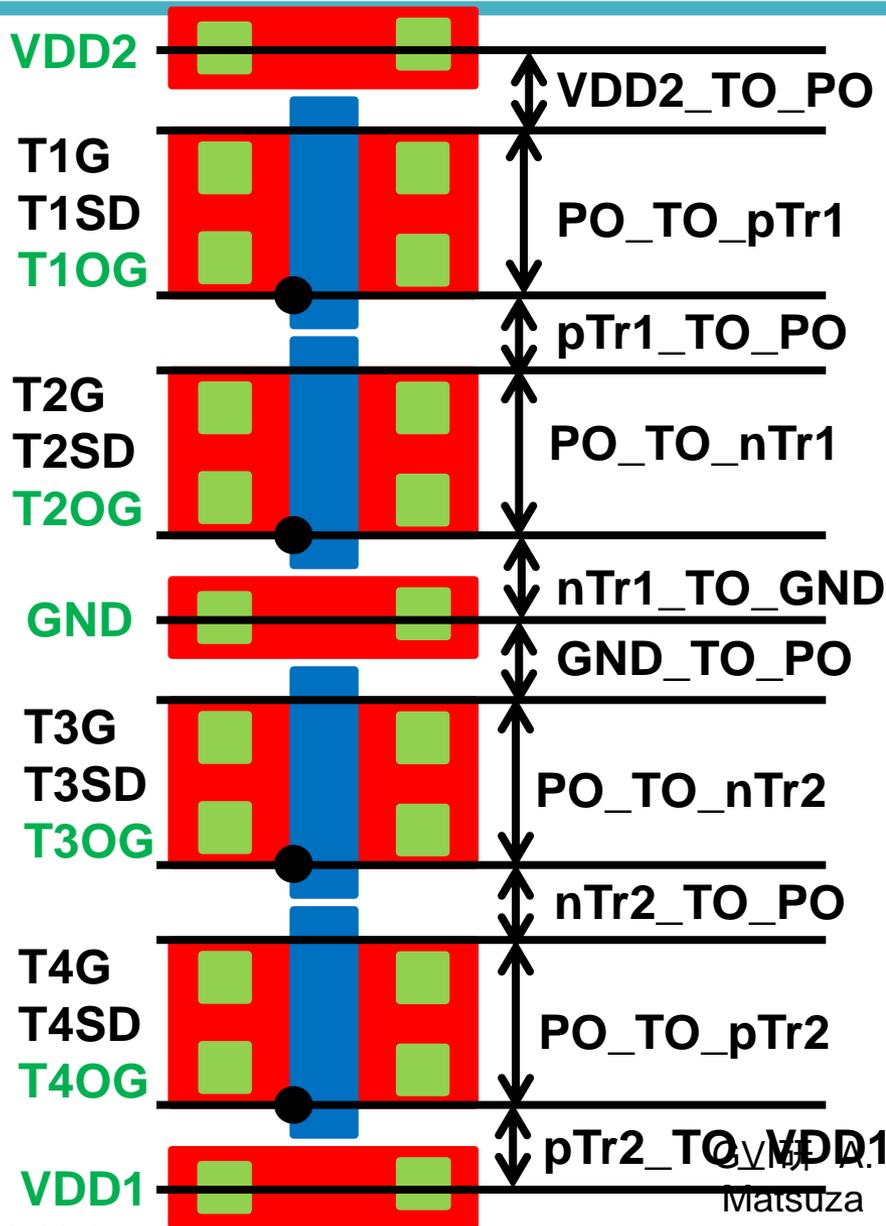
$G02X = T02X + Lmin/2$

$C02X = C01X + next\_x\_size$                        $T03X = C02X + D\_size/2$

$G03X = T03X + Lmin/2$

$C03X = C02X + next\_x\_size$                        $T04X = C03X + D\_size/2$

# レイアウトのY座標の計算<sup>147</sup>



$$VDD2 = T1OG + Wp + PP_y + PP\_Tr\_via + M1\_SUB\_04\_2y$$

$$T1OG = T2OG + Wn + NP_y + PP\_NP\_Tr + PP_y$$

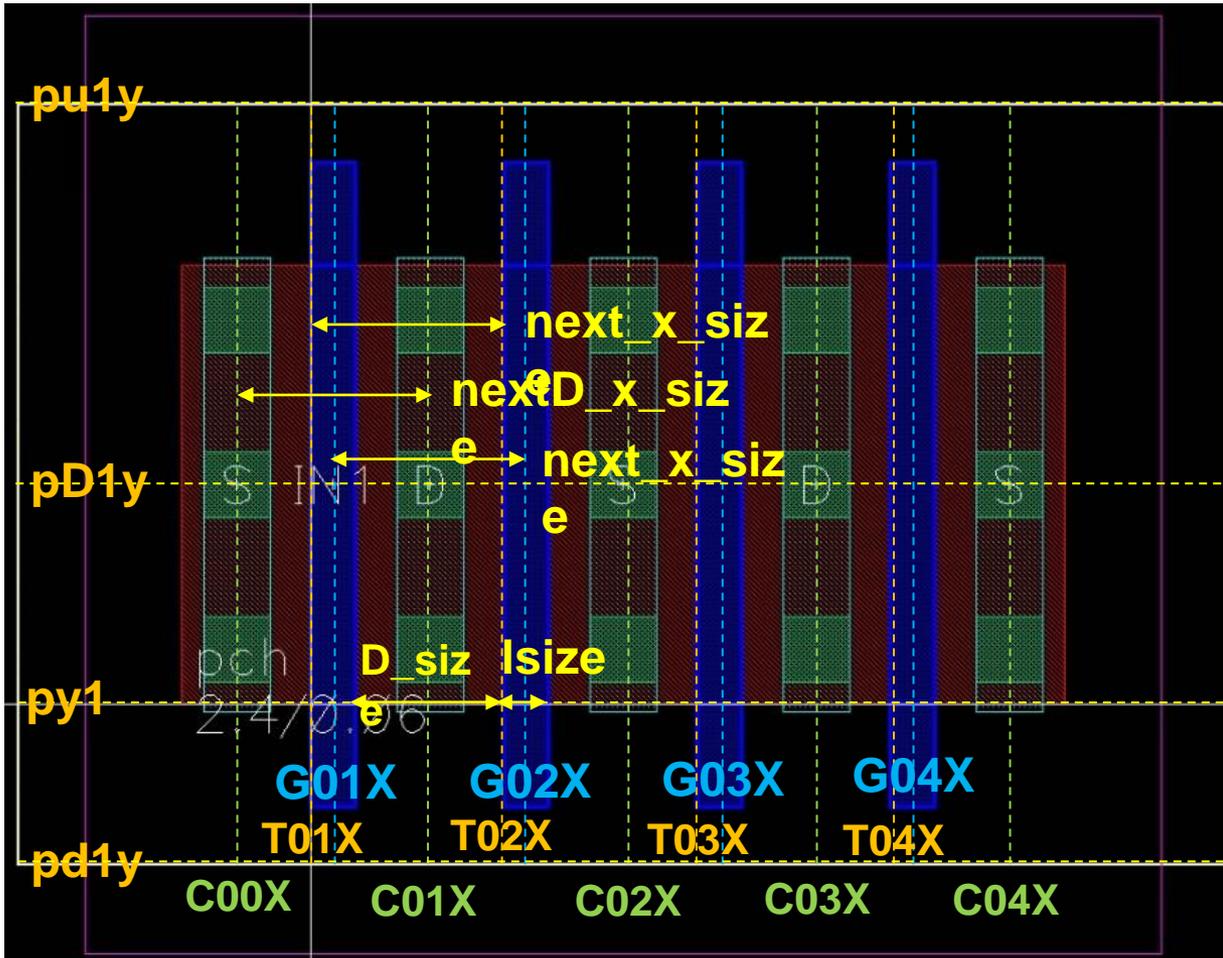
$$T2OG = GND + M1\_SUB\_04\_2y + NP\_Tr\_via + PP_y$$

$$GND = T3OG + Wn + NP_y + NP\_Tr\_via + M1\_SUB\_04\_2y$$

$$T3OG = T4OG + Wp + PP_y + PP\_Tr\_via + NP\_Tr\_via + NP_y$$

$$T4OG = ORGpn_y$$

$$VDD1 = M1\_NW\_04\_2y$$



$$T01X = ORG\_x$$

$$T02X = T01X + next\_x\_size$$

$$T03X = T02X + next\_x\_size$$

$$T04X = T03X + next\_x\_size$$

$$C00x = ORG\_x - D\_size / 2$$

$$C01x = T01X + nextD\_x\_size$$

$$C02x = T02X + nextD\_x\_size$$

$$C03x = T03X + nextD\_x\_size$$

$$C04x = T04X + nextD\_x\_size$$

$$G01x = T01X + lsize / 2$$

$$G02x = T02X + lsize / 2$$

$$G03x = T03X + lsize / 2$$

$$G04x = T04X + lsize / 2$$

$$pd1y = py1 - NW\_y$$

$$pD1y = py1 + Wp / 2$$

$$pu1y = py1 + Wp + NW\_y$$

# DFFのレイアウトプログラム 1

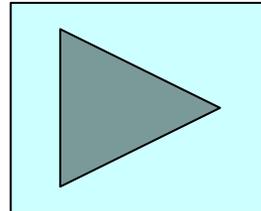
SUB1\_xy=(0.865 0.095)  
nLogic1\_xy=(0.445 0.66)  
pLogic1\_xy=(0.445 2.0 )  
NW1\_xy=(0.865 3.405)  
pLogic2\_xy=(0.445 3.97)  
nLogic2\_xy=(0.445 5.79)  
SUB2\_xy=(0.865 6.715)  
nLogic3\_xy=(0.445 7.28)  
pLogic3\_xy=(0.445 8.62)  
NW2\_xy=(0.865 10.025)  
pLogic4\_xy=(0.445 10.59)  
nLogic4\_xy=(0.445 12.41)  
SUB3\_xy=(0.865 13.335)  
DGND\_AVDD\_length=1.44  
IN\_y=0.0 OUT\_y=14.775  
CLK\_xy=((0.0 3.68) (1.73 3.68))

PPNPx1=0.14 PPNPx2=1.59  
NPd1\_xy=((0.14 0.2 ) (1.59 0.32))  
NPu1\_xy=((0.14 1.36) (1.59 1.51))  
PPd1\_xy=((0.14 1.51) (1.59 1.66))

PPu1\_xy=((0.14 3.18) (1.59 3.31))  
PPd2\_xy=((0.14 3.5 ) (1.59 3.63))  
PPu2\_xy=((0.14 5.15) (1.59 5.3 ))  
NPd2\_xy=((0.14 5.3 ) (1.59 5.45))  
NPu2\_xy=((0.14 6.49) (1.59 6.61))  
NPd3\_xy=((0.14 6.82) (1.59 6.94))  
NPu3\_xy=((0.14 7.98) (1.59 8.13))  
PPd3\_xy=((0.14 8.13) (1.59 8.28))  
PPu3\_xy=((0.14 9.8 ) (1.59 9.93))  
PPd4\_xy=((0.14 10.12 ) (1.59 10.25))  
PPu4\_xy=((0.14 11.77 ) (1.59 11.92))  
NPd4\_xy=((0.14 11.92 ) (1.59 12.07))  
NPu4\_xy=((0.14 13.11 ) (1.59 13.23))  
ny1= 0.66 nd1y= 0.435 nD1y= 0.84 nu1y= 1.245  
py1= 2.8 pd1y= 1.775 pD1y= 2.42 pu1y= 3.065  
py2= 3.97 pd2y= 3.745 pD2y= 4.39 pu2y= 5.035  
ny2= 5.79 nd2y= 5.565 nD2y= 5.97 nu2y= 6.375  
ny3= 7.28 nd3y= 7.055 nD3y= 7.46 nu3y= 7.865  
py3= 8.62 pd3y= 8.395 pD3y= 9.04 pu3y= 9.685  
py4=10.59 pd4y=10.365 pD4y=11.01 pu4y=11.655  
ny4=12.41 nd4y=12.185 nD4y=12.59 nu4y=12.995

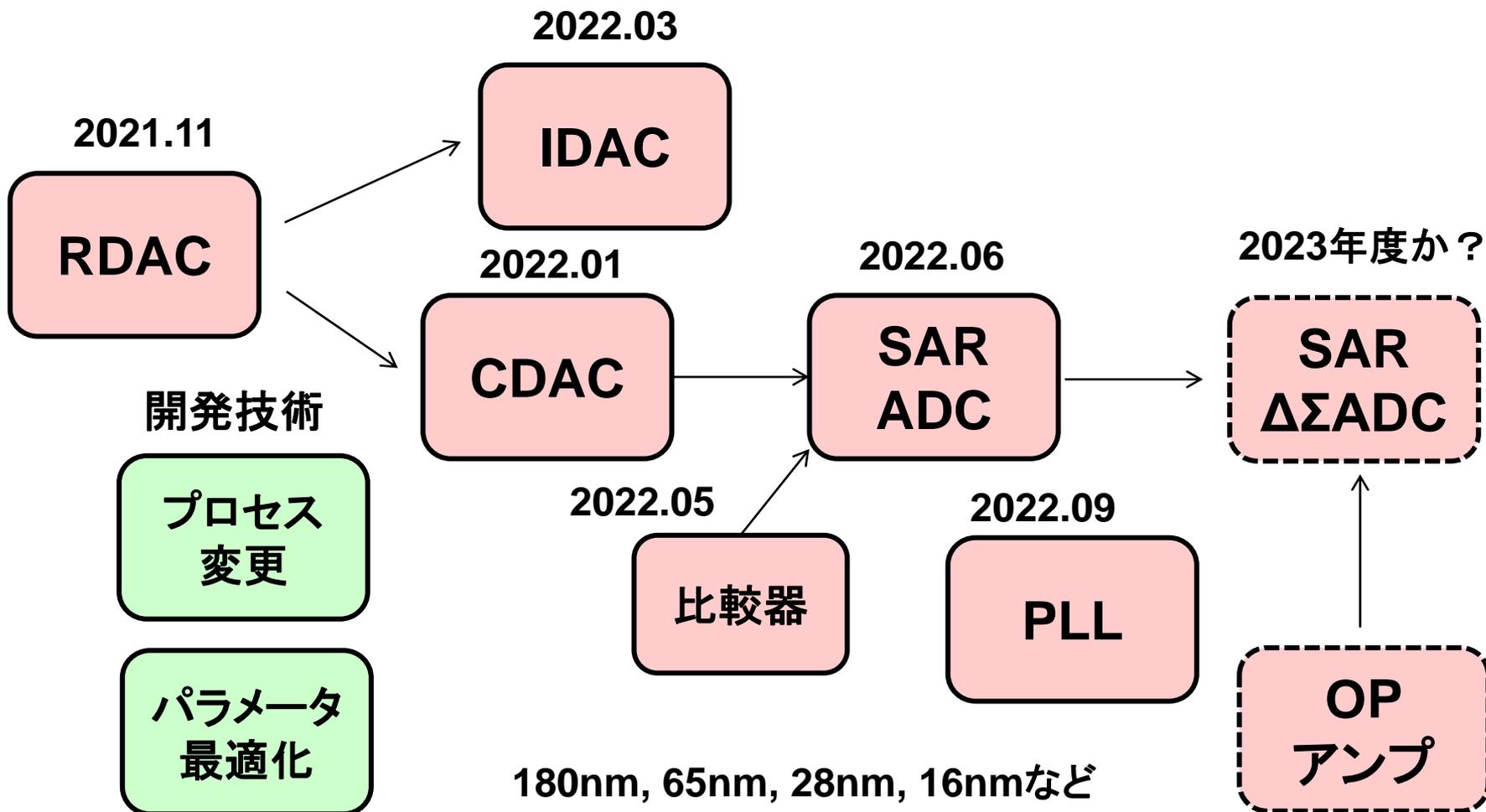
## RDACのデモ

7ビットおよび11ビットのRDAC(抵抗型DAC)の合成を行う回路図は分かっているので、回路合成後レイアウト出力を表示する7ビットと11ビットではサーモメータエンコーダのレイアウトが異なっていることが確認できる。プロセスは TSMC 65nm CMOSである。



# 開発ロードマップ

来年度中にはアナログコアIPのソフトウェア化を実現したい



180nm, 65nm, 28nm, 16nmなど

- アナログIPはSoCに不可欠だが、ネックでもある
- ソフトウェアにより回路・レイアウトを自動発生する「ソフトウェアアナログ技術」を提案
  - 熟達した設計者の設計アルゴリズムをソフトウェア化
  - 性能最大, 面積最小
  - プロセス変換に自動対応
- 人手設計からソフトウェアによる設計にすることで多くのメリット
  - 開発期間の大幅短縮
  - 開発可能なIP数の増大
  - 技術の伝承が容易
- 来年度中には主要なアナログIPをソフトウェア化する予定

## 集積回路設計を楽しみながら幾分かは社会に貢献できたと思う

ADCは未だにシステムのボトルネック, 息の長い開発になった  
幾分の独創性を発揮したが, 時代の要請に必死で応えただけかも

- TV・ビデオのデジタル化の時代に遭遇
- 集積回路の1つの歴史を体現
  - ボード→バイポーラ→ Bi-CMOS→ CMOS→ SoC
- ビデオADCの開発で画期的な高性能・低電力, 技術を牽引
  - 各種補間技術の開発: 抵抗補間, 容量補間, ゲート補間
- ミリ波利用に貢献したミリ波CMOSトランシーバーの開発
- 教育は国の根幹, 学生・技術者教育に最大限努力
- 学会で楽しみ, 運営に貢献
- 事業に関してもそれなりに応えてきたつもり