

## 先端CMOSアナログ集積回路の課題と今後の展開

CMOSによる回路実現を前提として....

大阪大学 谷口研二

概要

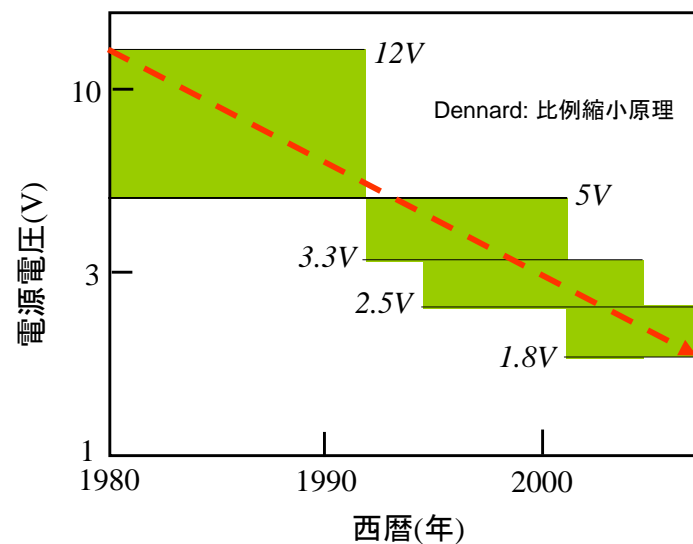
- I .MOSFETを用いた増幅回路
- II .高速アナログ回路設計のポイント
- III .CMOSアナログ回路のレイアウト

常にMOSFET構造を意識しながら.....

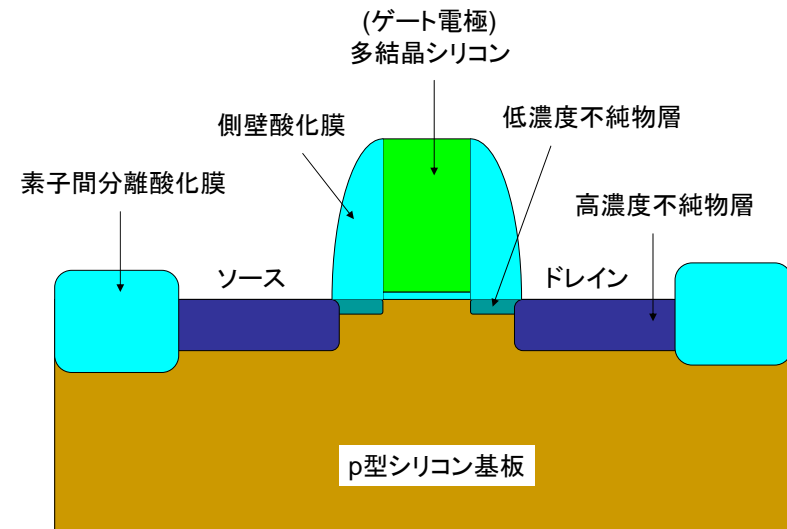
## I .MOSFETを用いた増幅回路

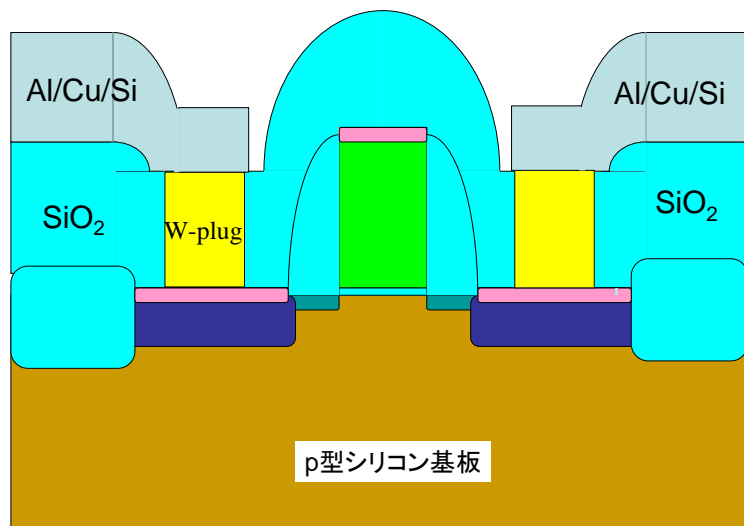
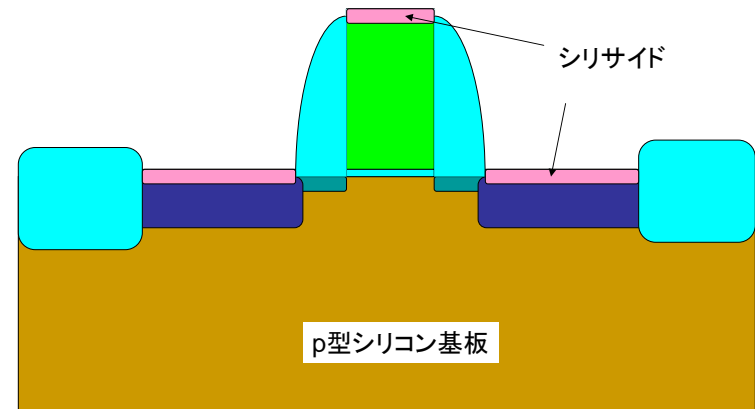
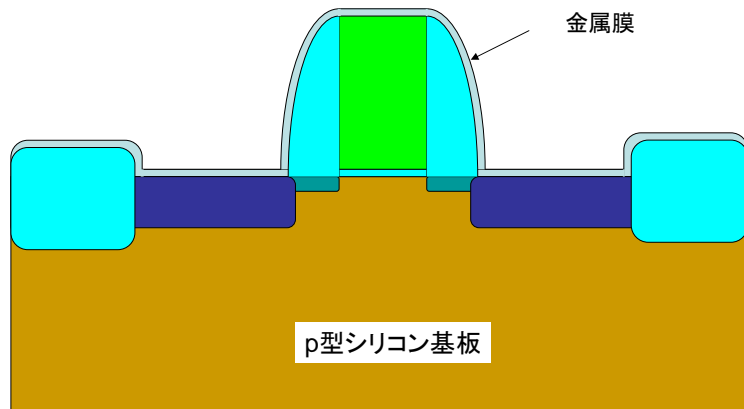
1. MOSFETの基本構造
2. MOS素子を用いた増幅回路
3. 増幅回路の周波数特性
4. 半導体ロードマップと新構造デバイス

## CMOSアナログ回路の電源電圧の推移



## 1.MOSFETの基本構造

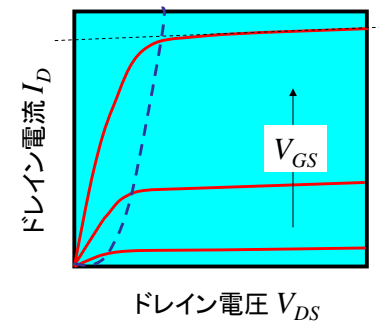




### 出力抵抗 $r_o$ と相互コンダクタンス $g_m$

(アナログ回路にとって重要な2つのパラメータ)

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$



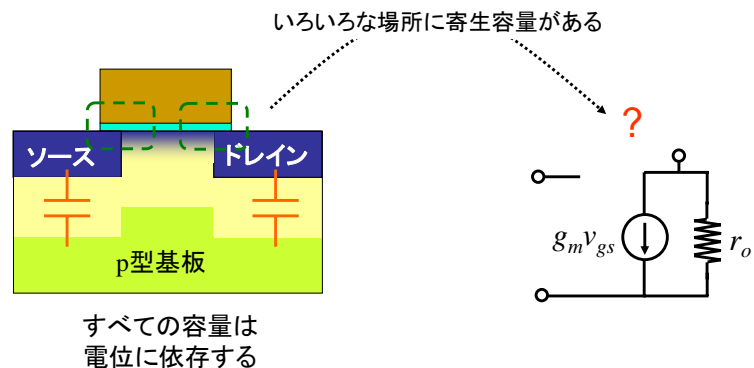
$$r_o = \left( \frac{dI_D}{dV_{DS}} \right)^{-1} \approx \frac{1}{\lambda I_D}$$

$$g_m = \frac{dI_D}{dV_{GS}} \approx \sqrt{2\beta I_D}$$

ポイント: バイアス電流  $I_D$  の関数

## MOSFETの寄生容量

(MOSFETの詳細な小信号モデル)



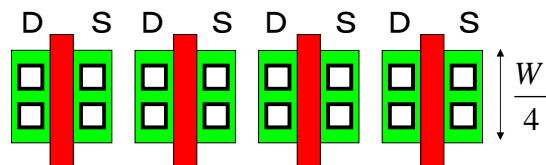
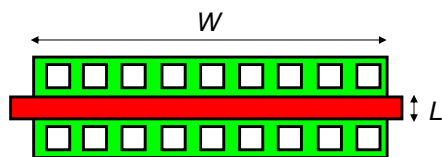
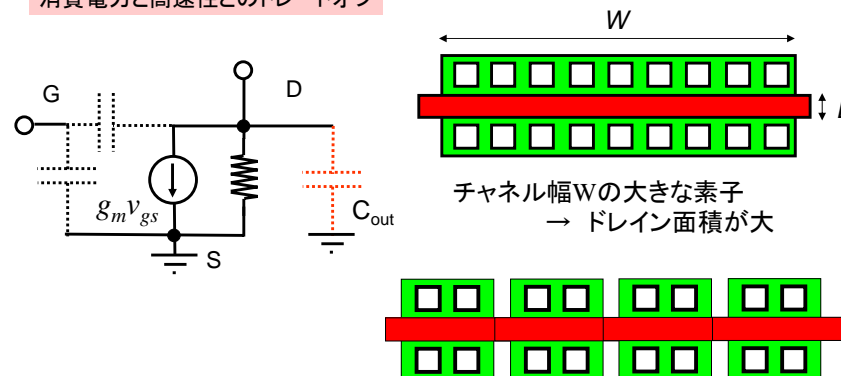
## チャンネル幅Wの大きな素子のレイアウト

- 高速動作の鍵 ---
- ①  $g_m$  の大きな素子を用いる
  - ② 負荷容量  $C_{out}$  を低減する

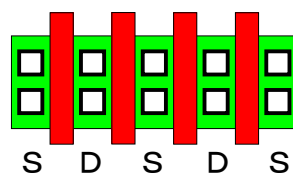
$$\omega_u = \frac{g_m}{C_{out}} \quad g_m = \sqrt{2 \frac{W}{L} \mu C_{ox} I_D}$$

$\nearrow \frac{W}{L}$  を大きく  
 $\searrow I_D$  を大きく

消費電力と高速性とのトレードオフ



ドレイン領域を共通化して容量を下げる



ドレイン容量が半分  
回路の性能を上げる

## MOSFETのデバイスパラメータ

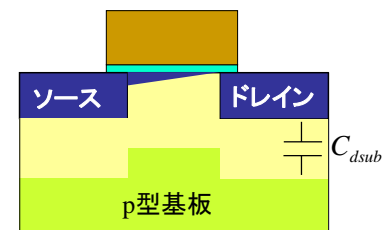
まとめると....

$$\left. \begin{array}{l} C_{gd}, C_{dsub} \\ g_m \\ r_o \end{array} \right\} \begin{array}{l} \text{高速応答性} \\ \text{増幅利得} \end{array} \quad \begin{array}{l} \omega_u \rightarrow \frac{g_m}{C} \\ A \rightarrow g_m r_o \end{array}$$

目安(最先端技術)

$$\frac{C_{gd}}{C_{gs}} \approx 0.3$$

$$\frac{C_{dsub}}{C_{gs}} \approx 1.5$$

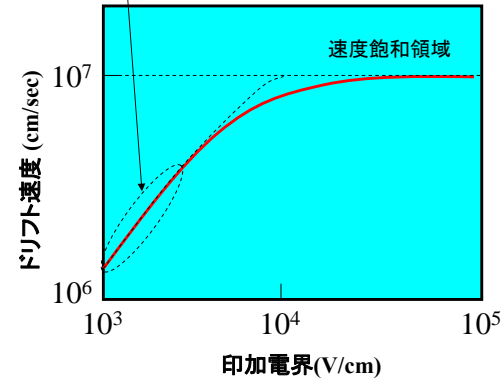


## MOSFETの微細化

素子の微細化によって $g_m$ ,  $r_o$ ,  $C$ はどのように変化するのか

## 素子が小さくなると...ドリフト速度の飽和

オームの法則適用領域

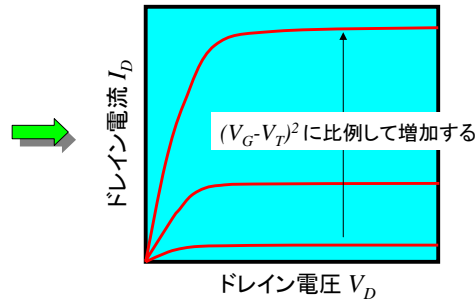


素子内の平均電界

$$\frac{1.5V}{0.15 \mu m} = 10^5 V/cm$$

### 長チャネルMOSFET

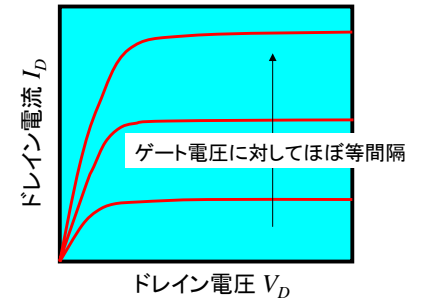
$$I_{Dsat} = \frac{W}{2L} \mu_o C_{ox} (V_{GS} - V_T)^2$$



### 短チャネルMOSFET

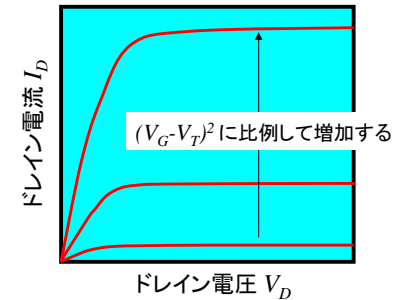
$$I_{Dsat} = \frac{W \mu_o C_{ox} (V_{GS} - V_T)^2}{2L[1 + \theta(V_{GS} - V_T)]}$$

より一般的な式

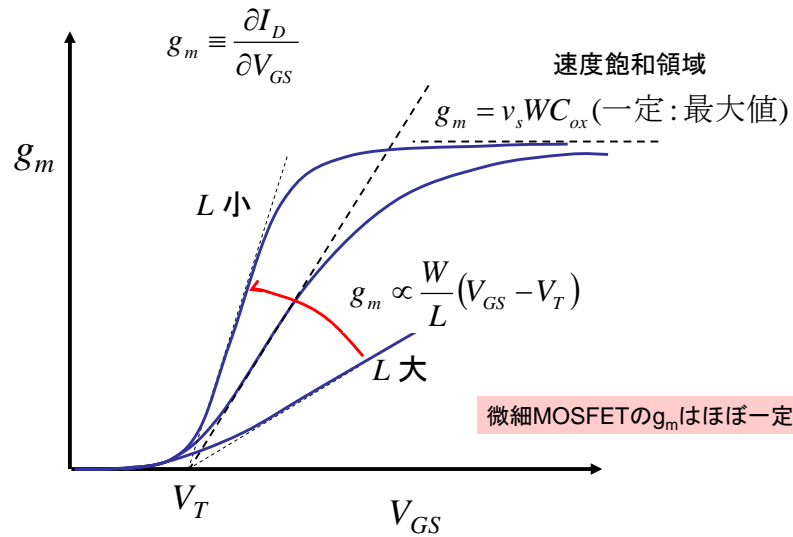


### 長チャネルMOSFET

$$I_{Dsat} = \frac{W}{2L} \mu_o C_{ox} (V_{GS} - V_T)^2$$



## g<sub>m</sub>のゲート電圧依存性



## 電気的特性のまとめ

長チャネルMOSFET

~~$r_o = \left( \frac{dI_D}{dV_{DS}} \right)^{-1} \approx \frac{1}{\lambda I_D}$~~

~~$g_m = \frac{dI_D}{dV_{GS}} \approx \sqrt{2\beta I_D}$~~

~~$\omega_u \rightarrow \frac{g_m}{C}$~~

~~$I_D$ に依存する~~

## 短チャネルMOSFET

n=0.8~0.5

$r_o = \left( \frac{dI_D}{dV_{DS}} \right)^{-1} \approx \frac{1}{\lambda I_D^n}$

$g_m = \frac{dI_D}{dV_{GS}} \approx v_s W C_{ox}$  一定

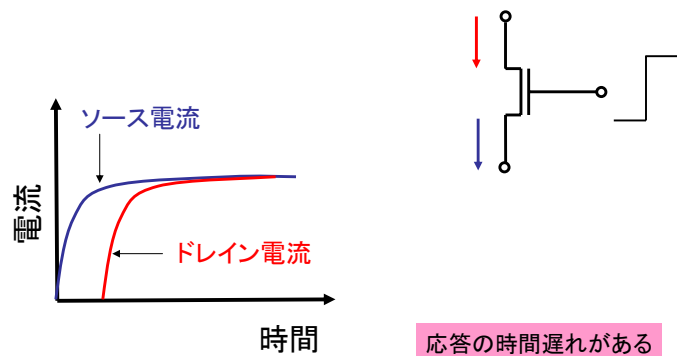
$\omega_u \rightarrow \frac{g_m}{C}$  微細化が鍵

$I_D$ に依存しない

## MOSFETの非平衡輸送現象

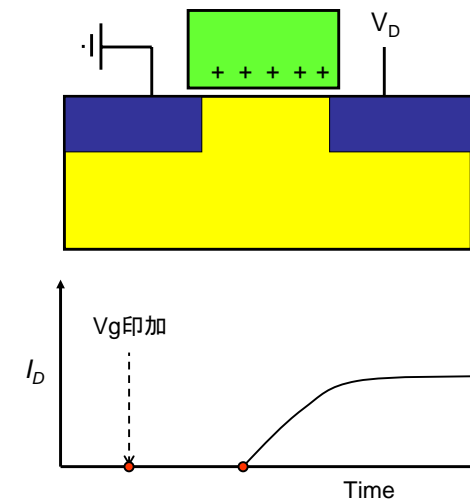
究極の高速回路を設計を行う際に考慮すべきポイント

### NQS(Non-Quasi-Static)効果

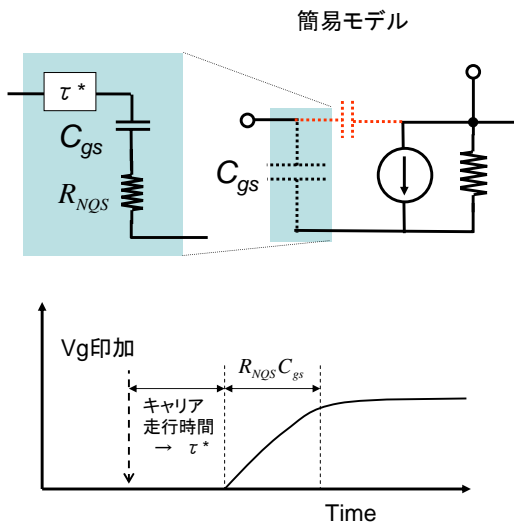


## MOSFETの非平衡輸送

分布定数回路



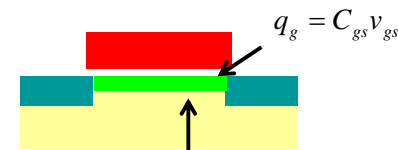
## MOSFETの非平衡輸送



## NQS(Non-Quasi-Static)効果のまとめ

Quasi Static

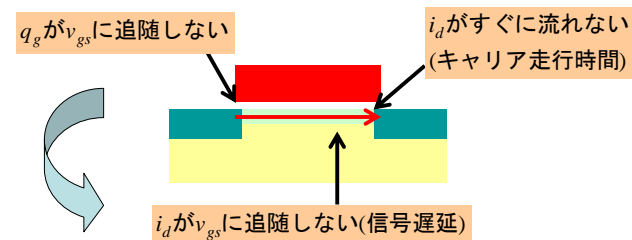
- 低周波信号



$v_{gs}$ に応じたチャネルが形成される

Non-Quasi Static

- 高周波信号 ( $\omega_T$ に近いオーダー)



## 半導体ロードマップ

	2004	2005	2006	2007	2008	2009	2012	
ゲート長	65	53	45	37	32	28	20	nm
EOT	2.1	2.1	1.9	1.6	1.5	1.4	1.2	nm
ゲート空乏	0.8	0.7	0.7	0.7	0.4	0.4	0.4	nm
ゲートリーク	0.5	0.9	1.5	2.2	3.1	4.8	10	0.01A/cm <sup>2</sup>
オフリーク	10	15	20	25	30	40	60	pA/um
移動度増大	1.0	1.0	1.0	1.0	1.3	1.3	1.3	
飽和速度増大	1.0	1.0	1.0	1.0	1.0	1.0	1.0	
相対性能	1.17	1.42	1.64	1.88	2.39	2.64	4.10	基準2003年

High k

メタルゲート  
歪シリコン

FD-SOI

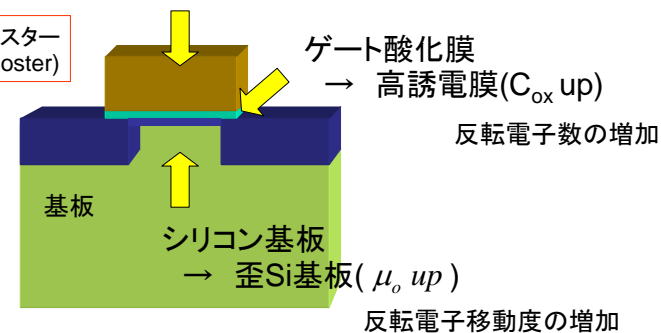
## MOSFETの改良(手軽版)

(2007年頃までに....)

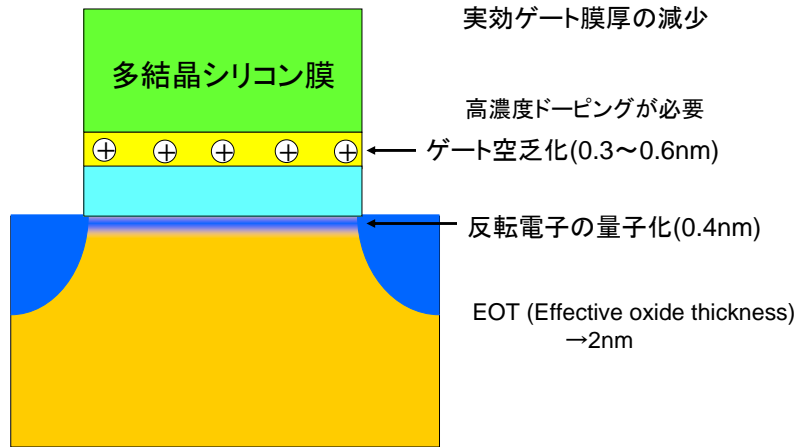
多結晶シリコンゲート

→ 金属ゲート(低抵抗) 遅延時間の短縮

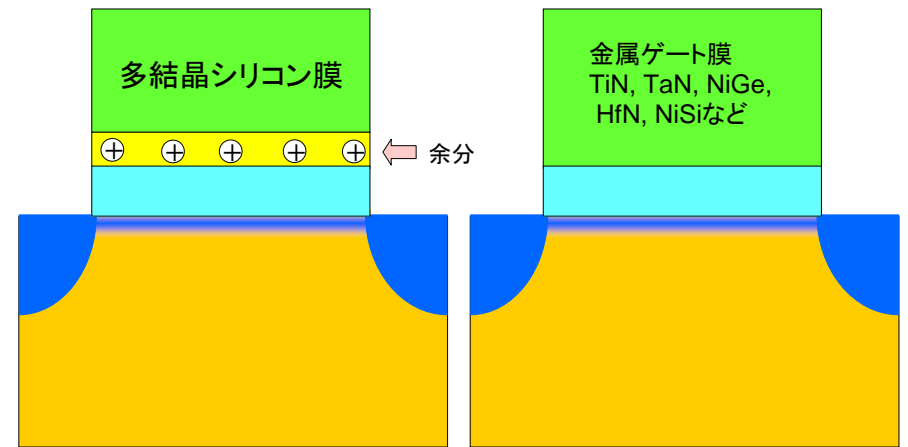
テクノロジーブースター  
(Technology Booster)



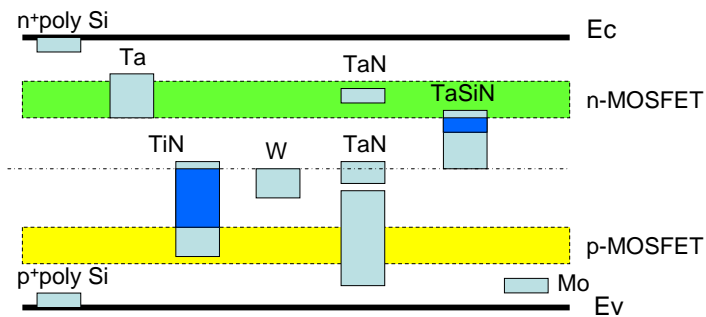
## なぜ金属ゲート?



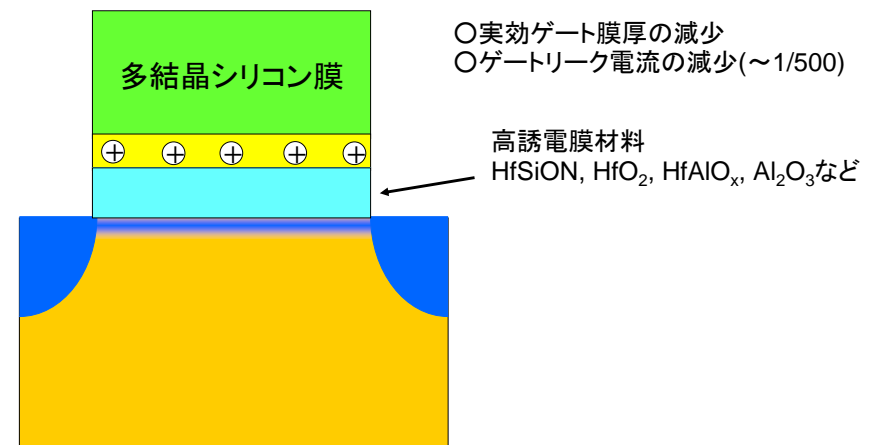
## なぜ金属ゲート?



1. デュアルメタル P-MOS,n-MOS
2. シングルメタル
3. シリサイド



## なぜ高誘電膜?



## 高誘電膜の問題点

高誘電膜材料  
HfSiON, HfO<sub>2</sub>, HfAlO<sub>x</sub>, Al<sub>2</sub>O<sub>3</sub>など

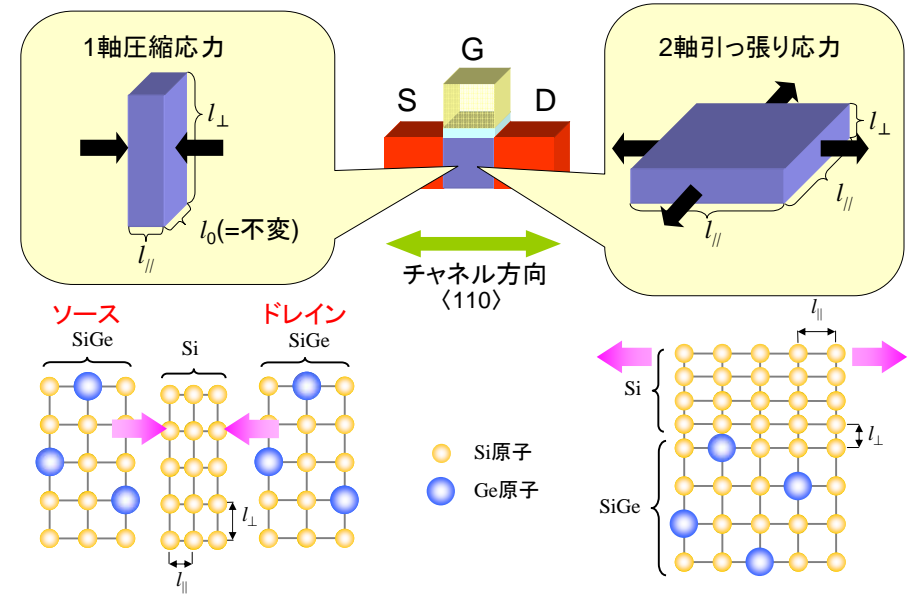
問題点

1. 移動度の低下(50%~95%)
2. Boronの突き抜け(CVD堆積膜)
3. 微量酸素雰囲気中の熱処理で低誘電率層がHigh-k/Si界面に形成される。
4. 高温熱処理が困難(アモルファス→結晶)
5. フェルミレベル・ピニング(しきい値が高め)  
→ 金属ゲート材料

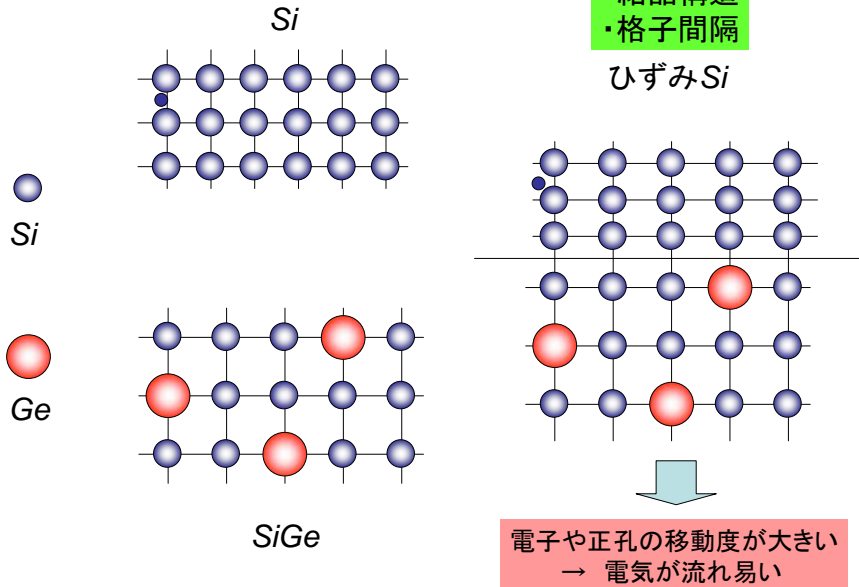
防止策:

バリア層(Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>)の使用

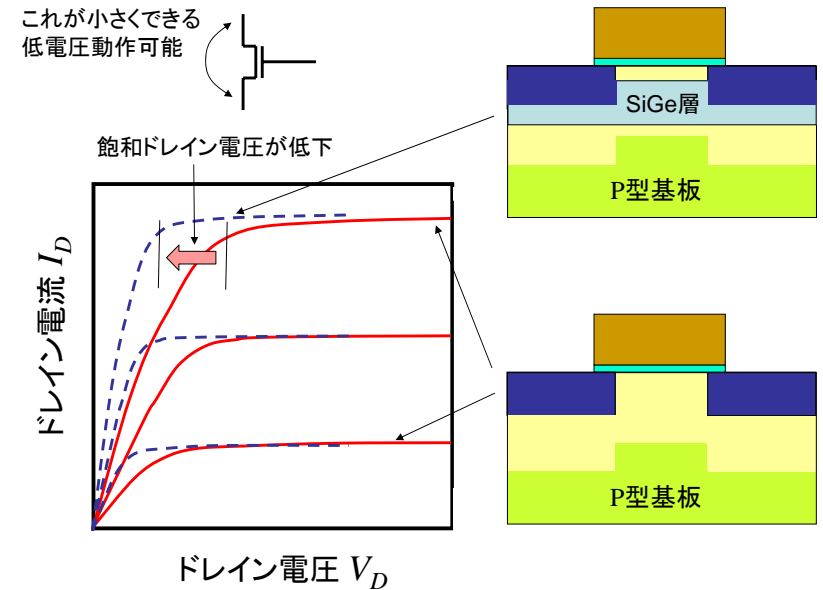
## ひずみの印加方法



## ひずみSi膜(Strained Si)

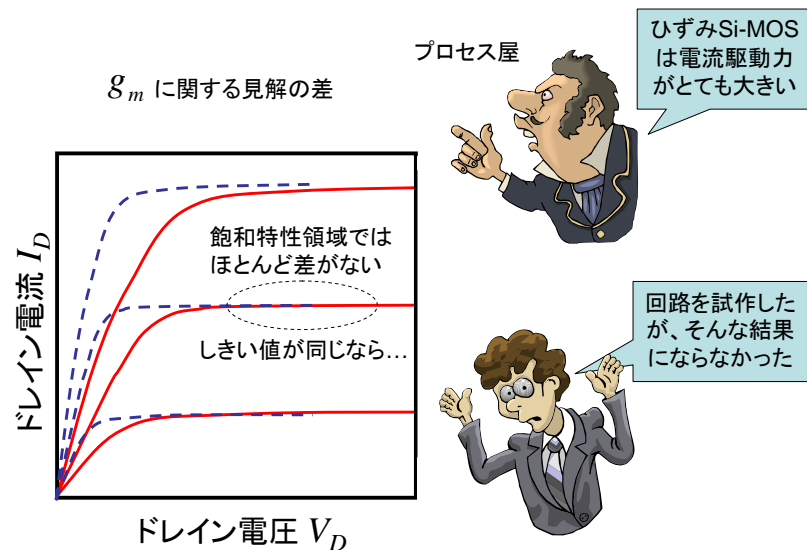


## 線形特性領域に差がみられる

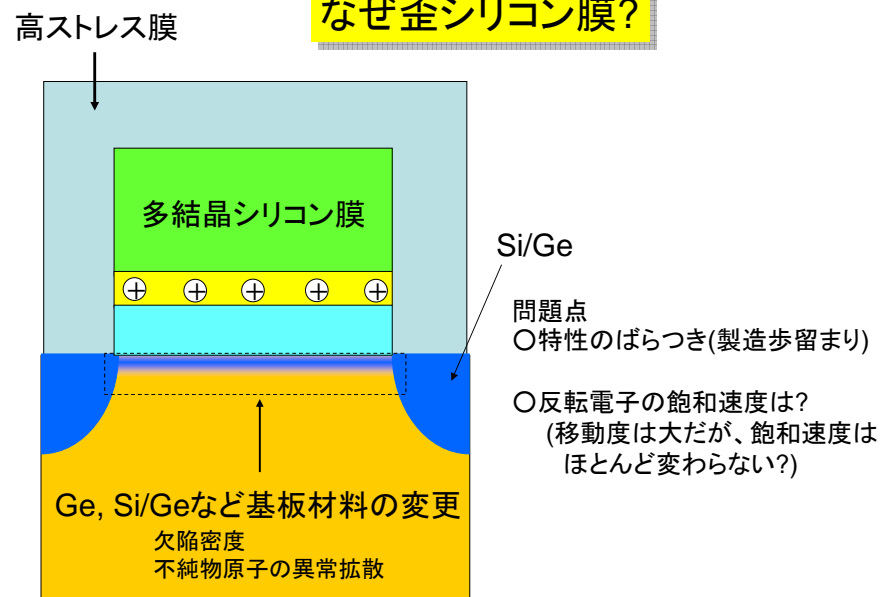




## プロセス技術者と回路技術者との誤解



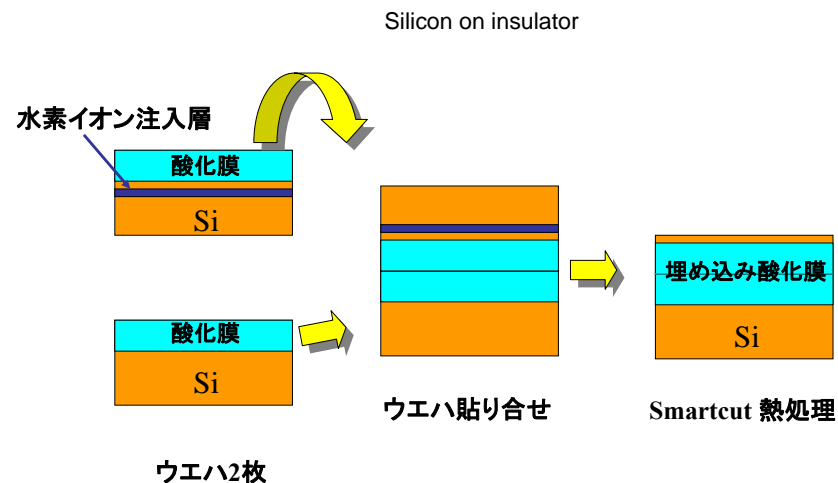
## なぜ歪シリコン膜?



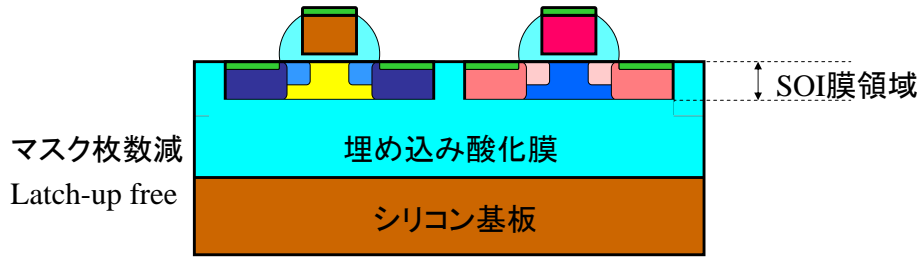
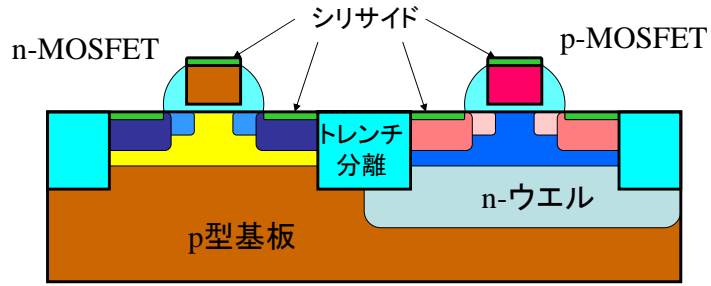
## 将来の新構造デバイス

1. SOI MOSFET
2. ソース・ドレイン領域を工夫したデバイス
3. マルチゲート構造

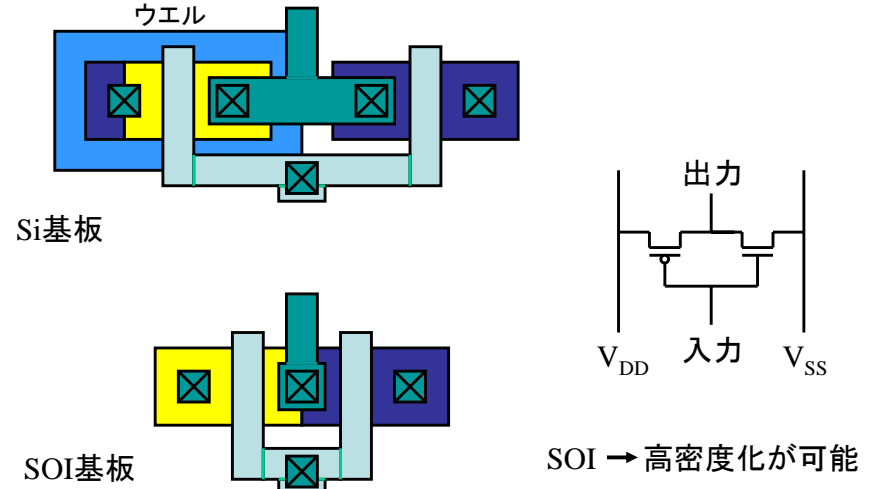
## SOI-MOSFETの作り方



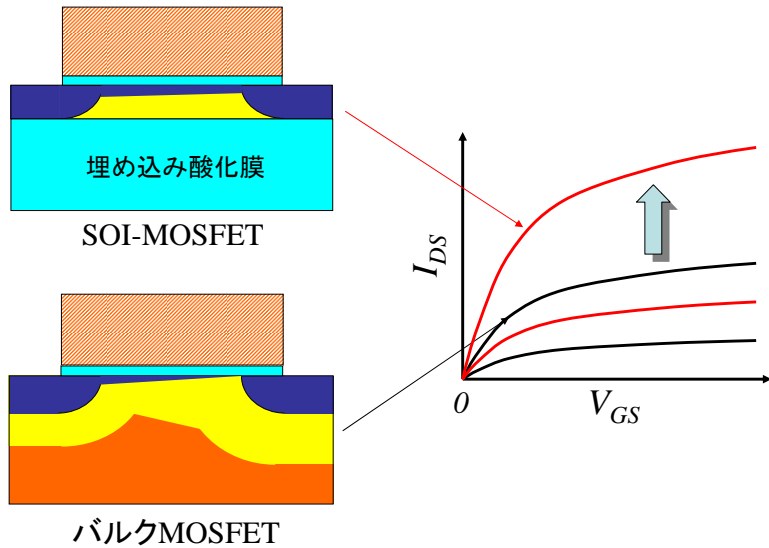
SOI-MOSFETの占有面積は小さい(1)  
(素子間分離が容易)



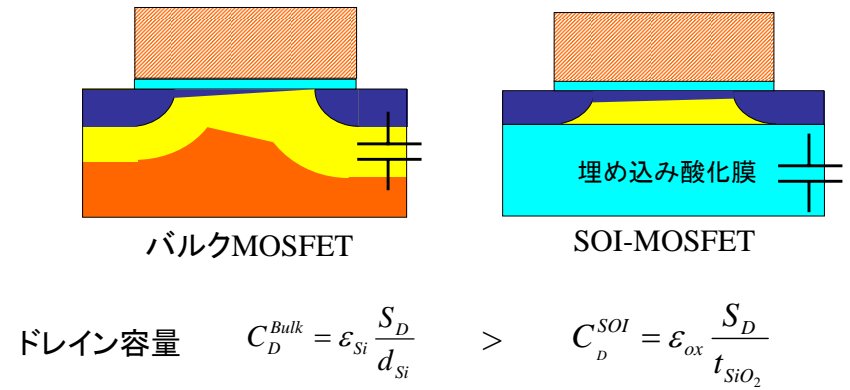
SOI-MOSFETの占有面積は小さい(2)  
(ウエルが不要)



SOI-MOSFETの電流駆動力



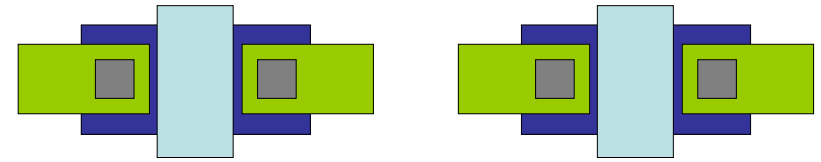
SOI-MOSFETはドレイン容量が小さい  
(高速動作に適している)



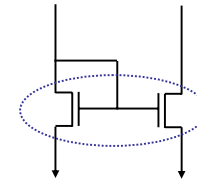
## II. 高速アナログ集積回路設計のポイント

1. 素子のマッチング(入力差動対)
2. オペアンプの最大GBWについて
3. PSRR(Power Supply Rejection Ratio)

### 1. MOS素子のマッチング

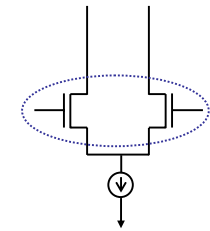


カレントミラー回路



$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2$$

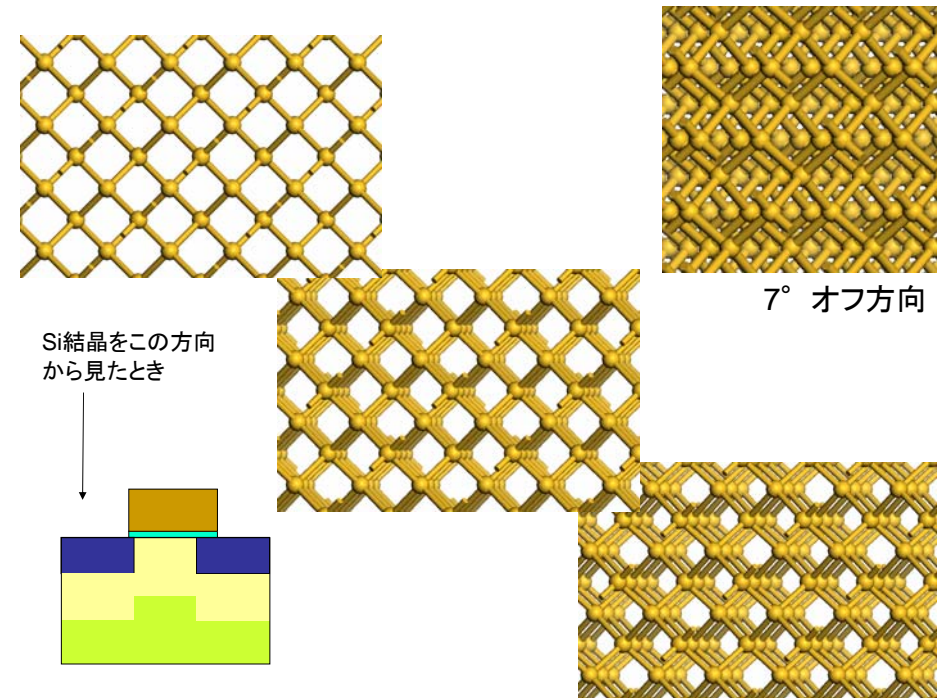
差動入力対



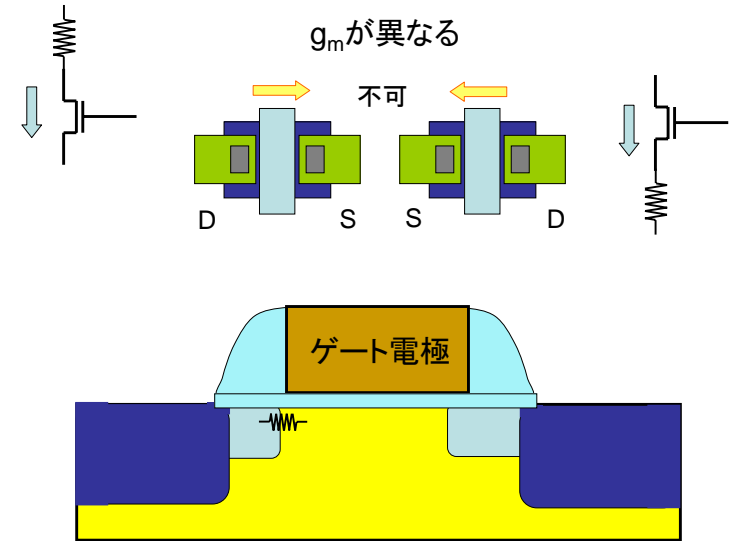
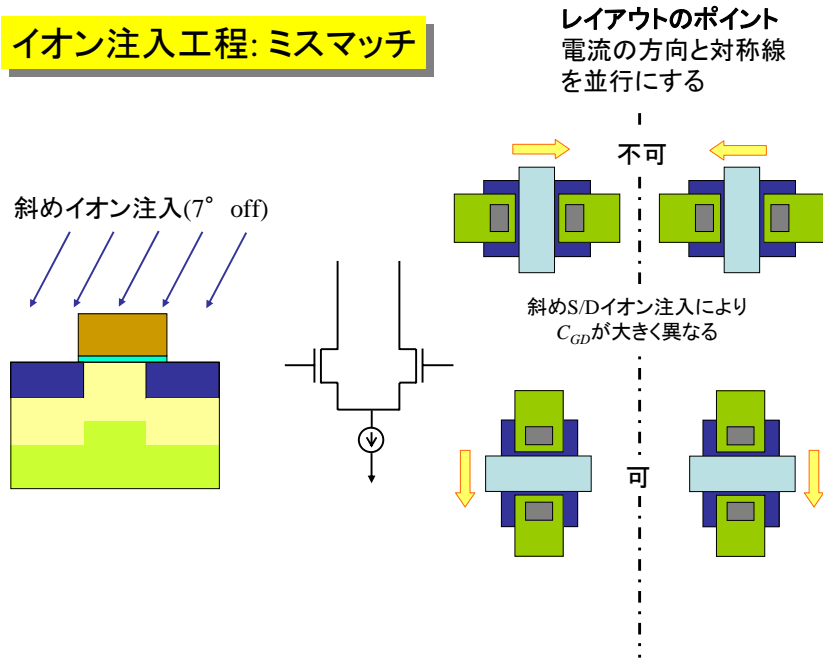
### 1. 素子特性のミスマッチの要因

- 系統的に特性がばらつく
- ランダムな統計的ばらつき

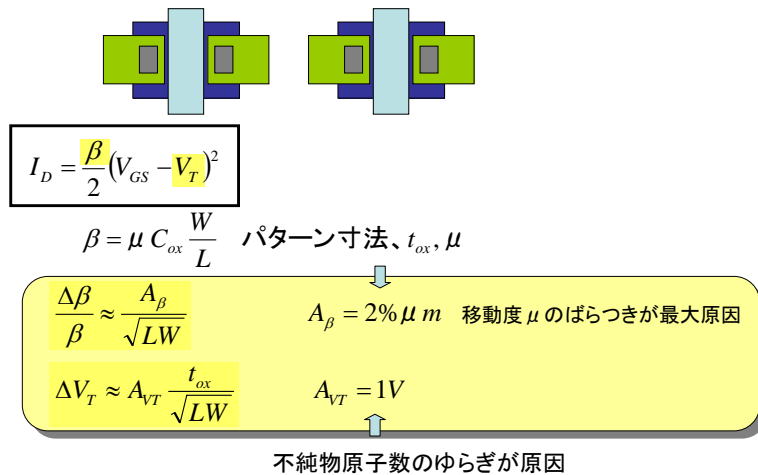
### 2. ミスマッチを軽減する方法



## イオン注入工程: ミスマッチ

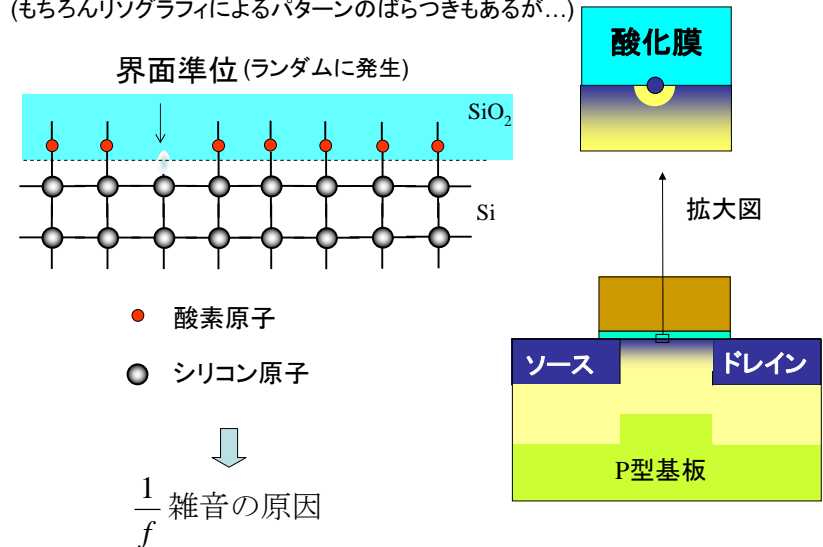


## ランダムな統計的ばらつき



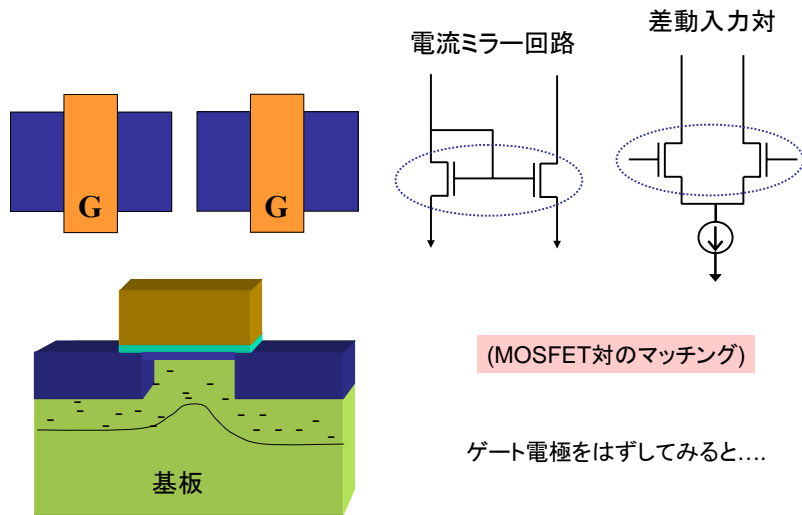
## $\beta$ 値ばらつきの微視的な原因

(もちろんリソグラフィによるパターンのばらつきもあるが...)

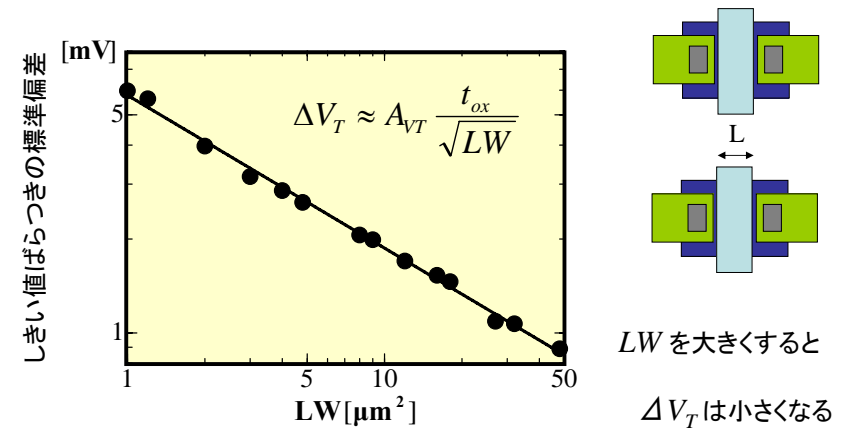


K.R.Lakshmi, R.A.Hadaway, and M.A.Copeland, "Characterization and Modeling of Mismatch in MOS transistors for Precision Analog Design," IEEE Journal of Solid State Circuits, SC-21, 1057 (1986).  
M.J.M.Pelgrom, A.C.J.Duinmaijer, and A.P.G.Welbers, "Matching Properties of MOS transistors," IEEE Journal of Solid-State Circuits, SC-24, 1433 (1989)

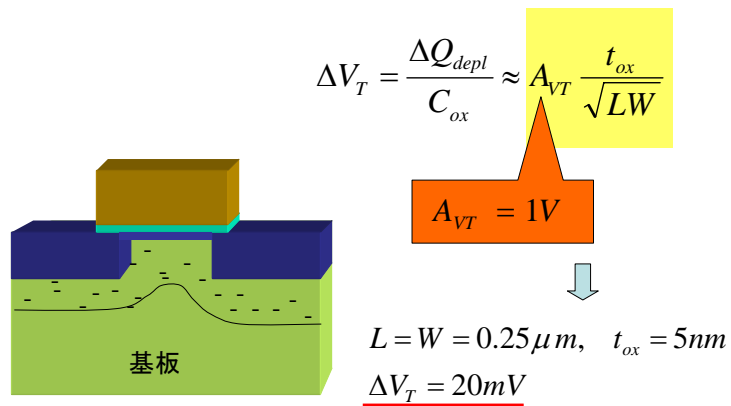
## MOSFET対の精度



## しきい値ばらつきのゲート面積依存性

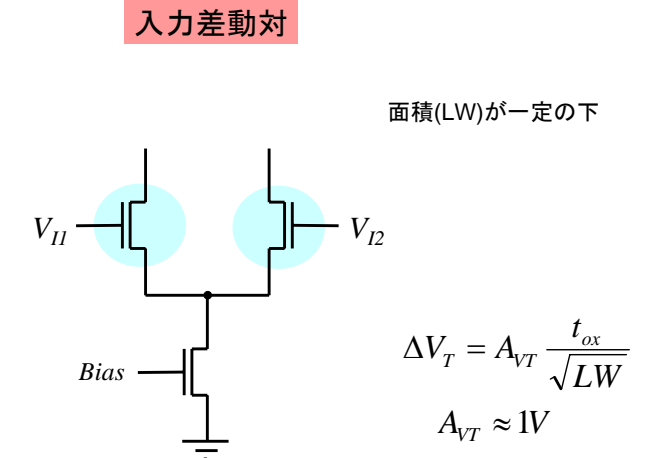


## しきい値のばらつき ---統計的な不純物原子数のゆらぎ---



T.Mizuno, J.Okamura and A.Toriumi, "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFETs," IEEE Trans. On Electron Devices, ED-41, 2216 (1994)

## 入力オフセット電圧を小さくするには



## オフセット電圧の低減法

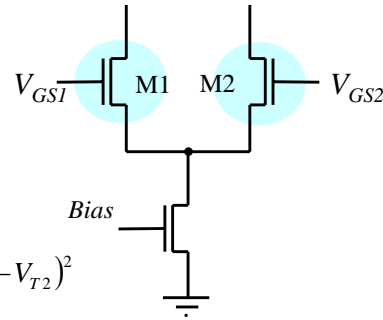
M1, M2に同一電流が流れる条件

$$\frac{\beta_1}{2}(V_{GS1} - V_{T1})^2 = \frac{\beta_2}{2}(V_{GS2} - V_{T2})^2$$

$$\Delta V_{ost} (\equiv V_{GS1} - V_{GS2}) \cong \Delta V_T - (V_{GS} - \langle V_T \rangle) \frac{\Delta\beta}{2\langle\beta\rangle}$$

ゲート面積 $LW$ を大きくする  
→  $\Delta V_T$ が小さくなる

$W/L$ を大きくする  
→  $V_{GS} - V_T$ が小さくなる

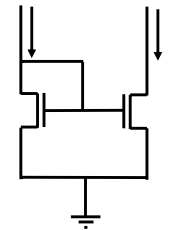
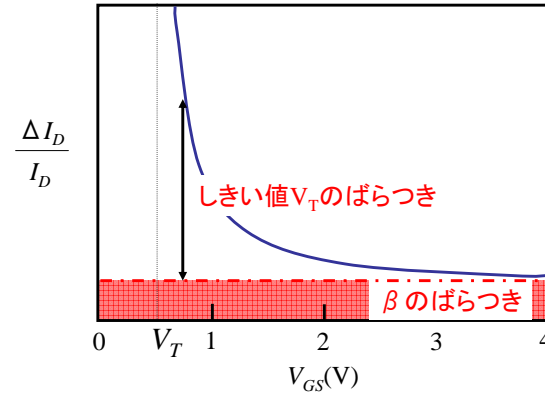


## カレントミラー回路の電流ミスマッチの低減法

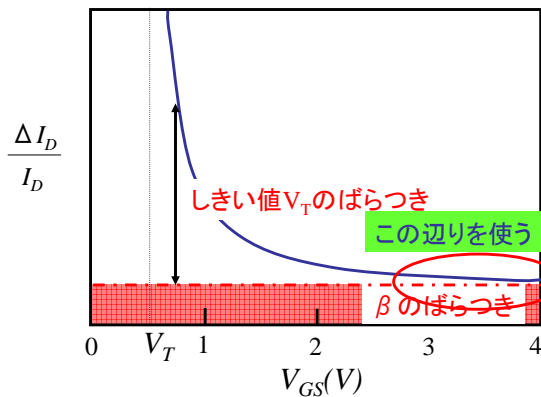
$$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2$$

しきい値 $V_T$ と $\beta$ 値の双方が影響する

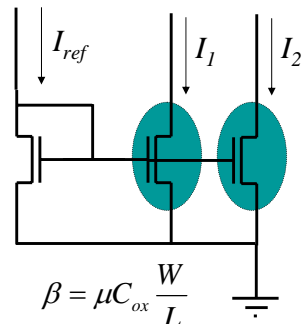
$$\frac{\Delta I_D}{I_D} = \sqrt{4 \left( \frac{\Delta V_T}{V_{GS} - V_T} \right)^2 + \left( \frac{\Delta\beta}{\beta} \right)^2}$$



## 電流ミスマッチを小さくするには(2)



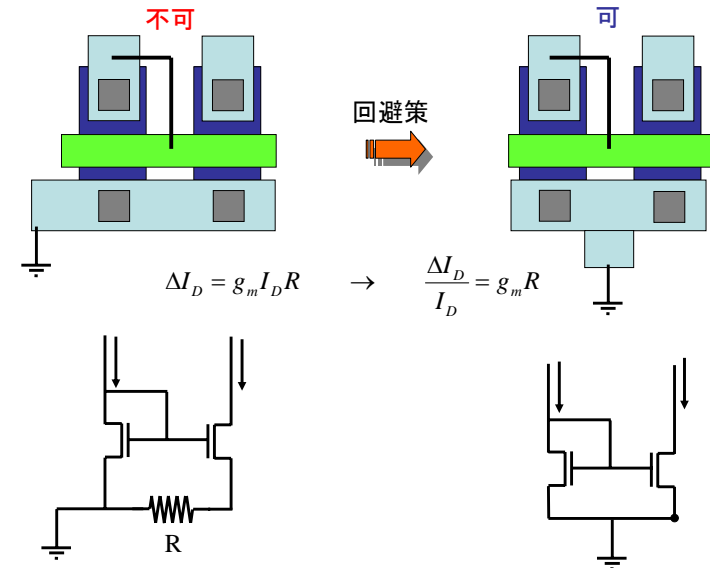
面積( $LW$ )が一定の下



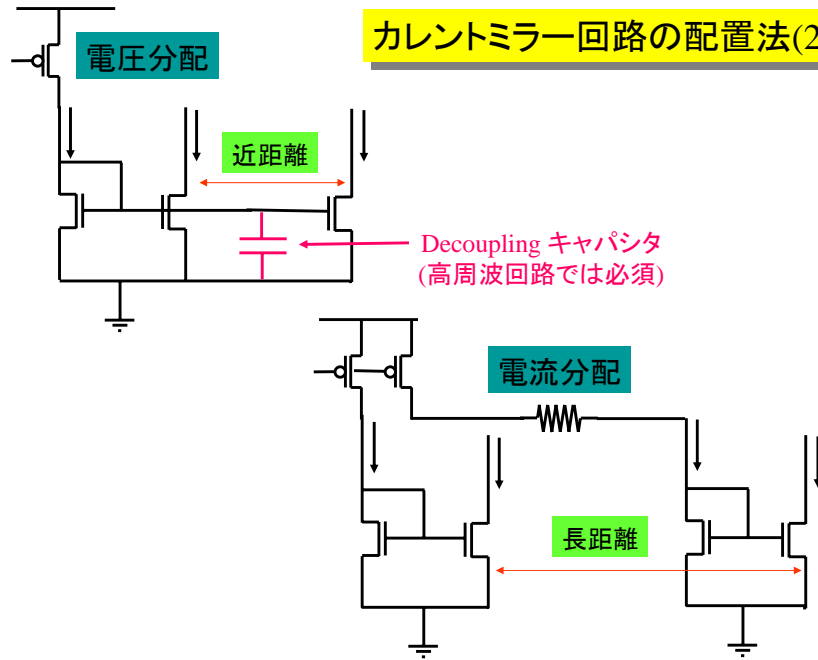
$L$ を大きく、 $W$ を小さくする

オーバードライブ電圧大きくする

## カレントミラー回路の配置法(1)



## カレントミラー回路の配置法(2)

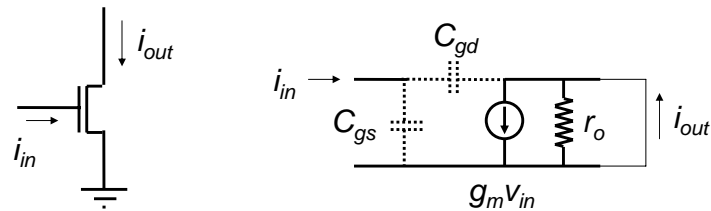


## 2. オペアンプの最大GBWについて

与えられたTechnologyの下で....  
最高速オペアンプを実現するには

## MOSFETの遮断周波数

$$(\omega_T = 2\pi f_T)$$



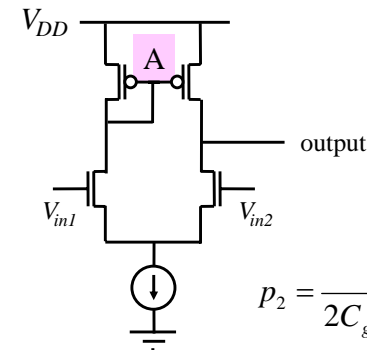
$$i_{in} = j\omega(C_{gs} + C_{gd})v_{in}$$

$$i_{out} = (g_m - j\omega C_{gd})v_{in}$$

$$\left| \frac{i_{out}}{i_{in}} \right| = 1 \rightarrow \omega_T \approx \frac{g_m}{C_{gs} + C_{gd}} = \frac{g_m}{1.3C_{gs}}$$

一般に....

$$\therefore \frac{C_{gd}}{C_{gs}} \approx 0.3$$

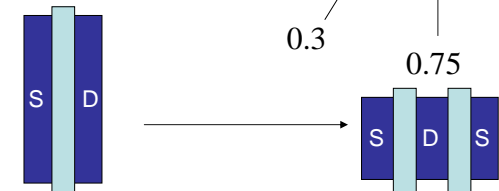


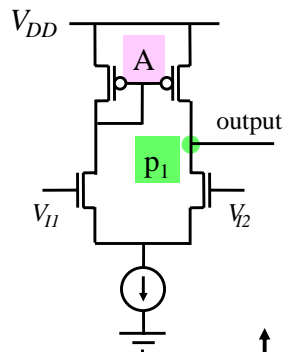
- ・出力ポール(p<sub>1</sub>)
- ・ミラーポール(p<sub>2</sub>)

A点の容量  $2C_{gs} + C_{gd} + C_{dsub}$

$$p_2 = \frac{g_m}{2C_{gs} + C_{gd} + C_{dsub}} = \frac{1.3\omega_{Tp}}{2 + \frac{C_{gd}}{C_{gs}} + \frac{C_{dsub}}{C_{gs}}} \approx \frac{\omega_{Tp}}{2.4}$$

$$\frac{C_{dsub}}{C_{gs}} \approx 1.5$$





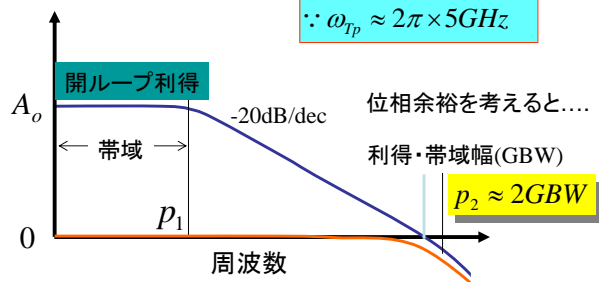
$$p_2 \approx \frac{\omega_{Tp}}{2.4}$$

$$GBW_{\max} = \frac{p_2}{2} \approx \frac{\omega_{Tp}}{5}$$

注意: GBWはカレントミラー-MOSFETできる

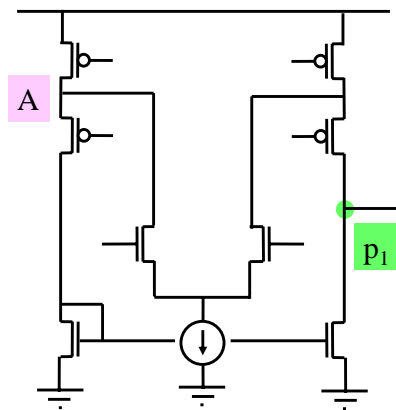
$$GBW_{\max} = 1GHz(2\pi)$$

$$\therefore \omega_{Tp} \approx 2\pi \times 5GHz$$



pチャンネルMOSFETのミラーポールを回避する

$C_{gs}$  一つ分少ない



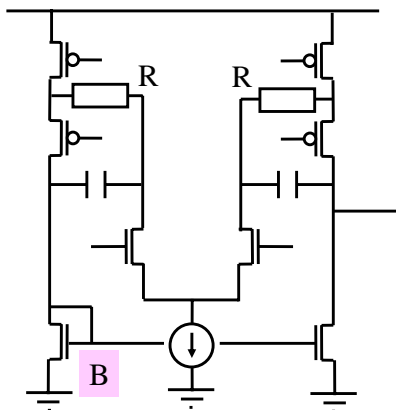
$$p_{2A} = \frac{1.3\omega_{Tp}}{2.1}$$

$$GBW_{\max} = \frac{p_{2A}}{2} \approx \frac{\omega_{Tp}}{3}$$

$$GBW_{\max} = 1.7GHz$$

$$\therefore \omega_{Tp} \approx 2\pi \times 5GHz$$

pチャンネルMOSFETをバイパス



$$p_{2B} = \frac{\omega_{Tn}}{2.4}$$

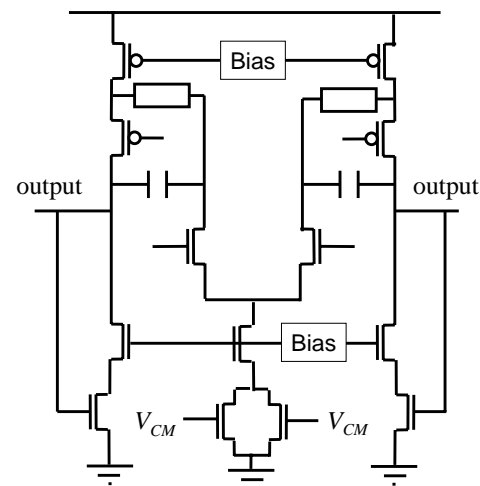
$$GBW_{\max} = \frac{p_{2B}}{2} \approx \frac{\omega_{Tn}}{5}$$

$$GBW_{\max} = 3GHz$$

$$\therefore \omega_{Tn} \approx 2\pi \times 15GHz$$

さらに大きなGBWを得るには...

(信号経路にカレントミラーを避ける)

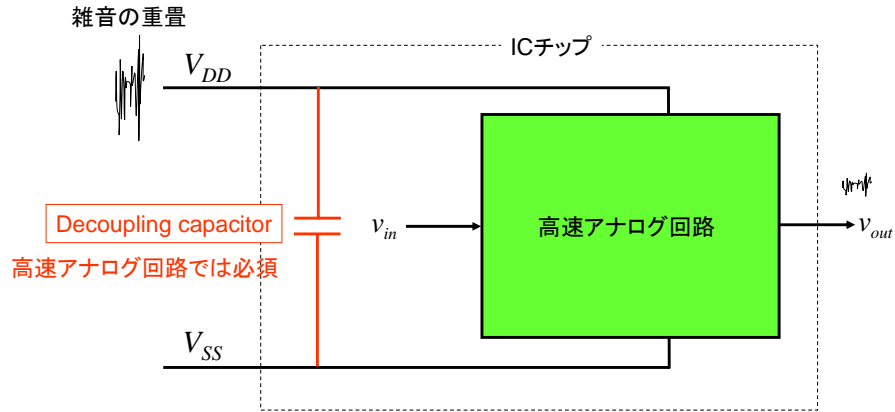




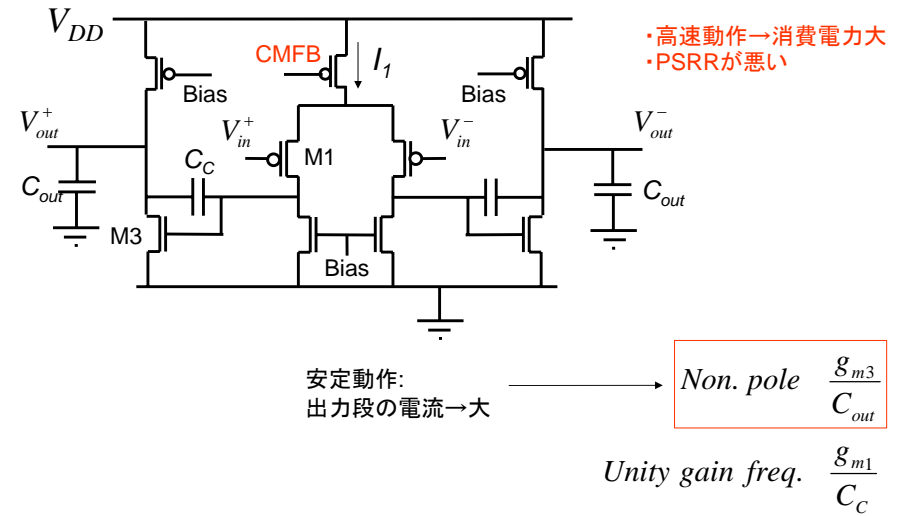
## 4. PSRR(Power Supply Rejection Ratio)を確保するには

高周波領域では寄生容量が問題

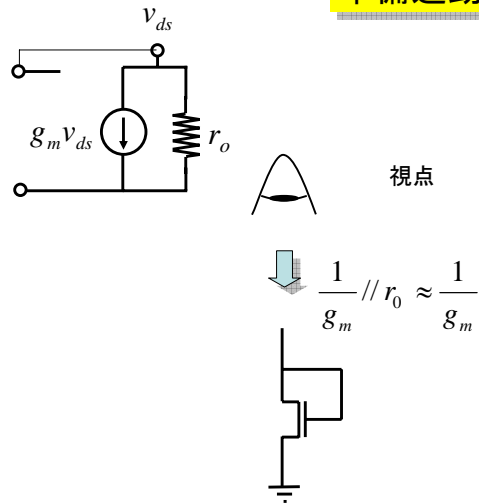
PSRR (Power Supply Rejection Ratio)



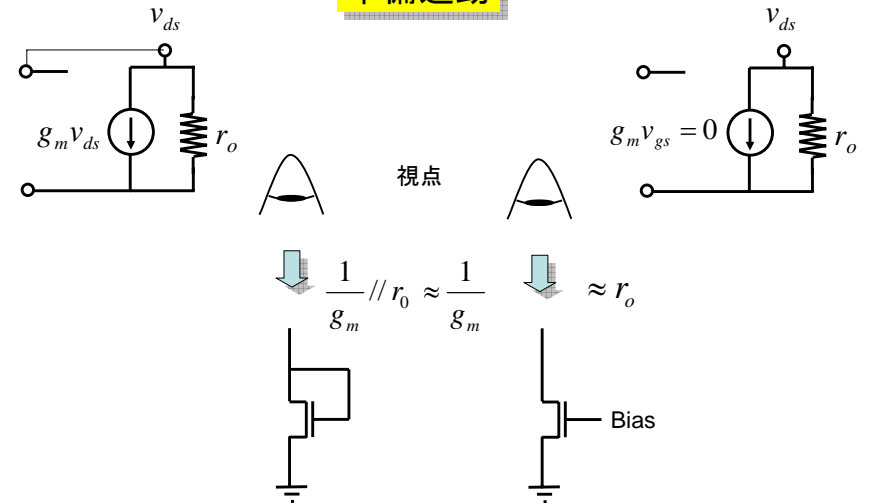
## 一般的な全差動オペアンプ



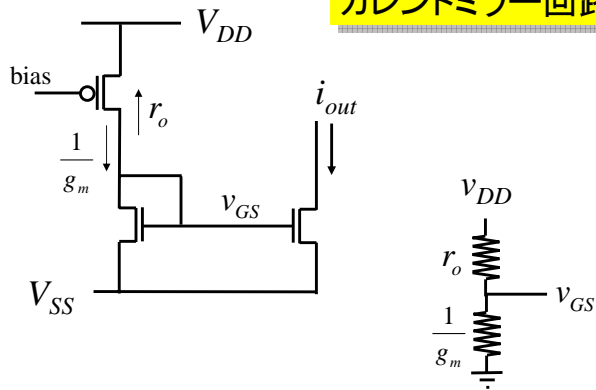
## 準備運動



## 準備運動



### カレントミラー回路



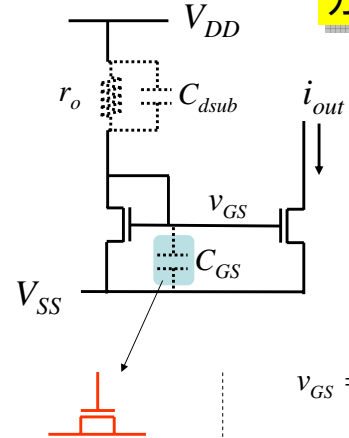
低周波

$$v_{GS} = \frac{1}{r_o + \frac{1}{g_m}} v_{DD} \approx \frac{1}{g_m r_o} v_{DD}$$

$$i_{out} = g_m v_{GS} \approx \frac{v_{DD}}{r_o}$$

対策: 出力抵抗を大きくして電源電圧変動の影響を抑制する

### カレントミラー回路



高周波

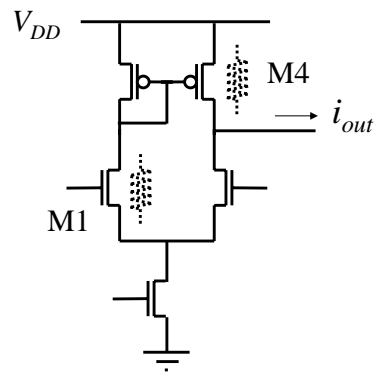
$$v_{GS} = \frac{C_{dsub}}{C_{GS} + C_{dsub}} v_{DD}$$

$$i_{out} = g_m v_{GS} \approx g_m \frac{C_{dsub}}{C_{GS}} v_{DD}$$

$C_{GS} \gg C_{dsub}$

高周波帯域で使用する際、意図的に大きなC\_GSを付加する  
→ 大きなゲート面積のMOSFET

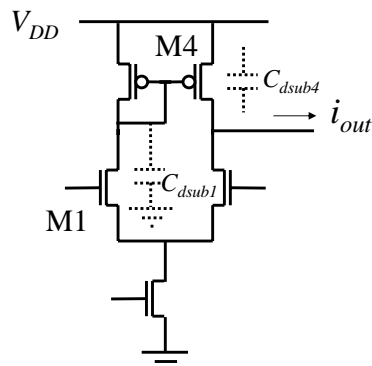
### 差動アンプ



低周波

$$i_{out} \approx \left( \frac{1}{r_{o1}} + \frac{1}{r_{o4}} \right) v_{DD}$$

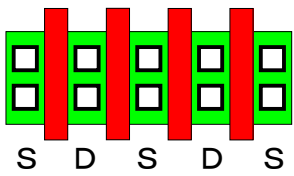
対策: 出力抵抗を大きくして電源電圧変動の影響を抑制する



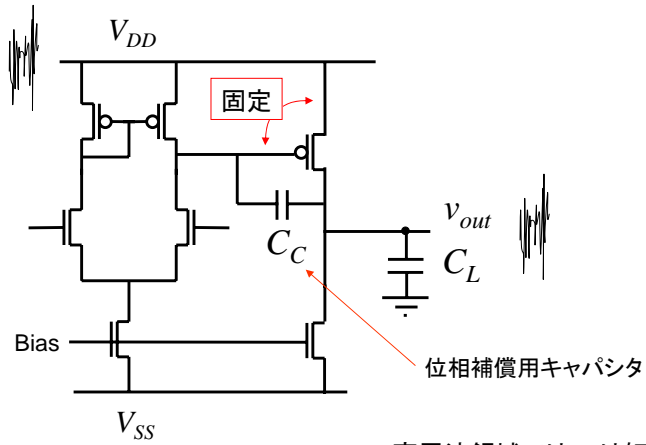
高周波

$$i_{out} \approx j\omega(C_{dsub4} + C_{dsub1})v_{DD}$$

対策: ドレイン容量を小さくして電源電圧変動の影響を抑制する



### 出力段を接続すると

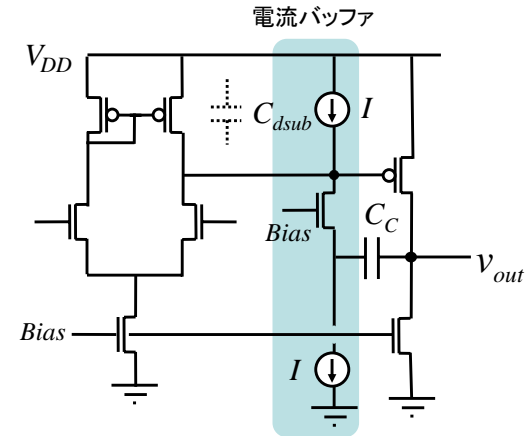


高周波領域では  $C_C$  は短絡と同じ

$$v_{out} \approx v_{DD}$$

### 電流バッファを挿入

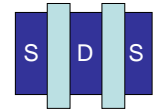
高周波領域では....



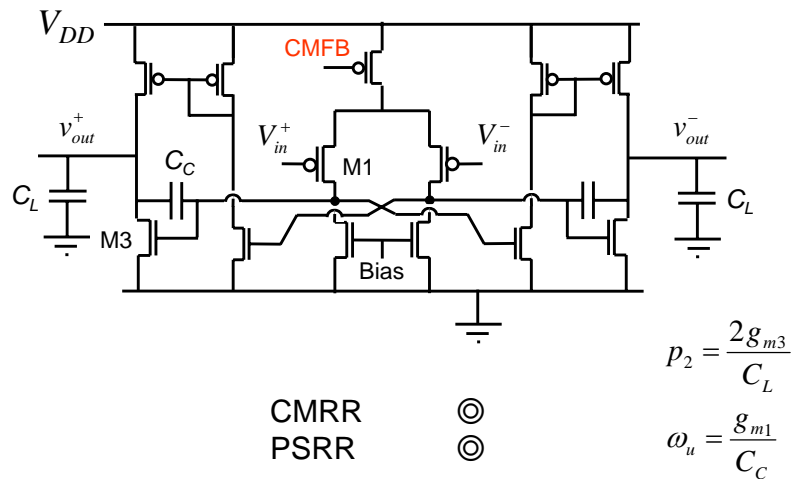
$$sC_C v_{out} = sC_{dsub} v_{DD}$$

$$v_{out} = \frac{C_{dsub}}{C_C} v_{DD}$$

$C_C$  位相補償用キャパシタ



### 全差動構成だと....



$$p_2 = \frac{2g_{m3}}{C_L}$$

$$\omega_u = \frac{g_{m1}}{C_C}$$

CMRR  
PSRR

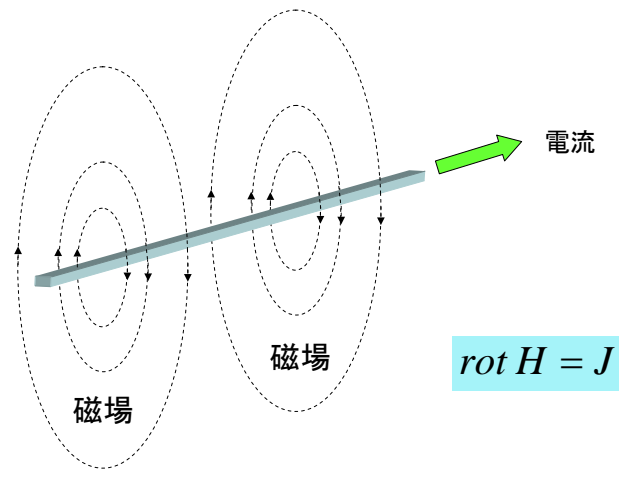
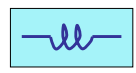


### Ⅲ. 高速アナログ集積回路のレイアウト

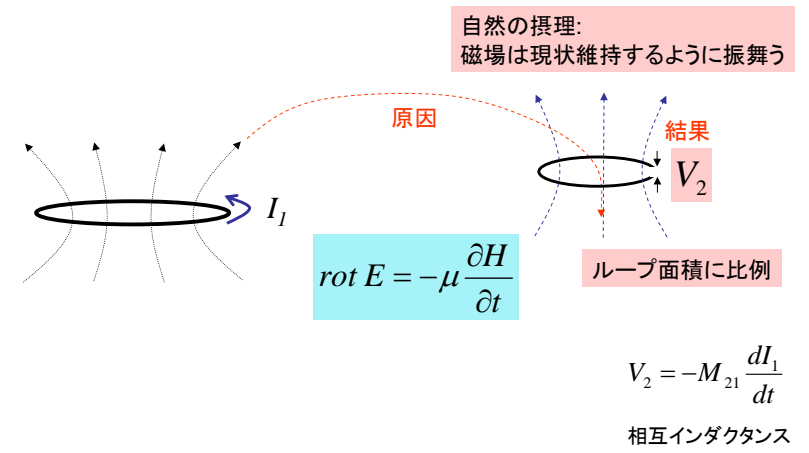
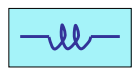
1. 磁場結合による雑音
2. 基板抵抗結合による雑音

## 磁場結合による雑音

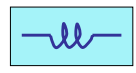
インダクタンス(L)の物理的意味を理解する



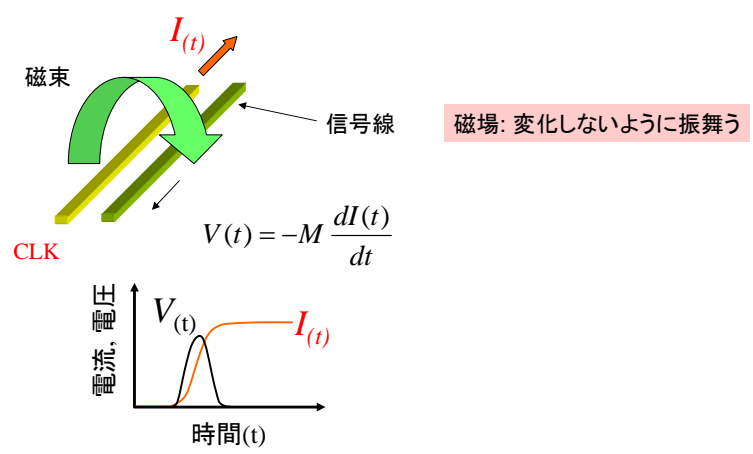
## 電磁誘導とは



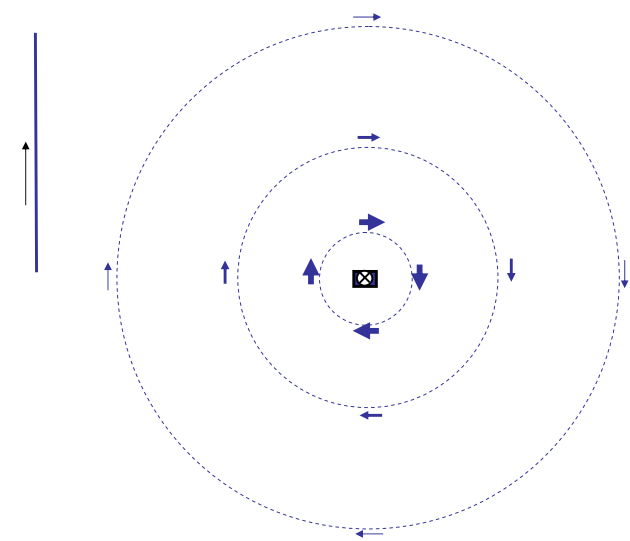
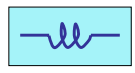
## 電磁誘導(L)による雑音



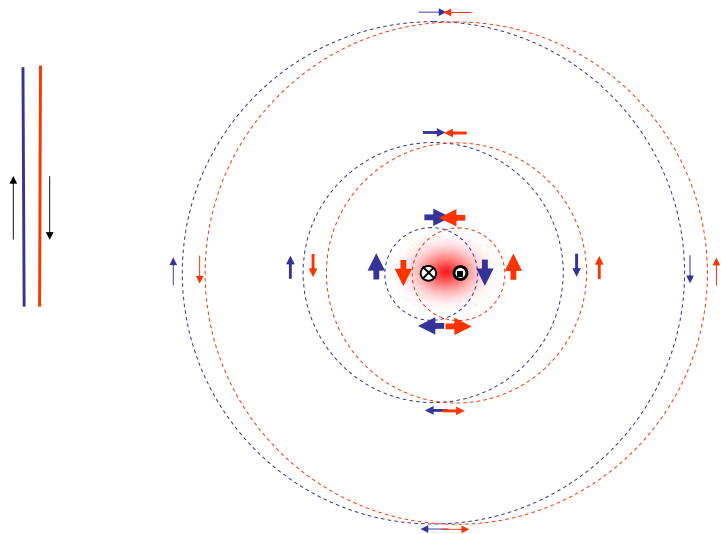
直線配線でも発生する



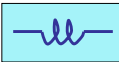
電流を流すと...配線の周囲に磁場を撒き散らす



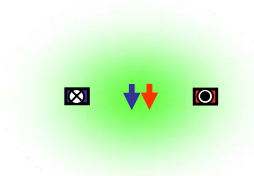
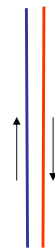
# 逆方向電流によるインダクタンスの低減効果



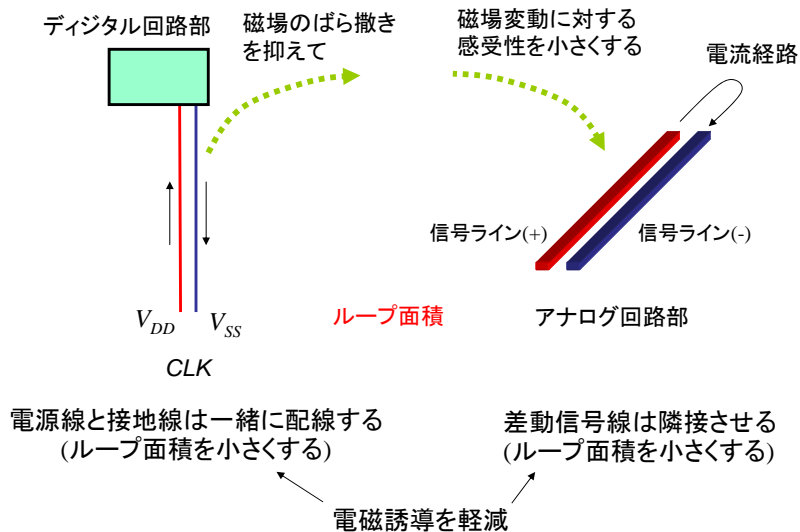
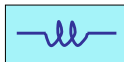
# 逆方向電流によるインダクタンス



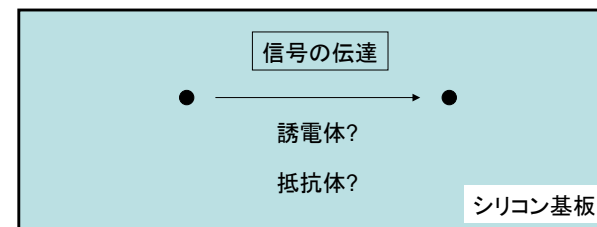
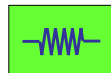
逆方向電流: 周囲に磁場を撒き散らさない



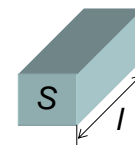
# 電磁誘導を抑えるには



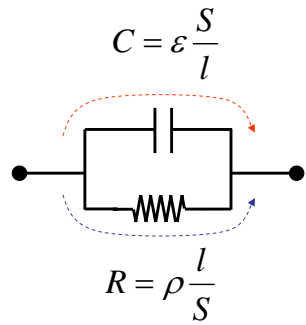
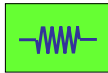
# 基板抵抗結合による雑音



$$C = \epsilon \frac{S}{l}$$



$$R = \rho \frac{l}{S}$$



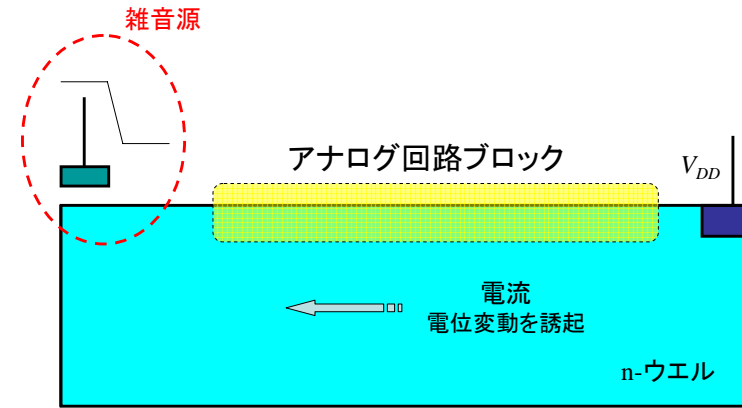
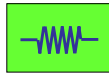
$$\omega > \frac{1}{RC} = \frac{1}{\rho \epsilon}$$

$$\omega < \frac{1}{RC} = \frac{1}{\rho \epsilon}$$

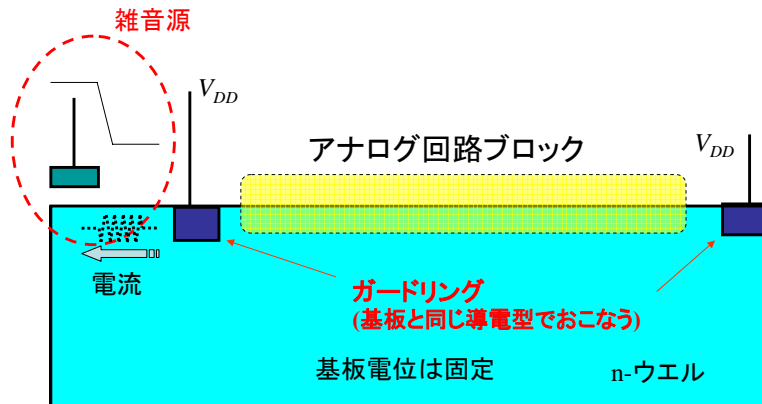
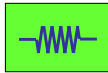
$\rho(\Omega\text{cm})$	$f_t(\text{GHz})$
$10^{-2}$	15000
$10^0$	150
$10^2$	1.5

$f_t$ 以下の周波数では  
 シリコン基板:  
 → 抵抗体

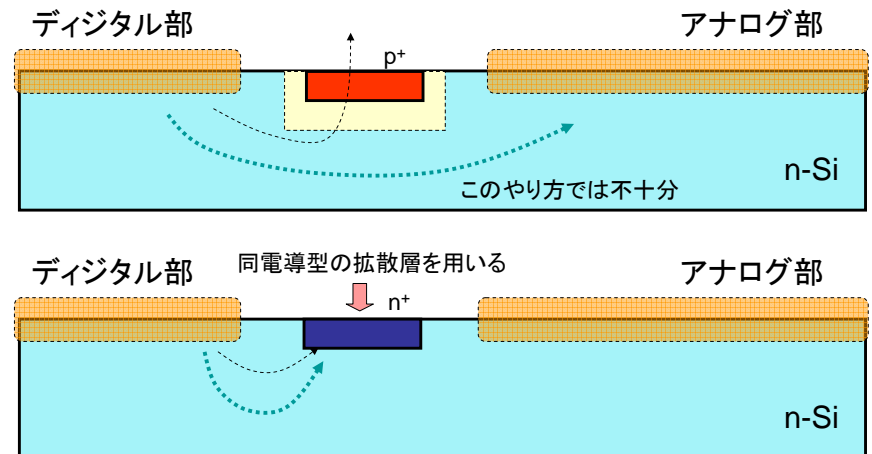
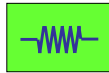
## 基板(経路)雑音について



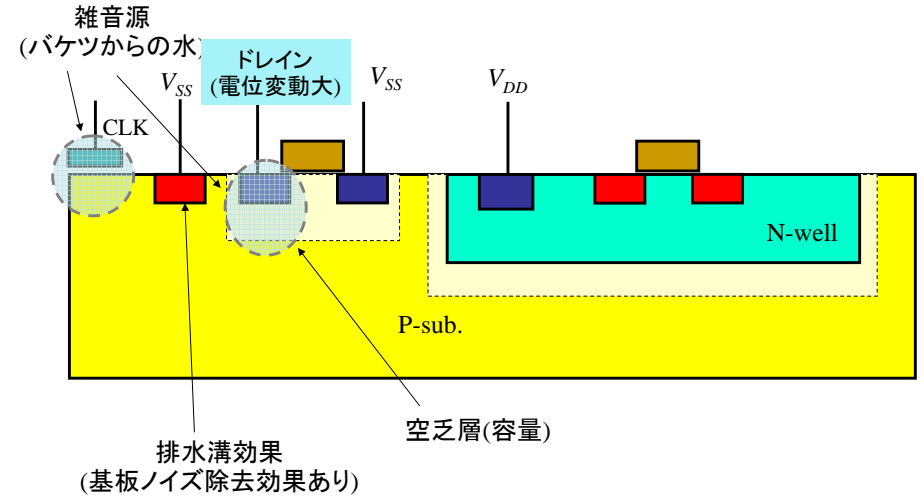
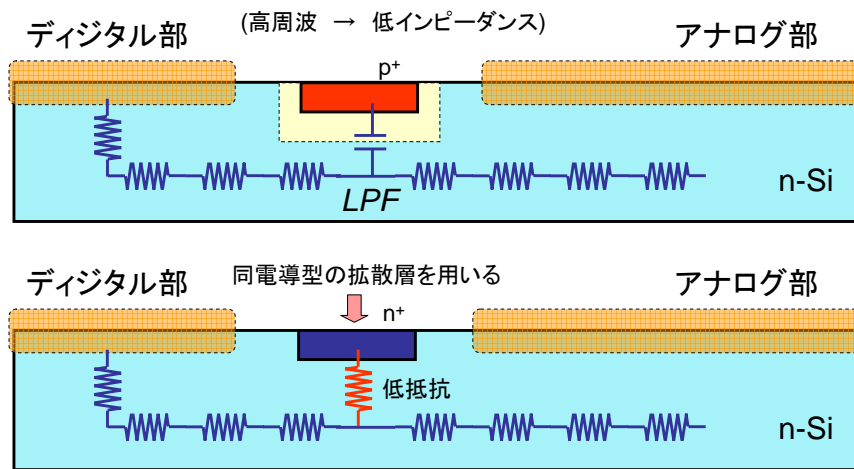
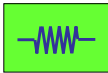
## 雑音経路の遮断方法 (ガードリング)



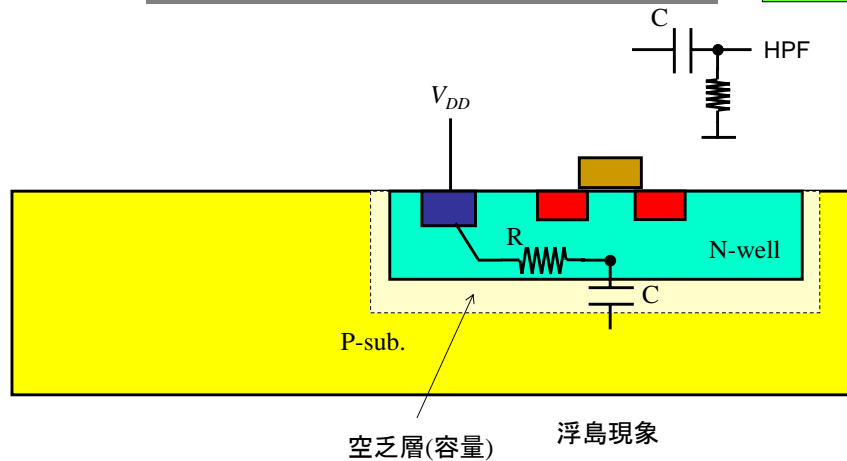
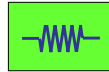
## ガードリングの配置



## 基板ノイズの抑制



## ウェル構造の基板ノイズの除去効果



ウェル内の回路の帯域制限が重要

$\omega > \frac{1}{RC}$  の雑音に対しては効果なし

お疲れ様でした

