

(203) LSI

f_T ダブラーを用いた高周波増幅器の低コスト化の検討

A Study on Low Cost High Frequency Amplifier using f_T -doubler

吉澤 悠人 森下 賢幸 小椋 清孝 伊藤 信之
Yuto Yoshizawa Takayuki Morisita Kiyotaka Komoku Nobuyuki Itoh

岡山県立大学大学院 情報系工学研究科 システム工学専攻

1. 研究背景・目的

無線通信のデータレートの向上に伴い、キャリア周波数の高周波化が求められている。高周波増幅器を実現するためには、高い f_{max} のトランジスタが必要である。MOSFETの f_{max} は式(1)で表されるため、高い f_{max} を得るには高い f_T が必要となる。

$$f_{max} = \sqrt{\frac{f_T}{8\pi R_g C_{gd}}} \quad (1)$$

ここで f_T は式(2)で表される。

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \approx \frac{v_{sat}}{2\pi\gamma L} \quad (2)$$

式(2)より f_T はトランジスタのチャネル長 L を短くすれば上昇するが、微細なプロセスでは製造コストが上昇する。そこで本研究では同一プロセスの単体トランジスタを用いる場合と比較して、約2倍の電流増幅率を得られると考えられる f_T ダブラー回路を用いた24 GHzの増幅器を0.18 μm CMOSプロセスを用いて検討し、高周波増幅器の低コスト化を目指した。

2. f_T ダブラーの最適化

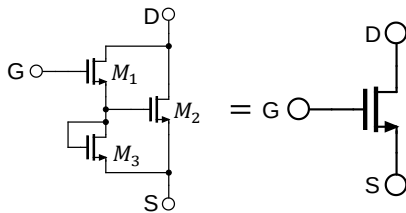


図1 f_T ダブラー回路図

図1に f_T ダブラーの構成を示す。 f_T ダブラーは図1のように $M_1 \sim M_3$ のトランジスタで構成され、その f_T は式(3)で表される。

$$f_T = \frac{g_{m1} + g_{m2}}{2\pi(C_{gs1} + C_{gd1})} \approx f_{T.M1} \left(\frac{W_2}{W_1} + 1 \right), \quad \text{at } f \ll f_T \quad (3)$$

式(3)において、 C_{gs1} 、 C_{gd1} 、 g_{m1} は M_1 のゲート・ソース間容量、ゲート・ドレイン間容量、トランスコンダクタンス、 g_{m2} は M_2 のトランスコンダクタンス、 $f_{T.M1}$ はトランジスタ M_1 の遮断周波数、 W_2/W_1 はトランジスタ M_1 、 M_2 のゲート幅の比を表している。式(3)より、トランジスタのサイズ比 W_2/W_1 に比例して f_T が上昇すると考えられ

るが、 f_T 近傍の周波数においては M_3 の寄生容量等の影響により f_T の周波数特性が-20 dB/decより低下するため、式(2)のような f_T は得られない。一方、消費電流は W_2/W_1 に比例して増加するため、本研究では f_T/I_{DS} が最も効率的なトランジスタサイズである $M_1:M_2:M_3 = 1:1:1$ として、増幅器の回路設計を行った。

3. 入出力整合

図2に f_T ダブラーを用いた1段増幅器の回路図と小信号等価回路を示す。単純なソース接地回路とするとアイソレーションが悪く、十分な反射特性が得られなかったため、カスコード接続を用いた。

入力インピーダンス Z_{in} は式(4)で、出力インピーダンス Z_{out} は入出力が完全にアイソレーションされ、 C'_1 が無視できると仮定すると式(5)で表される。

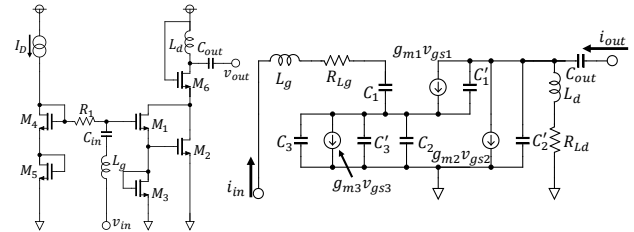


図2 1段増幅器の回路図と小信号等価回路

$$Z_{in} = R_{Lg} + \frac{\{\omega C_1 g_{m3} - \omega(C_2 + C_3) g_{m1}\}}{\omega C_1 \{g_{m3}^2 + \omega^2(C_2 + C_3)^2\}} + j \left\{ \omega L_g - \frac{1}{\omega C_1} - \frac{g_{m1} g_{m3} + \omega^2 C_1 (C_2 + C_3)}{\omega C_1 \{g_{m3}^2 + \omega^2(C_2 + C_3)^2\}} \right\} \quad (4)$$

$$Z_{out} = \frac{1}{\frac{1}{R_{Ld} + j\omega L_d} + j\omega C'_2} + \frac{1}{j\omega C_{out}} \quad (5)$$

こ こ で , $C_x = C_{gsx} + C_{gdx}$, $C'_x = C_{dsx} + C_{gdx}$ ($x = 1, 2, 3$) であり, R_{Lg} , R_{Ld} はそれぞれインダクタ L_g , L_d の寄生抵抗である。式(4)(5)より、入力整合条件はゲートインダクタ L_g に関する式(6)で、出力整合条件はキャパシタ C_{out} に関する式(7)で表される。

$$L_g = \frac{1}{\omega^2 C_1} - \frac{g_{m1} g_{m3} + \omega^2 C_1 (C_2 + C_3)}{\omega^2 C_1 \{g_{m3}^2 + \omega^2(C_2 + C_3)^2\}} \quad (6)$$

$$C_{out} = \frac{1 - \omega^2 C'_2 L_d}{\omega^2 L_d} \quad (7)$$

以上の検討から素子値を定め増幅器回路の設計を行った。インダクタは電磁界シミュレーションにより設計を行った。この回路を用いた1段増幅器では $S_{21} = 6.45$ dB

であったため、本研究では図3に示すように2段増幅器とし、24 GHzにおいては $S_{21} \geq 15$ dBを目標とした。また、カスコード接続のトランジスタサイズが一定以上の大きさになると、寄生容量が大きくなり入力側の反射特性へ影響を及ぼすため、カスコードトランジスタと f_T ダブラーのトランジスタサイズを $W/L = 160/0.18 \mu\text{m}$ とした。なお、1段目と2段目のトランジスタ構成は全く同じである。

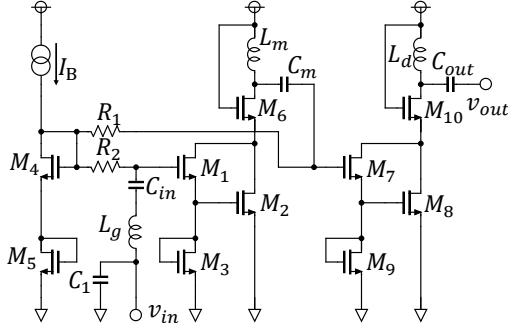


図3 2段増幅器の回路図

4. シミュレーション結果

図4に増幅器回路のSパラメータ解析結果を示す。

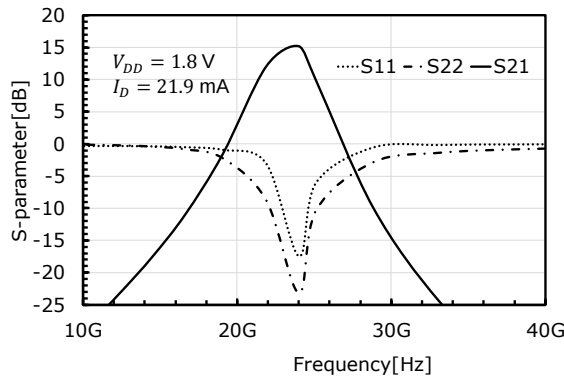


図4 Sパラメータ特性

図4に示すように24 GHzにおいて、 $S_{11} = -17.5$ dB, $S_{21} = 15.2$ dB, $S_{22} = -23.2$ dB, となった。また、Kファクタのシミュレーション結果を図5に示す。Kファクタは全ての周波数領域で100以上であることを確認した。なお、 $V_{DD} = 1.8$ V, 消費電流は21.94 mAである。

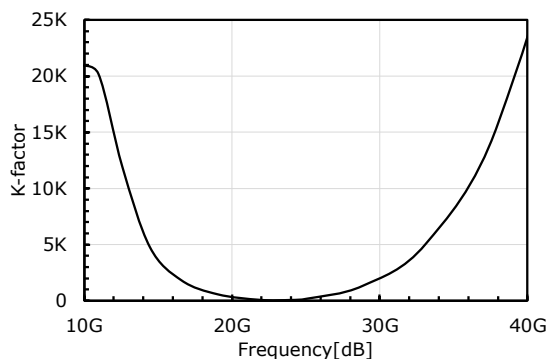


図5 Kファクタ

図6に入出力特性、図7にNFのシミュレーション結果を示す。24 GHzにおいてIP1dBが-17.9 dBm, OP1dBが3.5 dBmとなった。また、NFは24 GHzにおいて7.3 dBであり、ゲートインダクタ R_{Lg} の熱雑音とカスコードトランジスタ M_6 の電流雑音が総雑音の半分程度を占めた。また、

利得配分としては1段目が13.3 dB, 2段目が1.9 dBである。

図8に2段増幅器のレイアウト図を示す。

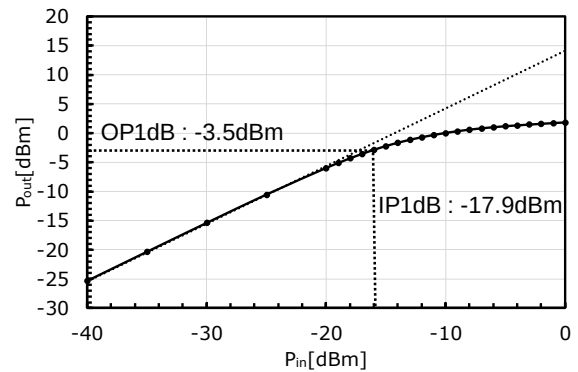


図6 2段増幅器の入出力特性

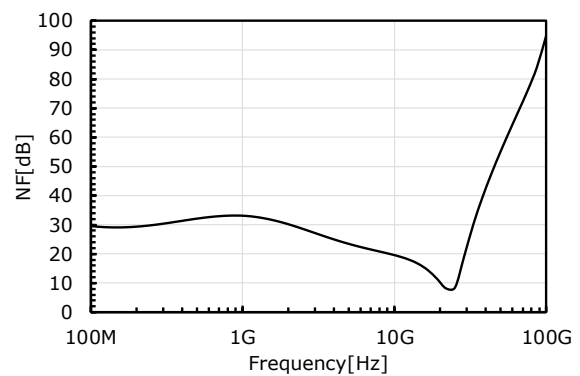


図7 2段増幅器のNF周波数依存性

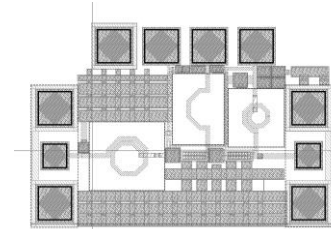


図8 2段増幅器のレイアウト

5. まとめ

本研究では0.18 μm CMOSプロセスで構成された f_T ダブラー回路を用いて24 GHz帯増幅器の低コスト化を検討し、シミュレーションにより設計した増幅器の特性を確認した。その結果1段の増幅器回路において $S_{21}=6.45$ dBを得られ、これを2段接続とすることにより、 $S_{21}=15.2$ dBを得られた。また、NFは7.3 dB, IP1dBは-17.9 dBmであった。

謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびキーサイト・テクノロジーの協力で行われたものである。

参考文献

- [1] Jiahui Yuan and John D. Cressler, "Enhancing the Speed of SiGe HBTs Using f_T -Doubler Techniques," Proc. of IEEE SiRF, pp. 50-53, Orland, Feb. 2008.