

バイポーラトランジスタとダイオードを含む電子回路に対応したインサーキットエミュレーションシステムのFPGA実装および評価

FPGA Implementation and Evaluation of an In-circuit Emulation System for Electronic Circuits Including Bipolar Transistors and Diodes

平本 和樹[†], 児島 彰[†], 窪田 昌史[†], 弘中 哲夫[†], 中村 諭^{††}

Kazuki Hiramoto[†], Akira Kojima[†], Atsushi Kubota[†], Tetsuo Hironaka[†], Satoshi Nakamura^{††}

[†] 広島市立大学 情報科学研究科 ^{††} 株式会社 図研

1 はじめに

自動車や家電製品などのシステムは高性能化の一途を辿っており、それによって制御のための電子回路はより複雑になっている。またシステムに組み込まれる電子回路は、最終的にはシステムと一体になって運用されることからシステムとの整合性を保たなければならない。特に電子回路基板の開発においては電子回路単体でのテストだけではなく、システムと接続された状態でのテストも重要となる。以下、このシステムと接続された状態でのテスト(インサーキットエミュレーション)について考える。現在このテストは、解析的なシミュレーションではなくプロトタイプ電子回路基板を実際に作り、システムに組み込んで行われている。そのため、動作するプロトタイプ基板が得られるまで試作を何度も行うので開発費用や時間の増加を招く。そしてシステムの複雑化に伴いこれが大きな問題となっている。

この問題への対処方法として、実際の電子回路の動作を模擬するインサーキットエミュレータを使うことが考えられる。これは実際の電子部品を使ったテスト用の電子回路基板をシステムと接続する代わりに、回路の書き換えが可能なインサーキットエミュレータをシステムに接続することでインサーキットエミュレーションを実現するものである。これをテスト用電子回路基板とすることで、回路構成を修正するごとに電子回路基板を作り直す必要がなくなる。ただし実際にはエミュレーションである以上、電子回路基板の完全な模擬をすることはできない。したがって、ここでは電子回路基板のプロトタイプを実際に作成する前準備としてこのエミュレータを使うことを想定している。このエミュレータを用いることで、テストを行う際の実験費用や時間を削減できると考えられる。

本研究では電子回路をインサーキットエミュレーション可能にすることを目標とする。エミュレーションを実現するためには入力信号を受けた時、即座に出力信号を返した上で次の入力信号を受け付けなければならない。このことから高速な計算処理が必要となる。そのため本研究では、エミュレーションの計算をハードウェア処理によって高速化する。

実際の電子部品を使ったテスト用の電子回路基板を

システムと接続する代わりに、本研究で開発したエミュレーション計算ハードウェアを組み込んだインサーキットエミュレーションシステムを用いることで、開発費用やそれにかかる時間の削減が期待できる。

2 関連研究

2.1 アクセラレータによる電子回路解析の高速化

Kapreら [1] [2] [3]の研究ではGPUとFPGAを使用したSPICEモデル評価を並列化することにより、より高速な処理を実現している。さらにNechmaら [4]の研究では、FPGAを用いてLU分解法を並列化してSPICEでの行列演算を高速化している。これらの手法はすべてFPGAを用いた既存のSPICE処理に対するアクセラレータであるため、電子回路エミュレーションを前提に設計されたアクセラレータとは異なる。一方、本研究では用いるアルゴリズムとして上記アクセラレータと同じ節点解析法を用いている。

2.2 FPGA実装によるエミュレーションの実現

Tertelら [5]の研究では、信号処理で使用されるWDF(Wave Digital Filter)法を用いてFPGA上での回路のエミュレーションを行っている。この方法では、基本的なフィルタ(アナログ素子の動作)をあらかじめライブラリとして用意しておき、回路のエミュレーションを実行するときにこれらのライブラリを適切に組み合わせることで実現している。評価によれば多くのライブラリを複雑に接続することなく回路の特性の模擬が実現できれば、数10kHzのサンプリング周波数でエミュレーションができる。ただし、WDFでは時間変化に応じて起こる非線形素子間のフィードバックを正確にシミュレーションできない。そのため、回路中に非線形素子が複数個存在するとシミュレーションが困難になる。

2.3 まとめ

本研究では、Kapreらのように節点解析法を用いて複数の非線形素子を持つ回路の回路計算をすることを目標にしているが、同時にTertelらのようなエミュレーションの実現も想定している。3節では、これらを実現するための計算アルゴリズムについて示す。

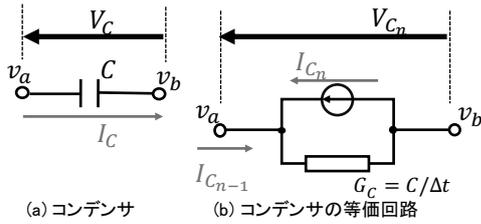


図 1: コンデンサとその等価回路

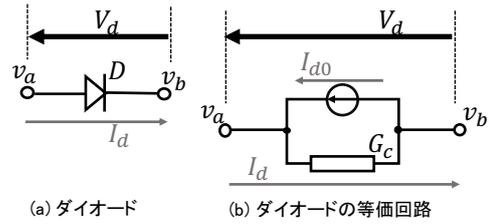


図 3: ダイオードとその等価回路

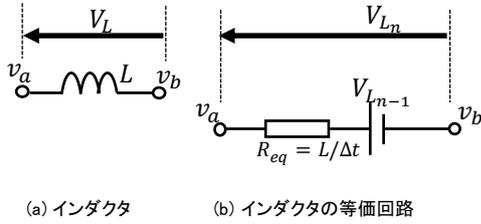


図 2: インダクタとその等価回路

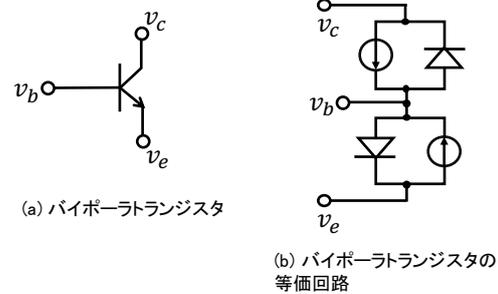


図 4: バイポーラトランジスタとその等価回路

3 エミュレーション計算アルゴリズム

3.1 節点解析法

本研究では、回路から回路方程式を得るための手法として節点解析法 [6] を用いる。この手法では、回路中のすべての節点間にあるコンダクタンスおよび電流源を元に立式を行う。よって回路中の各素子をコンダクタンスと電流源からなる等価回路に置き換える必要がある。ここでは、置き換える操作を素子のモデル化と呼ぶ。素子のモデル化によって前述の節点方程式を用いて回路方程式を作ることが可能となる。

3.2 素子のモデル化

3.2では提案するエミュレーション計算アルゴリズムにおける素子のモデル化について述べる。3.2.1~3.2.3ではそれぞれ基本素子となるコンデンサ、インダクタ、ダイオードのモデル化方法を示す [7]。また、3.2.4では上述した基本素子の組み合わせによってモデル化されるバイポーラトランジスタについて示す。

3.2.1 コンデンサのモデル化

コンデンサのモデルは、静電容量、両端電圧および電流の関係式から作成できる。これによって図 1-(a)のコンデンサは、図 1-(b)のようなコンデンサの等価回路に置き換えることができる。

3.2.2 インダクタのモデル化

インダクタのモデルは、自己インダクタンス、両端電圧および電流の関係式から作成できる。これによって図 2-(a)のコンデンサは、図 2-(b)のようなコンデンサの等価回路に置き換えることができる。

3.2.3 ダイオードのモデル化

ダイオードのモデルは、ある動作点における特性を直線的に近似することで作成できる。これによって図 3-(a)のダイオードは、図 3-(b)のようなダイオードの等価回路に置き換えることができる。ダイオードの動作点の決定に関しては、ニュートン反復法を用いて計算する。また、ダイオードの I-V 特性に関しては計算

速度を優先させるため事前にいくつかの点でプロットした値を用いた折れ線で表現したものを用意する。

3.2.4 バイポーラトランジスタのモデル化

バイポーラトランジスタはダイオードと同様に V-I 特性が非線形的であるため数式で表現すると処理時間の増大を招いてしまう。そこで本研究ではダイオードと電流源で表現されたエバース・モルモデルを用いる [6]。これによってバイポーラトランジスタは図 4-(a)から図 4-(b)のような等価回路で表現することができる。さらに図 4-(b)におけるダイオード部分は、3.2.3で示したような等価回路に変換できる。こうすることでバイポーラトランジスタにおいても最終的に電流源とコンダクタンスのみで構成された等価回路で表現することができる。ただし、ダイオードの計算のときと同様に動作点を求める必要がある。

3.3 計算手法

3.3.1 エミュレーションの入出力要件

本研究で実現するエミュレータでは入出力を図 5 のように想定している。図 5 の入力には、AD コンバータからサンプリングされた信号値をその瞬間の入力電圧として取り込む。また出力では、計算によって得られるサンプリングされた信号値をその瞬間の出力電圧として返す。この返された信号値は DA コンバータよりアナログ信号として外部に与えられる。こうすることで内部での計算はすべてデジタル値で行うことができる。

3.3.2 計算の流れ

図 5 中の計算ハードウェア部分の計算手法をアルゴリズム 1 に示す。アルゴリズム 1 中の v_{in} , $netlist$, $prev_{v_{out}}$, v_{out} はそれぞれ入力電圧、回路構成情報 (ネットリスト)、直前の出力電圧、出力電圧を表して

アルゴリズム 1 エミュレータの計算手法

Input: v_{in} , netlist, prev_ v_{out}

Output: v_{out}

```

for count < NUM_OpPoint do
    入力パラメータから回路方程式を生成
    LU 分解法で各節点の電圧値を導出
end for
 $v_{out}$  = 導出した出力電圧値
    
```



図 5: 想定する実装環境

いる。また $NUM_OpPoint$ は非線形回路の動作点を導出するための反復回数を表している。この反復回数は小さいほど計算速度は向上するが、想定した計算結果が得られない可能性がある。

4 エミュレータ計算手法の評価

4.1 評価環境

本研究の評価では、図 5 で示したような実装環境で利用できるインサーキットエミュレータの計算手法を評価するために、図 6 のような計算ハードウェア部分を CPU で制御および測定可能な評価環境を用意する。使用したボードは CPU と FPGA が 1 チップに統合された Xilinx Zynq UltraScale+ MPSoC(XCZU9EG-2FFVB1156E) を搭載した ZCU102 Evaluation Kit を用いている。CPU としては ARM Cortex-A53 MP-Core が含まれている。また、高位合成は Xilinx Vivado HLS 2017.4, FPGA 実装するために用いた開発ツールは Xilinx Vivado 2017.4 [8] である。

図 6 で使用する環境では、制御プロセッサを FPGA ボード上の CPU が担い、計算ハードウェアを FPGA 上に実装した専用ハードウェアが担っており、それぞれ動作周波数 1.2GHz, 100MHz で動作させる。

4.2 評価方法

本研究では電子回路のエミュレーションを目標としており計算速度と計算精度いずれも重要な要素となる。このことから 4.1 で示したハードウェアの計算速度の観点から評価を行う。また、このときの計算精度についても評価する。

計算速度の評価としてテスト回路をそれぞれ実装したエミュレータで 1 秒間エミュレーションしたときの計算ハードウェアの呼び出し回数、および呼び出し回数から得られる可能な入力サンプリング周波数を示す。

さらに、計算精度の比較として LTSpice の結果との RMSE(二乗平均平方誤差)についても評価する。今回の評価では LTSpice から得られる値を比較に用いる。

なおこれらの評価では、予めソフトウェアレベルで

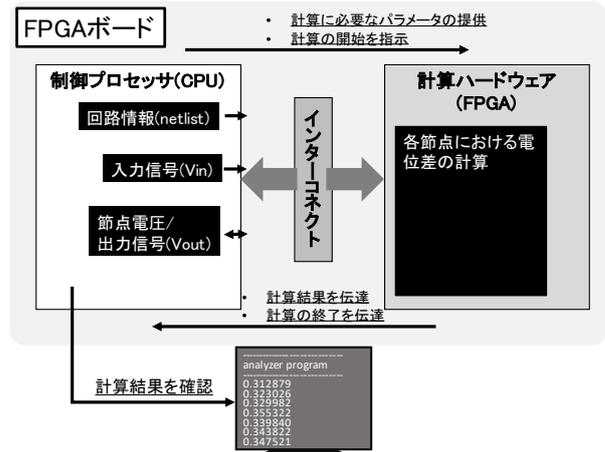


図 6: 計算手法の評価環境

のシミュレーションで非線形素子の反復回数と計算精度の検証を行っている。出力波形が十分落ち着き、かつ十分小さな反復回数という条件から、3.3 で示した $NUM_OpPoint$ を 3 回で固定している。

以下、4.2.1 では具体的な評価項目を、4.2.2 では対象とするテスト回路をそれぞれ示す。

4.2.1 評価項目

- エミュレーション可能な入力サンプリング周波数
テスト回路のインサーキットエミュレーションを行う場合における、入力電圧が与えられてから計算処理をしてから次の入力電圧が与えられるまでの時間、すなわち入力サンプリング周波数を求める。入力サンプリング周波数は、高いほど細かいエミュレーションができる。
- 計算精度
テスト回路の回路シミュレーションを行い、得られた出力結果を LTSpice の結果とを比較する。この時の LTSpice の動作コマンドは、".tran 0 20m 0 10u"とした。一定時間得られた出力結果と LTSpice の結果から RMSE を導出する。

4.2.2 テスト回路

3.2 でモデル化した素子を過不足なく含むようにテスト回路として以下を採用した。

- 8 段コッククロフトウォルトン昇圧回路 (以下、8 段 CW) [9]
- プッシュプル回路 [10]

4.3 評価結果

実装した計算ハードウェアの性能を評価する。計算速度の評価として入力可能サンプリング周波数を図 6 のような FPGA+CPU の環境で評価したものを表 1 に示す。

また、計算精度の評価として出力結果と理論値との比較の波形をテスト回路ごとにそれぞれ図 7, 図 8 に示す。これらの回路にはそれぞれ入力として周波数 1[kHz], 振幅 3[V], オフセット 0[V] の正弦波を与えている。この

表 1: 各回路の入力可能サンプリング周波数

回路名	呼び出し回数	周波数
8 段 CW 回路	5,258	5.258kHz
プッシュプル回路	9,986	9.986kHz

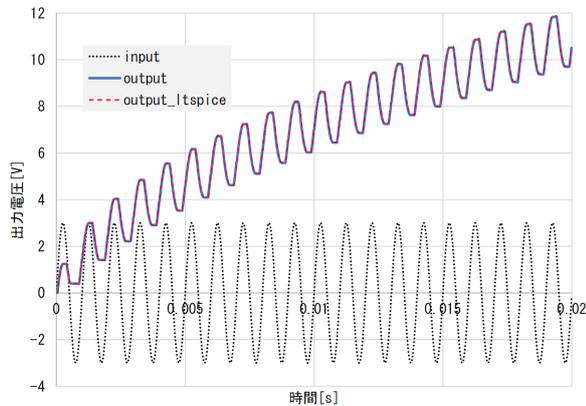


図 7: 出力波形の比較 (8 段 CW 回路)

波形結果から RMSE はそれぞれ $5.41 \times 10^{-2} [V]$, $1.04 \times 10^{-1} [V]$ であることがわかった。

4.4 考察

4.3 で評価したエミュレーションシステムの性能について入力インターバルと RMSE の観点から考察する。

まず入力インターバルは、入力可能サンプリング周波数の逆数から求められ、この時間だけ回路遅延が許されるようなシステムに対してはエミュレーションシステムを適用できるといえる。

また、RMSE についてはこの誤差が許されるようなシステムに対しては同様に適用できるといえる。

例として 8 段 CW の場合、 $190.2 [\mu s]$ の入力インターバル、および $5.41 \times 10^{-2} [V]$ の RMSE が許されるようなシステムに対して適用できると考えられる。

5 おわりに

本研究では、電子回路におけるエミュレーションを FPGA 実装によるハードウェア処理で実現した。本手法を FPGA 実装したものを評価するために簡単なシステムを作成した。これを用いて実際にエミュレーションを行い評価した。その結果 8 段 CW の場合、 $190.2 [\mu s]$ の入力インターバル、および $5.41 \times 10^{-2} [V]$ の RMSE が許されるようなシステムに対して適用できることがわかった。

今後の課題としては、より複雑な素子について、高い入力可能サンプリング周波数でインサーキットエミュレーションできるようにする仕組みの追加が挙げられる。そのために、ハードウェア化による並列性を活かせるようなツールを作成することが考えられる。

参考文献

[1] Nachiket Kapre and André DeHon. Performance Comparison of Single-Precision SPICE Model-Evaluation on FPGA, GPU, Cell, and Multi-core

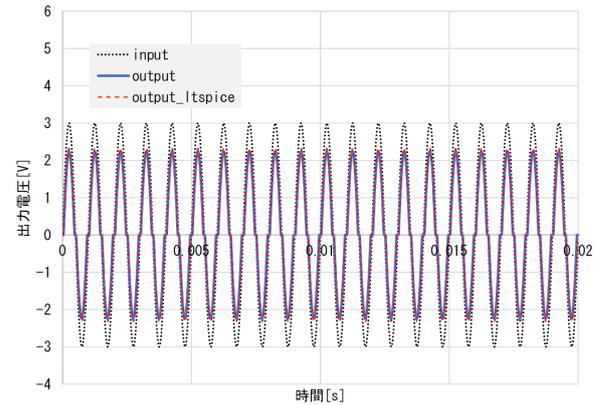


図 8: 出力波形の比較 (プッシュプル回路)

Processors. In *2009 International Conference on Field Programmable Logic and Applications*, pp. 65–72, 2009.

- [2] Nachiket Kapre and André DeHon. Accelerating SPICE Model-Evaluation using FPGAs. In *17th IEEE Symposium on Field Programmable Custom Computing Machines (FCCM)*, pp. 37–44, 2009.
- [3] Nachiket Kapre and André DeHon. Parallelizing Sparse Matrix Solve for SPICE Circuit Simulation Using FPGAs. In *International Conference on Field-Programmable Technology (FPT)*, pp. 190–198, 2009.
- [4] Tarek Nechma, Mark Zwolifski, and Jeff Reeve. Parallel Sparse Matrix Solver for Direct Circuit Simulations on FPGAs. In *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*, pp. 2358–2361, 2010.
- [5] Philipp Tertel and Lars Hedrich. Real-time Emulation of Block-Based Analog Circuits on an FPGA. *Integration*, Vol. 63, pp. 373–382, 2018.
- [6] 牛田明夫, 田中衛. 電子回路シミュレーション, pp. 3–7. コロナ社, 2002.
- [7] Kazuki Hiramoto, Akira Kojima, Atsushi Kubota, Tetsuo Hironaka, Satoshi Nakamura, and Masato Andoh. FPGA Implementation of High-Performance SPICE Simulator for SmallScale Electronic Circuits. In *Proc. of the ITC-CSCC 2018*, pp. 317–320, 2018.
- [8] Xilinx(online),“Vivado,”<<https://japan.xilinx.com/products/design-tools/vivado.html>> (accessed 2019-08-20).
- [9] J.D.Cockcroft and E.T.Walton. Production of high velocity positive ions. *Proc. Royal Soc. Lond.*, Vol. 136, No. 830, pp. 619–630, 1932.
- [10] 藤井信生. アナログ電子回路の基礎, pp. 164–165. オーム社, 2014.